В.И.Кочергин

ТЕОРИЯ МНОГОМЕРНЫХ ЦИФРОВЫХ МНОЖЕСТВ В ПРИЛОЖЕНИЯХ К ЭЛЕКТРОПРИВОДАМ И СИСТЕМАМ ЭЛЕКТРОПИТАНИЯ

НАУЧНО-ПРОИЗВОДСТВЕННЫЙ ЦЕНТР «ПОЛЮС»

В.И. Кочергин

ТЕОРИЯ МНОГОМЕРНЫХ ЦИФРОВЫХ МНОЖЕСТВ В ПРИЛОЖЕНИЯХ К ЭЛЕКТРОПРИВОДАМ И СИСТЕМАМ ЭЛЕКТРОПИТАНИЯ

ИЗДАТЕЛЬСТВО
ТОМСКОГО УНИВЕРСИТЕТА
2002

УДК 681.326
ББК 32.973.2
К 76

Кочергин В.И.

К 76 Теория многомерных цифровых множеств в приложениях к электроприводам и системам электропитания. – Томск: Изд-во Том. ун-та, 2002. – 444 с.
ISBN 5-7511-1583-X

Рассматривается широкий круг вопросов, связанных с синтезом цифровых устройств и систем электропитания, который выполняется на основе разработанного автором метода многомерных цифровых множеств – аналога аналитической теории нумераций. Основанием этого метода является идея упаковки пространства, которая была предложена в «новой геометрии» основоположником современной структурной кристаллографии и петрографии академиком Е.С. Федоровым. Этот метод позволил также «закрыть» для изобретательской деятельности определенную часть раздела синтеза цифровых устройств.

Материал излагается в виде мысленных экспериментов над наглядно представляемыми объектами – числами расширенного натурального ряда без использования предложений аксиоматического характера. При этом не используется сложный математический аппарат и не требуется от читателя специальной математической подготовки.

Для инженеров, занимающихся разработкой цифровых устройств и программных продуктов для электроприводов и систем электропитания, студентов и аспирантов соответствующих специальностей.

УДК 681.326
ББК 32.973.2

Рецензент: доктор технических наук, профессор *А.М. Малышенко*

ISBN 5-7511-1583-X

© В.И. Кочергин, 2002

Посвящается
моим родителям
и учителям

Оглавление

Введение 7

Глава 1. **Основы теории многомерных цифровых множеств** 9

1.1. Обычные двухзначные логические функции в многомерном цифровом пространстве 11

1.2. Позиционные системы счисления. 20

1.3. Основные логические операции над подмножествами многомерного цифрового пространства. 25

1.4. Бинарные логические операции в двухмерном цифровом пространстве. 28

1.5. Сложные логические функции в двухмерном цифровом пространстве. 30

1.6. Тернарные логические операции в трехмерном цифровом пространстве. 36

1.7. Сложные логические функции в многомерном цифровом пространстве 38

1.8. Непрерывное множество ряда натуральных чисел в многомерном цифровом пространстве. 43

1.9. Многозначные логические функции в многомерном цифровом пространстве 47

1.10. Алгоритмы синтеза двухзначных логических функций. 51

1.11. Примеры синтеза одноразрядного устройства суммирования и вычитания 56

1.12. Пример анализа неизбыточных кодов позиционной системы счисления 69

Глава 2. **Синтез многовходовых арифметических устройств и других электронных схем** 73

2.1. Основные положения синтеза многовходовых сумматоров с использованием сигналов угловых множеств 73

2.1.1. Синтез сумматоров основания n=2 88

2.1.2. Синтез сумматоров основания n=3 90

2.1.3. Синтез сумматоров двухфазного кодирования основания n=4 96

2.2. Синтез устройств умножения 102

2.3. Синтез устройств деления 118

2.4. Синтез реверсивных счетчиков 122

2.5. Синтез управляемых делителей-счетчиков 133

2.6. Синтез преобразователей кодов. 142

Глава 3. **Контролеспособность позиционных систем счисления** 146
3.1. Расположение ошибок позиционных систем счисления в многомерном пространстве 149
3.2. Многофазный код 155
3.3. Анализ контролеспособности многофазного кода методом многомерных цифровых множеств 157
3.4. Анализ контролеспособности кодов Хемминга методом многомерных цифровых множеств 162
3.5. Анализ контролеспособности обычного цифрового кода методом многомерных цифровых множеств 169
3.6. Анализ контролеспособности кода реверсивного двоичного делителя - счетчика 174
3.7. Начала геометрического синтеза контролеспособных кодов позиционных систем счисления 187
3.7.1. Коды с обнаружением одиночных ошибок 188
3.7.2. Коды с исправлением одиночных ошибок 190
3.7.3. Коды больших оснований систем счисления с исправлением одиночных ошибок 199
3.7.4. Быстродействующие схемы исправления ошибок контролеспособных кодов 202

Глава 4. **Инверторы напряжения с цифровым управлением** 211
4.1. Постановка задачи 211
4.2. Инверторы с простейшей формой выходного напряжения 213
4.3. Регулирование напряжения в инверторах с простейшей формой выходного напряжения 219
4.4. Инверторы с улучшенной формой выходного напряжения 224
4.5. Инверторы с улучшенной формой выходного напряжения, состоящие из нескольких трехфазных. 242
4.6. Регулирование напряжения в инверторах с улучшенной формой . . 249
4.7. Регулирование напряжения в инверторах с улучшенной формой выходного напряжения, состоящих из нескольких трехфазных. . . . 255
4.8. Переключение режимов работы в инверторах с улучшенной формой регулируемого напряжения 257
4.9. Инверторы напряжения с изменением длительности открытия силовых элементов. 261
4.10. Изменение формы выходного напряжения в инверторах с многофазной цифровой модуляцией. 266
4.11. Трехфазные инверторы при синусоидальном законе ШИМ выходного напряжения. 275
4.12. Гармонические составляющие симметричных напряжений инверторов при широтно-импульсном управлении 286

Глава 5. **Цифровые методы повышения быстродействия и точности аналого-цифровых преобразователей электроприводов** 290
5.1. Фотоэлектрические ЦПУ 291
5.2. Индукционные ЦПУ повышенного быстродействия. 295
5.3. Индукционные ЦПУ повышенной точности. 300
5.4. ЦПУ с использованием магнитоуправляемых датчиков. 301
5.5. Цифровые преобразователи скорости. 308
5.6. Умножители частоты 313

Глава 6. **Цифровые системы управления конверторами напряжения**. . 316
6.1. Цифро-аналоговые преобразователи с многофазным выходным напряжением. 316
6.2. Конверторы с регулируемым выходным напряжением переключением магнитных потоков в магнитопроводе. 327
6.3. Варианты построения конверторов с регулируемым выходным напряжением. 332
6.4. Синтез инверторов напряжения на базе конверторов, использующих запасенную энергию дросселей. 337
6.5. Конверторы с регулируемым выходным напряжением путем переключения магнитных потоков в многостержневом магнитопроводе. . 346
6.6. Конверторы напряжения в системах ограниченного энергопотребления. 355

Глава 7. **Электропривод постоянного тока с цифровыми элементами управления**. 362
7.1. Динамические и статические характеристики коллекторных электродвигателей постоянного тока с возбуждением от постоянных магнитов. 365
7.2. Транзисторные инверторы электроприводов постоянного тока. . . . 368
7.3. Системы подчиненного регулирования электроприводов постоянного тока. 376

Глава 8. **Цифровые способы управления асинхронными электроприводами.** 378
8.1. Зависимости частотного управления электромагнитным моментом асинхронной машины. 379
8.2. Управление электромагнитным моментом при постоянной перегрузочной способности. 384
8.3. Управление электромагнитным моментом при постоянном абсолютном скольжении. 385
8.4. Управление электромагнитным моментом при постоянном относительном скольжении. 391
8.5. Векторное управление электромагнитным моментом асинхронной машины. 393

Глава 9. **Цифровое частотно-векторное управление в электроприводах с вентильным и синхронным электродвигателями** 397
9.1. Способы векторного управления вентильным электродвигателем . . 397
9.2 Цифровое частотно-векторное управление с памятью зависимых параметров вентильного двигателя. 406
9.3. Синхронный электропривод. 415

Заключение 424
Литература 429

Введение

В последние время практически все отрасли промышленности оснащаются современными цифровыми устройствами автоматического управления и регулирования, где осуществляется переход от частичной автоматизации отдельных объектов к использованию комплексных автоматизированных систем управления промышленными объектами. Эти комплексные системы состоят из большого количества различных типов электроприводов, источников электропитания ключевого типа – инверторов и конверторов напряжений, а также других цифровых блоков.

Вполне очевидно, что технико-экономические и эксплуатационные показатели цифровых систем управления этими объектами самым непосредственным образом влияют на качественные показатели комплекса в целом. Поэтому вопросам анализа и синтеза таких систем, работающих автономно или совместно с цифровыми управляющими машинами, следует уделять должное внимание.

Необходимо отметить, что в обширной технической литературе достаточно полно рассматриваются различные аспекты создания и применения цифровых вычислительных машин традиционной двоичной системы счисления, но недостаточно освещаются вопросы теории синтеза высоконадежных и контролеспособных цифровых систем управления электроприводами и системами энергоснабжения, где применяются недвоичные принципы кодирования больших оснований систем счисления.

Такое положение дел объясняется тем, что применение здесь известных теоретических предпосылок из теории контролеспособного кодирования не может быть непосредственным не только из-за несовпадения их оснований систем счисления, но главным образом по причине низкого быстродействия – невозможности работать в режиме реального времени без выполнения определенных математических вычислений.

Многолетний опыт автора по созданию теории многомерных цифровых множеств в приложениях к электроприводам и системам электропитания позволил создать ряд приборов на уровне изобретений, которые обладают необходимыми качествами высоконадежных и полностью контролеспособных цифровых систем. На определенном этапе разработки этой теории, обладающей полной прозрачностью и не использующей сложного математического аппарата, из области изобретательской деятельности были исключены целые разделы машинной арифметики и определенные виды логических блоков.

В этой книге, предназначенной в известной мере восполнить теоретический пробел синтеза цифровых устройств, в гл.1 излагаются основные теоретические положения теории многомерных цифровых множеств, необходимые для понимания последующих глав книги. В гл.2 рассматриваются вопросы синтеза устройств машинной арифметики: многовходовых сумматоров различных оснований систем счисления и принципов их кодирования; устройств умножения и деления; реверсивных счетчиков и управляемых делителей частоты, а также преобразователей кодов. В гл.3 на основе геометрических образов многомерного цифрового пространства излагаются методы анализа и синтеза контролеспособных позиционных систем счисления. В гл.4 приводятся геометрический анализ и синтез инверторов напряжения с цифровым управлением с простейшей и улучшенной формами выходных напряжений. При этом предлагаются схемные решения управляющих устройств инверторов, состоящих из одного или нескольких мостовых преобразователей. В гл.5 дается классификация и рассматриваются аналого-цифровые преобразователи электроприводов: фотоэлектрические ЦПУ, индукционные ЦПУ повышенного быстродействия и точности, ЦПУ с использованием магнитоуправляемых датчиков. Эта глава также содержит описание цифровых преобразователей скорости и умножителей частоты. Глава 6 посвящена регулируемым конверторам с многофазным выходным шимированным напряжением постоянного тока. В гл.6 рассматриваются, кроме того, задачи синтеза инверторов напряжений, состоящих из конверторов напряжений. Такие инверторы напряжений позволяют создавать принципиально новые типы электроприводов переменного тока, где на обмотки электродвигателей подаются гладкие формы напряжений без гармонических составляющих. В гл.7, 8, 9 показано, каким образом можно, используя теорию многомерных цифровых множеств, синтезировать: электроприводы постоянного тока, асинхронные частотно-управляемые электроприводы, управляемые вентильные и синхронные электроприводы, обладающие высокими энергетическими показателями на всех частотах вращения. Наконец, в заключении книги дается перечисление того, что удалось решить в электроприводах и системах электропитания, а также блоках машинной арифметики, используя при их синтезе теорию многомерных цифровых множеств, и ставятся для дальнейшего решения задачи по ее применению в этих областях техники.

Излагаемые методы синтеза цифровых устройств электроприводов и систем электропитания иллюстрируются во всех разделах многочисленными примерами. Из этих примеров становится очевидным, что главным при синтезе является построение многомерных таблиц истинности и на их основе геометрических образов логических или арифметических функций, а схемное выполнение конкретного цифрового устройства, реализующего эту функцию, становится делом обычным и может быть полностью автоматизировано с применением вычислительной техники.

Автор пользуется случаем поблагодарить доктора технических наук, профессора А.М. Малышенко за ряд ценных замечаний и пожеланий, которые им сделаны при рецензировании и просмотре рукописи.

Выспрашивай у осторожной и догадливой геометрии.

М.В. Ломоносов

Простейшая бесконечность - натуральный ряд не охватывается никакой формальной теорией…

А.Д. Александров

Глава 1

ОСНОВЫ ТЕОРИИ МНОГОМЕРНЫХ ЦИФРОВЫХ МНОЖЕСТВ

Нестандартный подход к цифровой технике включает в нее не только машинную арифметику, но и цифровые системы управления, электропривод, преобразовательные измерительную и силовую техники и т.д. Предлагаемая вниманию теория многомерных цифровых множеств является инструментом для синтеза в этих областях техники оптимальных устройств, исходя из расширенного натурального ряда чисел N_0.

Здесь уместно привести слова немецкого математика Л.Кронекера (Kronecker L.): «Господь бог создал натуральные числа, все остальное дело рук человеческих». В области чистой математики на необходимость систематического изучения так называемых нумерованных множеств в начале 50-х годов прошлого века указывал академик А.Н.Колмогоров. Изучение нумерованных множеств нашло отражение в работах таких российских и зарубежных алгебраистов, как В.А.Успенский, А.И.Мальцев, Ю.Л. Ершов, Райс (Rice H.G.), Деккер (Dekker J.C.E.), Лахлан (Lachlan A.H.), Фридберг (Friedberg R.M.) и др.

Наиболее полной отечественной монографией, отражающей достижения этой теории, остается работа [1.1], где рассматриваются возможности дальнейшего применения разработанного ранее раздела теории алгоритмов – теории рекурсивных функций, что позволяет переходить от работы с абстрактными объектами математики – матрицами, группами, кольцами, функциями и т.д. к работе с натуральными числами – номерами.

Несмотря на фундаментальность этой аналитической теории, ее непосредственное инженерное использование в перечисленных выше разделах цифровой техники весьма проблематично из-за сложности применяемого в ней математического аппарата формальной логики.

В подтверждение этого высказывания можно сослаться на Дж. фон Неймана: «Всякий, кто работал в области формальной логики, подтвердит, что она, рассматриваемая с точки зрения применяемого в ней математического аппарата, является одной из трудных областей математики. Причина этого состоит в том, что формальная логика имеет дело с жёсткими понятиями «все

или ничего» и весьма мало соприкасается со связанными непрерывностью понятиями действительного или комплексного числа, т.е. с математическим анализом. А ведь именно анализ обладает наиболее разработанной областью математики. Таким образом, формальная логика в силу самого существа своего подхода отрезана от наиболее разработанных частей математики и попадает в ту ее область, которая представляет наибольшие трудности, – в область комбинаторики».

Это замечание Дж. фон Неймана относительно сложности формальной логики, опирающейся на теоретико-множественный подход, особенно примечательно тем, что он сам внес значительный вклад в развитие формальной дискретной математики и хорошо понимал существо дела.

Алгебраическая теория нумераций, несмотря на задачу перевести все в область натуральных чисел, составляющих основание не только арифметики, но и всего математического анализа, опирается на формальную логику и относится к наиболее трудным областям математики. Однако освоение этой теории не дает надежного инструмента для решения задач построения оптимальных цифровых устройств. Это объясняется также тем, что в рассматриваемых нами разделах цифровой техники один чисто аналитический подход не может дать положительного решения, а прозрачные геометрические аналогии, без которых не может быть ясности, ни один из авторов исследований не создал.

По нашему мнению, основой геометрических аналогий устройств цифровой техники может служить идея упаковки пространства, которая была предложена в «новой геометрии» основоположником современной структурной кристаллографии и петрографии академиком Е.С.Федоровым, и наше предложение нумерации цифрового пространства.

Особенность этой геометрии – в физическом существовании системы n-мерных измерений, что имеет первостепенное значение в рассматриваемых областях цифровой техники.

О значении творчества Е.С.Фёдорова достаточно привести высказывание известного российского математика Б.Н.Делоне: «... в нашей стране мы имели двух геометров мирового значения – Лобачевского и Федорова», причем фигуры «заполняющие без остатка пространство», совершенно справедливо кажутся Б.Н.Делоне наивысшим достижением федоровской мысли. В работе Е.С.Федорова [1.2] четвертая глава «Учение о поясах и выполнении плоскости и пространства» содержит вывод параллелоэдров, тех выпуклых многогранников, которые, будучи равны друг другу, параллельно расположены и смежны целыми гранями, способны заполнять пространство, не входя друг в друга. Оказалось, что, кроме всем известных параллелепипедов и шестиугольных призм с центрами симметрии, есть еще три вида таких многогранников, причем наиболее общий – четырнадцатигранник, а остальные – его частные (предельные) случаи. До Федорова никому не приходило в голову рассматривать такие многогранники. Вывод параллелоэдров у Федорова не строгий, но сама идея рассматривать такие многогранники имела много важных последствий в кристаллографии и в теории чисел».

При этом Б.Н.Делоне считал, что «было бы делом чести для наших математиков взять “Начала учения о фигурах» Федорова и переработать их, сделав все его определения и доказательства строгими». Это предложение Б.Н.Делоне до настоящего времени остается только пожеланием.

Настоящая работа относится к области техники и не является чисто математической, но, отдавая дань уважения великому соотечественнику – ученому Е.С.Федорову, хотелось бы надеяться, что эти исследования, хотя бы в малой степени, относятся к последствиям его идей.

Среди инженеров распространен взгляд на прикладную математику как на справочник, который нужно открыть на определенной странице и получить ответ на вопросы «как» и «почему». При этом известно, что инженеры любят простые формулы и методы и не любят теорем и еще больше их доказательств. Это объяснимо тем, что знание доказательства нередко ничего не добавляет к знанию «как» и «почему». Именно ответ на эти вопросы становится главным для синтеза цифровых устройств, когда математика нужна не как метод анализа, а как метод мышления. Такой подход к прикладным задачам математики позволяет понять необходимость формул и формулировок, но и обходиться без них в тех случаях, когда они не приводят к пониманию существа дела.

Автор поставил целью отвечать на вопросы «как» и «почему» без использования аксиом и доказательств теорем, а судить о том, насколько это ему удалось, предоставляется читателю.

1.1. Обычные двухзначные логические функции в многомерном цифровом пространстве

Первые понятия, с которых начинается любая теория, должны быть ясны и приведены к самому наименьшему числу. Только тогда они могут служить прочным и достаточным фундаментом этой теории.

Одним из таких понятий является представление обычной двухзначной логической функции в многомерном цифровом пространстве. Прежде чем выполнить это представление, дадим некоторые пояснения.

Во-первых, в работе будут использоваться только позиционные системы представления числа, история которых начинается за две тысячи лет до н.э., когда вавилоняне [1.24] употребляли шестидесятеричную систему счисления с позиционным принципом записи числа. Современное представление [1.25] позиционной системы счисления определяется следующим образом: "Систему счисления называют позиционной, если одна и та же цифра может принимать различные численные значения в зависимости от номера местоположения (разряда) этой цифры в совокупности цифр, представляющих заданное число. Позиционные системы разделяют на однородные и смешанные. Во всех разрядах числа, представленного в однородной системе, используются цифры из одного и того же множества. Например, в обычной десятичной системе во всех

разрядах любого числа используются цифры из множества {0, 1, ... , 9}, в двоичной системе – цифры из множества {0, 1} и т.п. В смешанных системах множества цифр различны для разных разрядов. В тех случаях, когда в позиционной системе для каждой цифры имеется отдельный символ, её называют системой с непосредственным представлением чисел. В позиционных системах с кодированием чисел количество символов меньше, чем количество цифр, а каждая цифра кодируется определенной комбинацией из нескольких символов".

Во-вторых, под кодом будем понимать [1.26] «правило преобразования сообщения из одной символьной формы представления (исходного алфавита) в другую (объектный алфавит)». В нашем случае цифры натурального ряда конкретного основания системы счисления составляют одну символьную систему (система с непосредственным представлением чисел). Другая символьная система определяет принцип кодирования, где обычно количество символов меньше, чем количество цифр кодируемого основания системы счисления.

В-третьих, поскольку большая часть кодов, в том числе и система с непосредственным представлением чисел, являются циклическими, то необходимо дать определение [1.27] циклического кода: «Подпространство **V** наборов длины **n** называется циклическим подпространством или циклическим кодом, если для любого вектора $\mathbf{V} = (a_{n-1}, a_{n-2}, ..., a_0)$ из подпространства **V** вектор $\mathbf{V'} = (a_0, a_{n-1}, a_{n-2}, ..., a_1)$, получаемый в результате циклического сдвига компонент вектора **V** на единицу вправо, также принадлежит подпространству **V'**».

Теперь можно приступить к представлению обычной двухзначной логической функции в многомерном цифровом пространстве.

Обычной двухзначной логической функцией, в дальнейшем логической функцией ($ЛФ_2$ либо, опуская индекс 2, ЛФ) $y = f(x_1, ..., x_k)$ называется функция, принимающая, как и её аргументы $x_1, ..., x_k$, два значения, которые обозначим, чтобы отличать от сигналов **0** и **1** обычного цифрового кода (ОЦК), символами 0* и 1*.

Поскольку число различных наборов значений аргументов ЛФ конечно и равно $2^к$, любая ЛФ может быть задана (на примере k = 3) табл. 1.1.1 истинности.

Таблица 1.1.1

ОЦК	x_3	x_2	x_1	y
0	0*	0*	0*	0*
1	0*	0*	1*	1*
2	0*	1*	0*	1*
3	0*	1*	1*	0*
4	1*	0*	0*	1*
5	1*	0*	1*	0*
6	1*	1*	0*	0*
7	1*	1*	1*	1*

В таблице наборы значений аргументов расположены в порядке возрастания: сначала идет набор (иное название набора – кодовое слово или кодовая комбинация), представляющий собой двоичное расположение числа **0** (0* , ... , 0*), затем следует набор, являющийся двоичным расположением числа **1**; за ним записывается набор, соответствующий числу **2**, и т.д. Последний набор состоит из K единиц (1* , ... , 1*) и является двоичным разложением числа натурального ряда (2^K – **1**). Такое кодирование цифр натурального ряда называется двоичным.

Если всем наборам значений аргументов ЛФ $y = f(x_1, \dots, x_K)$ поставить в соответствие сигналы ОЦК от **0** до (2^K – **1**), т.е. цифры расширенного натурального ряда, то каждый аргумент x_i (i = 1 , ... , K) и сама ЛФ будут представлять собой определенные цифровые множества, что для нашего примера будет выражено следующим образом: $x_1 = \mathbf{1} \vee \mathbf{3} \vee \mathbf{5} \vee \mathbf{7}$; $x_2 = \mathbf{2} \vee \mathbf{3} \vee \mathbf{6} \vee \mathbf{7}$; $x_3 = \mathbf{4} \vee \mathbf{5} \vee \mathbf{6} \vee \mathbf{7}$; $y = \mathbf{1} \vee \mathbf{2} \vee \mathbf{4} \vee \mathbf{7}$.

На отрезке конечной длины цифровой "прямой" (рис. 1.1) графически представлены соотношения между этими цифровыми множествами.

Определение же бесконечной цифровой "прямой" следующее: геометрическое изображение бесконечного множества натуральных действительных чисел N_0 , когда натуральное число получается последовательным прибавлением **1**, начиная с **0**, причем **0** является равноправным элементом наряду со всеми другими цифрами **1**, **2**, **3** и т.д.

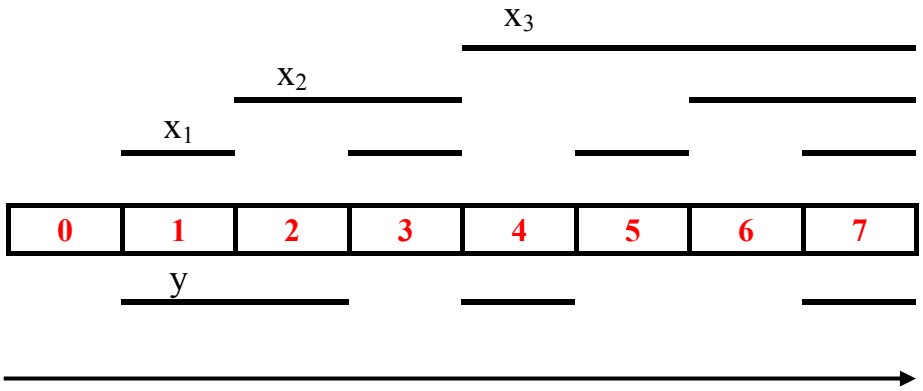


Рис. 1.1

Следовательно, если на бесконечной "прямой" g заданием начала отсчета и положительного направления цифрового вектора откладывать последовательно единичные отрезки, соответствующие цифрам **0**, **1**, **2**, ... , то каждый единичный отрезок L "прямой" g однозначно определяется своей координатой N_0. Таким образом, каждому единичному отрезку L "прямой" g соответствует одно действительное натуральное число N_0, и обратно: каждому натуральному числу N_0 соответствует один элемент, расположенный на конце цифрового вектора.

При таком соответствии каждая последовательность 2^K различных наборов значений аргументов с учетом порядка их расположения определяет принцип кодирования сигналов ОЦК от **0** до $(2^K - 1)$.

Наиболее широкое распространение получило так называемое двоичное кодирование, которое является основным во всей вычислительной технике. Исходя из этого, последовательность набора аргументов, соответствующую двоичному принципу кодирования, будем считать стандартной [1.7] формой представления, что и выполнено в табл.1.1.1 и на рис. 1.1.

При двоичном кодировании так же, как и при других способах кодирования, можно рассматривать цифровую "прямую" с элементами от **0** до $(2^K - 1)$ как графическое представление системы счисления одного основания, равного 2^K либо как часть системы счисления с одним основанием, большим чем 2^K. Эту бесконечную "прямую" можно представить также последовательным соединением разрядов числа с меньшими основаниями, равными по значению либо различными $2^K = 2^L\, 2^S\, 2^T \ldots$ (K = L + S + T + ...). Такое представление числа позволяет изобразить графически каждый аргумент x_i и саму функцию $y = f(x_1, \ldots, x_K)$ не только на цифровой "прямой" (одномерное цифровое пространство), но и в многомерном варианте этого пространства. Причем каждая координата многомерного цифрового пространства определяется соответствующим разрядом либо группой разрядов числа.

При этом ЛФ $y = f(x_1, \ldots, x_K)$, принимающая для всех наборов аргументов x_i значение 1*, представляет собой непрерывное цифровое множество сигналов от **0** до $(2^K - 1)$, т.е. то многомерное цифровое пространство E (универсальное цифровое множество), в котором размещается "объем" любой ЛФ $y = f(x_1, \ldots, x_K)$ с меньшим числом наборов аргументов x_i, равных 1*.

Для трехместной (тернарной) логической операции $y = f(x_1, x_2, x_3)$ ЛФ, заданная табл.1.1.1 и представленная (рис. 1.1) на цифровой "прямой" (одномерное пространство), может быть также изображена в двухмерном пространстве (рис. 1.2, *а*), трехмерном пространстве (рис. 1.2, *б*) либо в трехмерном пространстве (рис. 1.2, *в*), нарисованном послойно. В этом случае можно говорить, что геометрический образ логической функции $y=f(x_1, \ldots, x_K)$ одномерного цифрового пространства однозначно может отображаться на двухмерных и трехмерных цифровых пространствах.

Во всех этих представлениях число ячеек пространства одно и то же, а число разрядов и их оснований различно. Цифровые пространства с равным количеством ячеек будем называть эквивалентными. Здесь и в дальнейшем значение ЛФ, равное 1*, обозначим знаком *, а соответствующая ячейка пространства, где ЛФ равна 0*, будет пустой.

На этих рисунках понятия "длина", "площадь", "объем" эквивалентны друг другу и полностью определяют ЛФ:

$$y = x_1 \underline{x}_2 \underline{x}_3 \vee \underline{x}_1 x_2 \underline{x}_3 \vee \underline{x}_1 \underline{x}_2 x_3 \vee x_1 x_2 x_3.$$

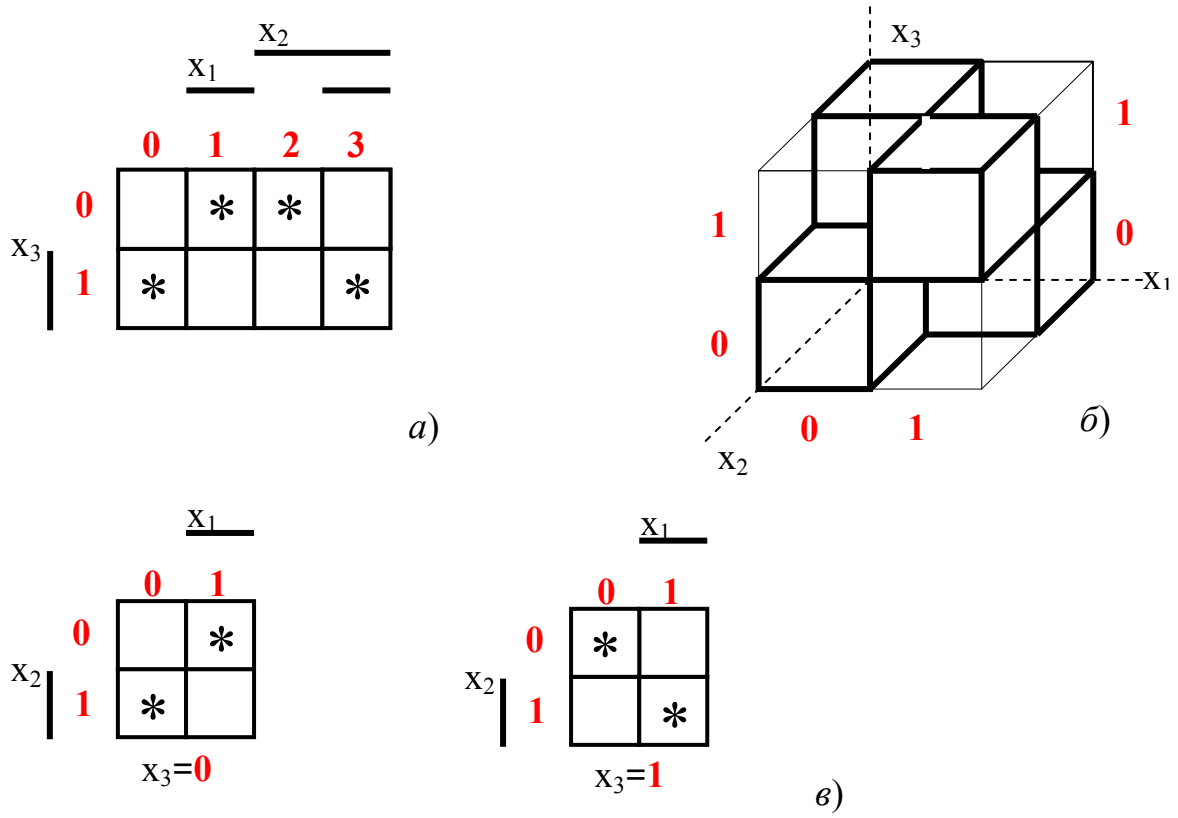


Рис. 1.2

В этом выражении и в дальнейшем инверсию функции или аргумента (входными и выходными сигналами) будем обозначать не верхней чертой над сигналом, как это обычно выполняется, а нижней чертой. Это нововведение принято нами для того, чтобы отличать логические функции, полученные из геометрического представления, от логических функций, которые выводятся аналитическим путем, исходя из алгебры Буля. Известно, что булева алгебра может быть использована только при двоичном принципе кодирования соответствующих оснований позиционных систем счисления и не пригодна при геометрических принципах кодирования этих оснований систем счисления.

В общем случае можно утверждать, что покрытие (определение термина «покрытие» приведем в дальнейшем) "объема" цифрового множества ЛФ, расположенного в многомерном цифровом пространстве, определяет все возможные варианты построения ЛФ. Здесь следует напомнить, что число таких логических функций известно, но доказательство этой теоремы в литературе отсутствует и выполняется только путем просмотра (или, как говорят, «перебора»). При этом утверждается [1.7], что «уже при сравнительно небольших значениях K (K ≥ 6) перебор становится практически невозможным даже с использованием вычислительной техники».

Использование геометрического образа логических функций позволяет получить точный ответ: это число определяется суммой всех возможных сочетаний из 2^K элементов цифрового множества соответственно по нулю (в множестве нет логических единиц – пустое множество ∅), по 1 (в множестве содержится одна логическая единица), по 2 (в множестве содержится по две логических единицы) и т.д. вплоть до сочетания из 2^K по 2^K (в множестве все элементы равны логической единице – универсальное множество E).

Отмеченное записывается следующим образом:

$$2^{2^k} = C_{2^k}^{0} + C_{2^k}^{1} + C_{2^k}^{2} + \ldots + C_{2^k}^{2^k}. \qquad (1.1.1)$$

В формуле (1.1.1) первое и последнее слагаемые определяют соответственно пустое и универсальное множества, сумма которых, как очевидно, равна двум.

Следует отметить, что значения ЛФ могут быть представлены не на всех 2^K возможных наборах значений аргументов и тогда на некоторых из них они не определены. Названия таких ЛФ и их "объемов" – неполностью определенные или частичные.

Для более четкого представления многомерного цифрового пространства, использующего декартову систему координат, на рис. 1.3, *а* изображено двенадцатимерное цифровое пространство, где каждый разряд имеет основание системы счисления 2 (цифры **0**, **1**), а на рис. 1.3,*б* – эквивалентное ему трехмерное цифровое множество, где каждый разряд имеет основание системы счисления 16 (цифры **00**, ... , **15**), которые могут быть, в свою очередь, закодированы различными способами, например четырьмя разрядами двоичного кода.

Таким образом, для геометрического представления ЛФ может быть выбрано цифровое пространство мерности от 1 до K, где все пространство упаковывается элементарными фигурами от **0** до **$(2^K - 1)$** **(**нумерованное цифровое пространство). Объединение всех этих 2^K элементарных фигур представляет собой универсальное цифровое множество E**,** включающее все возможные наборы значений K аргументов. Выделение в универсальном множестве E подмножеств элементарных фигур, соответствующих наборам аргументов, при которых ЛФ $y = f(x_1, \ldots, x_K)$ равна 1*, образует ее геометрический образ.

В качестве измерения мерности пространства нами выбрано число разрядов соответствующего основания системы счисления, из которых может быть составлено любое действительное натуральное число N_0, нумерующее 2^K наборов аргументов ЛФ. Поэтому геометрический образ многомерного цифрового пространства должен обладать аналогично цифрам разряда свойством замкнутости этих цифр на себя. Представить физическое существование одномерного либо двухмерного цифрового пространства, где цифры разрядов, определяющих мерность пространства, замкнуты на себя, не сложно. Для одномер-

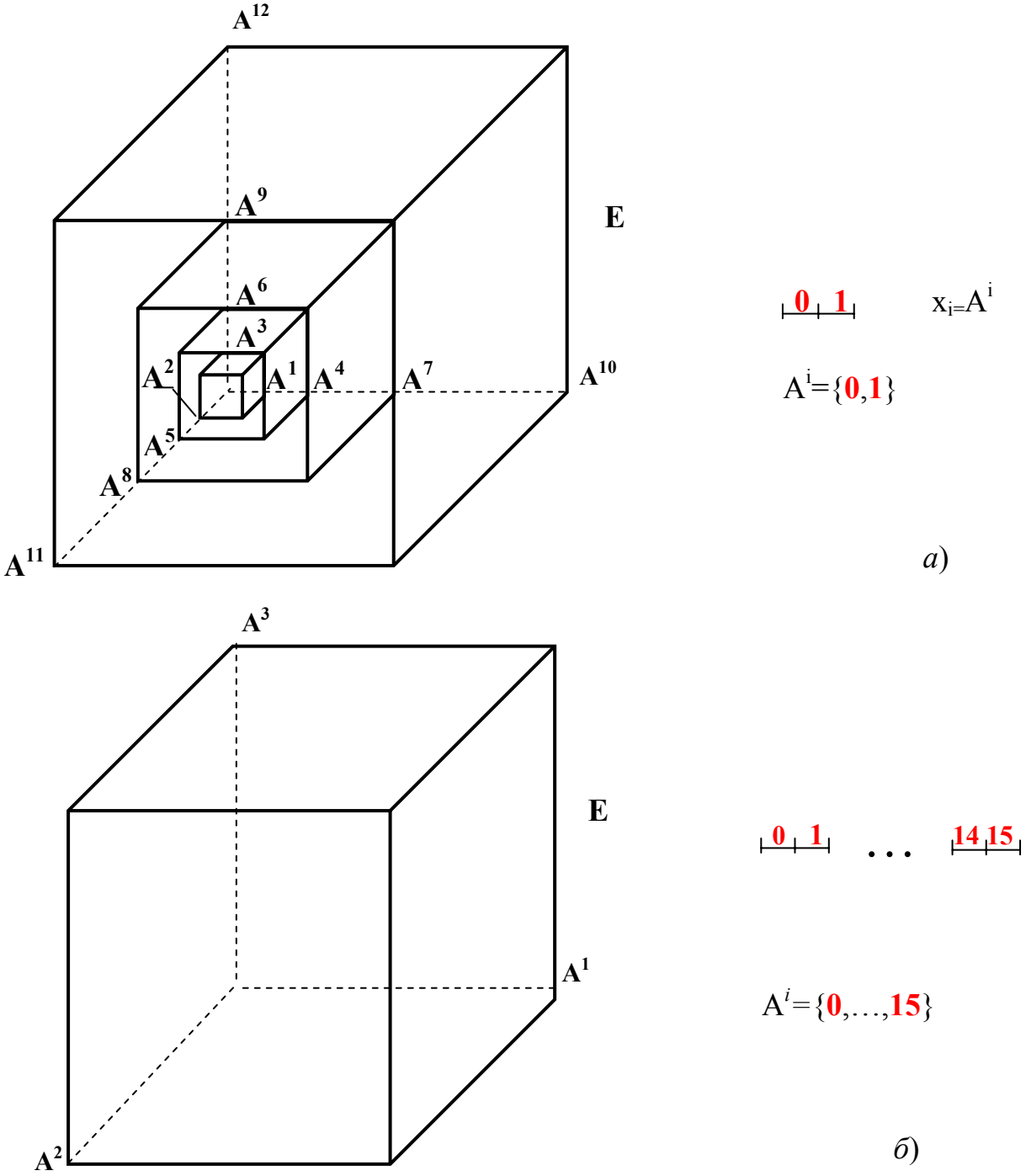


Рис. 1.3

ного цифрового пространства, «склеивая» между собой свободную грань элементарного кубика, соответствующего цифре **0** и перпендикулярного свободной гранью к цифровой оси, со свободной гранью такого же кубика, соответствующего цифре $(2^K - 1)$ и также перпендикулярного свободной гранью к цифровой оси, получим "полый" тор. Проводя аналогичные «склеивания» цифр разрядов двухмерного цифрового пространства, получим тор с внутренней полостью и т.д.

Таким путем может быть получено достаточно сложное тороидальное многомерное цифровое пространство.

Однако здесь необходимо остановиться и сделать следующее замечание.

Несмотря на то, что декартовая система координат и тороидальная являются ортогональными и имеют взаимно однозначные соответствия [1.24], обращаться к более сложной и менее изученной тороидальной системе координат нет необходимости. Такой переход только «затуманит» рассмотрение, а представить упомянутую выше замкнутость цифр разрядов, т.е. координат на себя, можно и в декартовой системе координат.

В самом деле, обратимся к трехмерному цифровому пространству декартовой системы координат (рис. 1.4, *а*), где на границе этого пространства расположена геометрическая фигура, состоящая, например, для простоты изложения из восьми элементарных кубиков. Для наглядности дальнейшего изложения половина кубиков имеет более темный цвет.

При сдвиге этой фигуры, которая, как мы договорились ранее, является геометрическим образом ЛФ, вдоль координаты A_1 на одну цифру (рис. 1.4, *б*) в большую сторону она появится одной своей половинкой в начале координаты

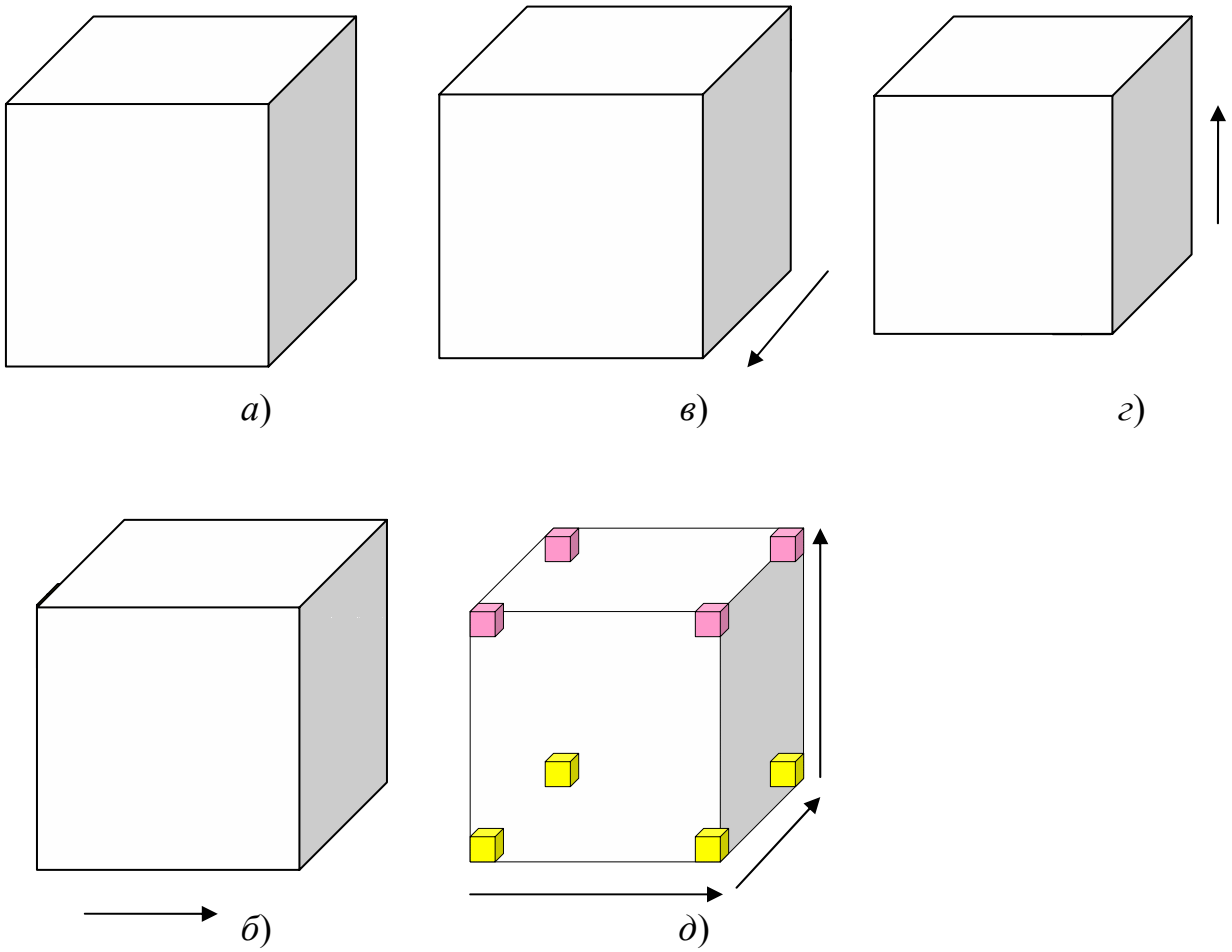


Рис. 1.4

A_1. Аналогичные положения займет эта фигура при сдвиге на одну цифру относительно координат A_2 и A_3 (рис. 1.4, *в*, *г*).

Одновременный сдвиг этой фигуры, например по всем трем координатам A_1, A_2, A_3 (рис. 1.4, *д*), приведет к тому, что она будет присутствовать своими частями в начале и конце всех трех координат.

Здесь следует помнить, что исходная геометрическая фигура (рис. 1.4, *а*) при любом сдвиге её вдоль координат преобразуются в аналогичные образы (рис. 1.4, *б–д*), которые все эквивалентны между собой, т.е. они всегда сохраняют свою форму (не дробятся и не объединяются в более крупные образования) и всегда при этом находятся внутри многомерного цифрового пространства.

Если при этом многомерное цифровое пространство не бесконечно, а для основания системы счисления используется циклический код, то отмеченное выше свойство пространства позволяет сразу сделать важный вывод. Это вывод следующий: число всех возможных логических функций, представленных формулой (1.1.1), потребует при наших условиях для своей реализации в n^k раз меньше принципиальных схем, чем число логических функций формулы (1.1.1).

Это доказывается тем, что циклические перестановки символов (аргументов) кодового слова вновь приведут к этому кодовому слову. Следовательно, одна принципиальная схема, эквивалентная исходной логической функции, при циклической перестановке сигналов на её входах, будет эквивалентна n^k логическим функциям.

Существуют и другие методы для уменьшения числа принципиальных схем, реализующих логические функции многомерного цифрового пространства, но это является предметом нашего дальнейшего рассмотрения.

Уже в начале изложения основ теории многомерных цифровых множеств, где размещаются геометрические образы логических функций, сделаны два серьёзных вывода. Эти выводы, по нашему мнению, не могли быть получены, исходя из чисто аналитических логических рассуждений. Это полностью подтверждает высказывание Ф.Клейна (Klein F.C.) [1.29], критикующего чисто формальную теорию чисел: «Попытка совершенно изгнать созерцание и удержать только логическое исследование представляется мне в полной мере неосуществимой. Некоторый остаток, некоторый минимум интуиции всегда должен сохраниться …» и далее: «…совершенно невозможно чисто логическим путем показать, что законы, в которых мы обнаружили отсутствие логического противоречия, действительно имеют силу по отношению к числам, столь хорошо нам известным эмпирически, что неопределенные объекты могут быть отождествлены с реальными числами, а выкладки, которые мы над ними производим, – с реальными эмпирическими процессами».

1.2. Позиционные системы счисления

Позиционные системы счисления занимают основную, главную роль во всей математике и их использование при двоичном принципе кодирования оснований имеют в машинной арифметике также всеобщий характер. Тем не менее использование двоичного кодирования не может определить все возможные варианты кодирования оснований систем счисления. Нетрудно показать, что число кодов, эквивалентных сигналам ОЦК от **0** до $(\mathbf{2^K - 1})$, равно $2^K!$.

В самом деле, каждой цифре от **0** до $(\mathbf{2^K - 1})$ основания системы счисления 2^K сопоставляется его код – слово из алфавита $\{x_1, x_2, \ldots, x_k\}$. При двоичном не избыточном законе кодирования, например для К = 3, это будут следующие слова (кодовые комбинации): **0** ↔ $\underline{x}_1\ \underline{x}_2\ \underline{x}_3$, **1** ↔ $x_1\ \underline{x}_2\ \underline{x}_3$, … , **7** ↔ $x_1\ x_2\ x_3$. Здесь цифры **0,** … , $(\mathbf{2^K - 1})$ и конъюнкции К-го ранга находятся во взаимно однозначном соответствии, что определяется постановкой между ними соответствующего знака (↔). Другие взаимно однозначные соответствия могут быть получены перестановкой конъюнкций К-го ранга.

Обозначим конъюнкции К-го ранга простыми цифрами 0, … , $(2^K - 1)$, совпадающими с двоичным принципом кодирования. Тогда взаимно однозначные соответствия двоичного принципа кодирования представятся записью: **0** ↔ 0, **1** ↔ 1, **2** ↔ 2, **3** ↔ 3 , **4** ↔ 4, **5** ↔ 5, **6** ↔ 6, **7** ↔ 7, а другой вариант кодирования будет представлен, например, иной записью соответствия: **0** ↔ 0, **1** ↔ 2, **2** ↔ 1, **3** ↔ 3 , **4** ↔ 4, **5** ↔ 5, **6** ↔ 6, **7** ↔ 7 и т.д.

Поставив на первое место в ряду кодов двоичный код, представляет определенный интерес определить место в этом ряду каждому коду. Для этого необходимо принять определенное правило для формирования остальных типов кодов.

Для основания n=2 все просто: число различных перестановок равно двум (0 1) и (1 0). Первая перестановка определяет двоичный код, вторая – обратный ему код. В матричной форме записи это будет выглядеть следующим образом:

$$\begin{vmatrix} (01) \\ (10) \end{vmatrix}_{n=2}. \qquad (1.2.1)$$

Для основания n=3 число различных перестановок представляется также весьма просто матрицей размерами 3 × 2

$$\begin{vmatrix} (012) & (021) \\ (102) & (120) \\ (210) & (201) \end{vmatrix}_{n=3}. \qquad (1.2.2)$$

В (1.2.2) содержится шесть перестановок, а дальнейшее представление принципов кодирование оснований n = 4, 5, 6, ... может быть сформулировано следующим правилом.

Первый столбец матрицы перестановок i-го основания системы счисления образуется из элементов первого столбца матрицы перестановок (i – 1)-го основания системы счисления, где в каждой перестановке добавляется цифра (i – 1), а последний i элемент первого столбца матрицы перестановок i-го основания состоит из цифр в последовательности (i – 1) (i – 2) ... 0.

В матрице перестановок i-го основания число столбцов совпадает с числом элементов матрицы перестановок (i – 1)-го основания, где в матрице i-го основания каждый первый элемент столбца содержит первую цифру 0, а остальные цифры этого элемента равны цифрам элементов матрицы перестановок (i – 1)-го основания при их прохождении сверху вниз и слева направо, увеличенным на единицу.

Все последующие цифры элементов в каждом из столбцов задаются порядком расположения цифр первого столбца матрицы перестановок искомого i-го основания.

Тогда следующая матрица размерами 4 × 6 определяет все коды основания n = 4:

$$\begin{vmatrix} (0123) & (0213) & (0321) & (0132) & (0231) & (0312) \\ (1023) & (1203) & (1320) & (1032) & (1230) & (1302) \\ (2103) & (2013) & (2301) & (2130) & (2031) & (2310) \\ (3210) & (3120) & (3012) & (3201) & (3102) & (3021) \end{vmatrix}_{n=4} \qquad (1.2.3)$$

и т.д.

Для неизбыточных кодов, где основание системы счисления кратно двум $n = 2^K$, матрицы перестановок непосредственно определяют все типы возможных кодов. Если первая перестановка и ее цифровые эквиваленты от **0** до ($\mathbf{2^K - 1}$) соответствуют кодовым комбинациям двоичного принципа кодирования, то все остальные перестановки этих цифр дают только порядок расположения этих кодовых комбинаций в других принципах кодирования, а эквивалентные им сигналы ОЦК должны также располагаться в последовательности от **0** до ($\mathbf{2^K - 1}$).

Принимая для любых типов кодов неизменность кодового слова для цифры 0, равенство нулю всех сигналов кода, число кодов для основания n уменьшается до значения (n – 1)!, а с учетом необходимости иметь каждому коду его обратный код число кодов равно2[(n – 1)!]. Так, для основания n = 4 число прямых кодов будет определяться первой строкой матрицы (1.2.3).

Кроме понятия "нулевых" кодов введем понятие "дружественных" кодов, в которых, дополнительно к постоянству кодовой комбинации сигналов цифры **0**, устанавливается такое же постоянство комбинации сигналов для цифры (**n – 1**) – равенство их всех логической единице. Число "дружественных" кодов равно (n – 2)!.

Число эквивалентных кодов S_K , т.е. кодов одинаковой структуры, определяет число классов неизбыточного кода мерности K. Очевидно, что число классов неизбыточного кода мерности K равно $n!/ S_K$.

Число "дружественных" кодов каждого класса определяется числом перестановок K аргументов кода, в образовании которых будем также придерживаться представленного выше порядка.

Для избыточных кодов $n < 2^K$ и общее число кодов определяется зависимостью $C^n_{2K} \times (n!)$, а с учетом равенства нулю всех сигналов кода, эквивалентных цифре **0** основания системы счисления, число кодов уменьшается до величины $2C^{(n-1)}_{(2K-1)} \times [(n-1)!]$. Число избыточных кодов огромно и не поддается счету.

Поэтому остановим пока свое внимание в этом разделе только на неизбыточных кодах. В этом случае каждый код основания n имеет свой порядковый номер в последовательности перестановок $П_{(n-1)}$. Все двоичные коды при таком подходе имеют нулевой номер для любого основания системы счисления.

В этих кодах любая цифра основания позиционной системы счисления определяется как конъюнкция всех K аргументов кода. Поэтому знание числа конъюнкций определенного ранга и общего числа конъюнкций всех рангов, а также определенного порядка их образования требует уделить этому вопросу некоторое внимание.

Определение конъюнкций первого ранга тривиально – в качестве конъюнкций здесь выступают сами аргументы x_i и их инверсии $\underline{x}_i$. При K аргументах число таких конъюнкций 2K. Это значение конъюнкций может быть представлено так же, как число сочетаний из 2K по 1, т.е. $C^1_{2K} = 2K$.

Для нахождения конъюнкций второго ранга можно определить число сочетаний из 2K по 2 и в этом числе сочетаний вычеркнуть такие, где содержатся произведения $x_i \, \underline{x}_i$. Таким же образом можно определить все конъюнкции j-го ранга, находя все сочетания из 2K по j и убирая нулевые произведения. Этот способ определения конъюнкций не продуктивен, не имеет определенного порядка их образования, не дает их общего числа и каждого числа конъюнкций определенного ранга.

Изложение предложенной процедуры определения числа конъюнкций начнем на примере шести аргументов ($x_1, x_2, \ldots, x_6$) кода, который затем распространим на их любое число.

Матричная форма записи числа конъюнкций второго ранга, где элементарная матрица содержит четыре конъюнкции второго ранга

$$\left\| \begin{matrix} x_i x_j & x_i \underline{x}_j \\ \underline{x}_i x_j & \underline{x}_i \underline{x}_j \end{matrix} \right\|_{a_{ij}},$$

позволяет конъюнкции второго ранга дать в табличном представлении следующим образом:

	x_1	x_2	x_3	x_4	x_5	x_6
x_1		a_{12}	a_{13}	a_{14}	a_{15}	a_{16}
x_2			a_{23}	a_{24}	a_{25}	a_{26}
x_3				a_{34}	a_{35}	a_{36}
x_4					a_{45}	a_{46}
x_5						a_{56}
x_6						

a_{ij} (1.2.4)

Из этой записи следует, что число конъюнкций второго ранга здесь равно 60. В самом деле, каждая элементарная матрица содержит четыре конъюнкции второго ранга, например

$$\left| a_{14} \right| = \left| \begin{matrix} x_1 x_4 & x_1 \underline{x}_4 \\ \underline{x}_1 x_4 & \underline{x}_1 \underline{x}_4 \end{matrix} \right|,$$

а число таких элементарных матриц равно 15.

Элементарная матрица для конъюнкций третьего ранга a_{ijs}, которая состоит из восьми конъюнкций третьего ранга, записывается через элементарные матрицы второго порядка:

$$\left| \begin{matrix} x_i x_j x_s & x_i \underline{x}_j x_s & x_i x_j \underline{x}_s & x_i \underline{x}_j \underline{x}_s \\ \underline{x}_i x_j x_s & \underline{x}_i \underline{x}_j x_s & \underline{x}_i x_j \underline{x}_s & \underline{x}_i \underline{x}_j \underline{x}_s \end{matrix} \right|$$

a_{ijs}

или

$$\left| \begin{matrix} a_{ij} x_s & a_{ij} \underline{x}_s \end{matrix} \right|.$$

a_{ijs} (1.2.5)

Тогда конъюнкции третьего ранга в координатах прямых и инверсных сигналов аргументов второго ранга представляются таблицей

	x_3	x_4	x_5	x_6
a_{12}	a_{123}	a_{124}	a_{125}	a_{126}
a_{13}		a_{134}	a_{135}	a_{136}
a_{14}			a_{145}	a_{146}
a_{15}				a_{156}
a_{23}		a_{234}	a_{235}	a_{236}
a_{24}			a_{245}	a_{246}
a_{25}				a_{256}
a_{34}			a_{345}	a_{346}
a_{35}				a_{356}
a_{45}				a_{456}

a_{ijs} (1.2.6)

Элементарная матрица конъюнкций четвертого ранга a_{ijst}, которая состоит из шестнадцати конъюнкций четвертого ранга, равна

$$\left| \begin{matrix} a_{ijs} x_t & a_{ijs} \underline{x}_t \end{matrix} \right|.$$

a_{ijst}

(1.2.7)

Конъюнкции четвертого ранга в координатах прямых и инверсных сигналов аргументов и конъюнкций третьего ранга представляются таблицей

$$\begin{array}{c|ccc|} & x_4 & x_5 & x_6 & \\ a_{123} & a_{1234} & a_{1235} & a_{1236} & \\ a_{124} & & a_{1245} & a_{1246} & \\ a_{125} & & & a_{1256} & \\ a_{134} & & a_{1345} & a_{1346} & \\ a_{135} & & & a_{1356} & . \\ a_{145} & & & a_{1456} & \\ a_{234} & & a_{2345} & a_{2346} & \\ a_{235} & & & a_{2356} & \\ a_{245} & & & a_{2456} & \\ a_{345} & & & a_{3456} & a_{ijst} \end{array} \qquad (1.2.8)$$

Элементарная матрица конъюнкций пятого ранга состоит из тридцати двух конъюнкций пятого ранга

$$\begin{array}{|cc|} a_{ijst}\, x_l & a_{ijst}\underline{x}_l \\ & a_{ijstl} \end{array}. \qquad (1.2.9)$$

Конъюнкции пятого ранга в координатах прямых и инверсных сигналов аргументов и конъюнкций четвертого ранга представляются следующим образом:

$$\begin{array}{c|cc|} & x_5 & x_6 & \\ a_{1234} & a_{12345} & a_{12346} & \\ a_{1235} & & a_{12356} & \\ a_{1245} & & a_{12456} & . \\ a_{1345} & & a_{13456} & \\ a_{2345} & & a_{23456} & a_{ijstl} \end{array} \qquad (1.2.10)$$

Элементарная матрица конъюнкций шестого ранга состоит из шестидесяти четырех конъюнкций шестого ранга и равна

$$\begin{array}{|cc|} a_{12345}x_6 & a_{12345}\underline{x}_6 \\ & a_{123456} \end{array}. \qquad (1.2.11)$$

Приведенные выражения для шести аргументов позволяют представить общую зависимость числа конъюнкций любого ранга при неограниченном числе аргументов K:

$C^1_{2K} = 2K = 2C^1_K$,

$C^2_{2K}\,(x_i \underline{x}_i=0) = 2^2\,[(K-1)+(K-2)+\ldots+1] = 2^2\,C^2_K$,

$C^3_{2K}\,(x_i \underline{x}_i=0) = 2^3\,[\{(K-2)+\ldots+1\}+\{(K-3)+\ldots+1\}+\ldots+1] = 2^3C^3_K$,

$C^4_{2K}\,(x_i \underline{x}_i=0) = 2^4\,[\{(K-3)+\ldots+1\}+\{(K-4)+\ldots+1\}+\ldots+1] = 2^4C^4_K$,

.

.

.

$C^K_{2K}\,(x_i \underline{x}_i=0) = 2^K C^K_K$. (1.2.12)

Поскольку конъюнкцию любого ранга можно записать как произведение K сомножителей, каждый из которых может принимать значение x, $\underline{x}$ либо отсутствовать, то общее число конъюнкций всех рангов, включая и нулевой ранг ($C^0_{2K} = 0$), равно 3^K. В этом легко убедиться непосредственно из (1.2.12) для конкретного значения K.

1.3. Основные логические операции над подмножествами многомерного цифрового пространства

Создатель основ теории множеств выдающийся немецкий математик Г.Кантор рассматривал множество как объединение в одно целое объектов, различимых нашей интуицией или мыслью. Понятие "множество" относится к неопределенным понятиям науки, но в нашем случае под множеством будем понимать, как отмечено выше, числа натурального ряда от **0** до ($\mathbf{2^n - 1}$), представленные в любой позиционной системе счисления. Очевидно, что все известные правила действия над множествами [1.28] полностью распространяются на эти цифровые множества. Поэтому здесь приведем только те из них, которые определяются нашими ограничениями.

Принадлежность цифры i множеству **A** обозначается $i \in \mathbf{A}$ (i принадлежит **A)**; непринадлежность обозначается $i \notin \mathbf{A}$ (i не принадлеждт **A)**.

Если $\mathbf{A^i}$ (i – разряд числа **A**), то запись $\mathbf{A} = \{\mathbf{A^1}, ..., \mathbf{A^i}\}$ означает разряды $\mathbf{A^1}$, $\mathbf{A^2}$, ... суть элементы множества (числа) **A** .

Запись $\mathbf{A^i} = \{\mathbf{O^i}_a, \mathbf{1^i}_a, \ldots, \mathbf{(n-1)^i}_a\} = \{\mathbf{O, 1, \ldots, (n-1)}\}^i{}_a$ означает цифры разряда i (0, 1, ... , (n – 1)), где n – основание системы счисления, суть элементы подмножества (разряда) $\mathbf{A^i}$.

Одноэлементное множество – множество, состоящее из одного элемента, например, $\{\mathbf{O^i}_a\}$ или $\{\mathbf{A^i}\}$, где в первом случае элементом является цифра разряда $\mathbf{A^i}$, а во втором случае – это i-й разряд числа **A** (иерархия элементов, подмножеств).

Пустое множество $\varnothing$ – множество, не содержащее элементов (цифр) вообще. Множества **A** и $\varnothing$ называются несобственными подмножествами множества **A**, а все остальные подмножества **A** – его собственными подмножествами. Например, множества натуральных чисел являются подмножеством всех целых чисел, а последние, в свою очередь, – подмножеством множества всех рациональных чисел.

Известно [1.28], что «множества, встречающиеся в рассуждениях той или иной математической теории, являются подмножествами некоторого фиксированного множества E, называемого универсальным для данной теории». Универсальным для нашего случая является множество, где во всех ячейках многомерного цифрового пространства расположены логические единицы 1*.

Множества **A** и **B** называются равными, $\mathbf{A} = \mathbf{B}$, если они состоят из одних и тех же элементов на всех ступенях иерархии.

Если все элементы множества **A** являются также элементами множества **B**, то **A** – подмножество **B** , или **A** включается в **B** , что обозначается как $\mathbf{A} \subseteq \mathbf{B}$. Если $\mathbf{A} \subseteq \mathbf{B}$, причем $\mathbf{A} \neq \mathbf{B}$,то записывается $\mathbf{A} \subset \mathbf{B}$. Знак $\subset$ в, отличие от знака $\subseteq$, называется знаком строгого включения.

Для любого множества **A** выполняется включение $\varnothing \subset \mathbf{A}$, $\mathbf{A} \subset \mathbf{A}$ (рефлексность).

Множества **A** и $\varnothing$ называются несобственными подмножествами множества **A** , а все остальные подмножества **A** – его собственные подмножества.

Если $\mathbf{A} \subseteq \mathbf{B}$ и $\mathbf{B} \subseteq \mathbf{C}$, то $\mathbf{A} \subseteq \mathbf{C}$ (транзитивность).

Если в качестве элементов множества используются другие множества, например $\mathbf{A} = \{\mathbf{A}^1, \mathbf{A}^2, ..., \mathbf{A}^i\}$, то это семейство множеств $\{\mathbf{A}^i \mid i \in \mathbf{I}\}$, где $\mathbf{A}^i$ – некоторое множество, например, i-го разряда натурального числа **A** , а **I** – множество индексов, которое может быть конечным или бесконечным.

Очевидно, что множества, состоящие из конечного числа элементов, называются конечными; в противном случае говорят о бесконечных множествах. Бесконечным множеством является множеств цифр расширенного натурального ряда, а множество цифр конкретного основания **n** позиционной системы счисления является конечным.

Говорят, что «элементы множеств **A** и **B** находятся во взаимно однозначном соответствии, если каждому элементу **a** множества **A** сопоставлен по некоторому закону единственный элемент в множестве **B**, причем каждый элемент $\mathbf{b} \in \mathbf{B}$ оказывается сопоставленным одному и только одному элементу $\mathbf{a} \in \mathbf{A}$». Взаимно однозначное соответствие элементов множеств **A** и **B** обозначается как $\mathbf{a} \leftrightarrow \mathbf{b}$.

Множества **A** и **B** называются эквивалентными или равномощными($\mathbf{A} \sim \mathbf{B}$), если можно установить взаимно однозначное соответствие их элементов. Это определение распространяется на конечные и бесконечные множества. Очевидно, что конечные множества **A** и **B** эквивалентны лишь тогда, когда они содержат одинаковое число элементов. Причем если $\mathbf{A} \sim \mathbf{B'}$, где $\mathbf{B'} \subset \mathbf{B}$, то множество **A** содержит меньше элементов, чем множество **B**. Таким образом, понятие числа элементов множества эквивалентно понятию мощности множества.

Для бесконечных множеств можно также задать вопрос: нельзя ли «бесконечность» одного множества считать большей, равной или меньшей, чем «бесконечность» другого множества? Здесь ответ заключается в понятии одинаковой мощности этих множеств, если между их элементами можно установить взаимно однозначное соответствие, т.е. если одно множество можно также отобразить на другое, что каждому элементу первого взаимно однозначно соответствует некоторый элемент второго. Если же подобное отображение неосуществимо, то множества имеют различную мощность; при этом оказывается, что в последнем случае, как бы мы ни пытались привести в соответствие элементы обоих множеств, всегда останутся лишние элементы и притом постоянно от одного и того же множества, которое имеет поэтому «большую мощность».

Бесконечное множество чисел натурального ряда N_0 и бесконечное множество ячеек многомерного цифрового пространства при любом числе мерности этого пространства имеют одинаковую мощность и, следовательно, по определению эквивалентны.

Фиксированное множество **E**, определяющее все многомерное цифровое пространство, где множества **A**, **B**,..., являются его подмножествами, как уже отмечалось выше, называется универсальным.

Каждому подмножеству $\mathbf{A} \subseteq \mathbf{E}$ сопоставим функцию y_a такую, что $y_a = 1^*$, если подмножество **A** не пустое $(\mathbf{A} \neq \varnothing)$, и $\mathbf{y_a} = 0^*$, если $\mathbf{A} = \varnothing$. Тем самым достигается полное соответствие: между операцией объединения $\cup$ и логическим сложением $\vee$, между операцией пересечения $\cap$ и логическим умножением &, между операцией дополнения $\mathbf{A_E}$ и логической операцией отрицания $\underline{\mathbf{A}}$.

Для перехода от конкретной фигуры цифрового множества к логической функции, по которой строится принципиальная схема логического блока, необходимо дать определение покрытия цифрового множества: покрытием данного цифрового множества называется конечная совокупность его подмножеств, дающая в своей сумме всё это цифровое множество.

Классической постановкой задачи определения покрытия "длины", "площади", "объема" цифровых множеств является поиск нормальной минимальной дизъюнктивной формы (ДНФ), когда лучшей считается логическая схема, соответствующая этой ДНФ и занимающая меньшую площадь кристалла большой интегральной схемы (БИС). Представленный критерий оптимизации в тесном сочетании с технологическими требованиями регулярности структуры БИС привел к отображению на плоскости либо объеме кристалла ДНФ логической функции или системы функций в виде матричных схем, которые получили название программируемых логических матриц (ПЛМ), а также других микросхем программируемой матричной логики (ПМЛ).

Предлагаемая теория многомерных цифровых множеств является инструментом, наилучшим образом ориентированным на автоматизацию синтеза таких БИС, когда конструкция каждой из них имеет не только аналитическую запись в ДНФ, но и физический геометрический образ цифрового множества многомерного цифрового пространства.

Это утверждение носит пока чисто риторический характер, но оно опирается на высказывание немецкого математика Д. Гильберта, который отмечал, что "в научных исследованиях встречаются две тенденции: тенденция к абстракции – она пытается выработать логическую точку зрения на основе различного материала и привести этот материал в систематическую связь – и другая тенденция, тенденция к наглядности, которая в противоположность этому стремится к живому пониманию объектов и их внутренних соотношений".

Именно наглядность играет в теории многомерных цифровых множеств первостепенную роль, как обладающая большой доказательной силой для понимания и оценки результатов автоматизированного синтеза ЛФ, что будет доказано ниже.

Особое значение здесь придается изучению симметрии цифрового пространства и его подмножеств, как свойству содержать в себе равные и однообразно расположенные части, где законы преобразования фигур в пространстве являются следствием симметрии законов самого многомерного цифрового пространства, обладающего таким же богатством, как окружающий нас мир.

1.4. Бинарные логические операции в двухмерном цифровом пространстве

Общепринятое аналитическое рассмотрение бинарных логических операций, как правило, начинается с представления ЛФ двух аргументов x_1,x_2, что представлено табл. 1.4.1.

Таблица 1.4.1

ОЦК	x_2	x_1	y_1	y_2	y_3	y_4	y_5	y_6	y_7	y_8	y_9	y_{10}	y_{11}	y_{12}	y_{13}	y_{14}	y_{15}	y_{16}
0	0^*	0^*	0^*	1^*	0^*	1^*	0^*	1^*	0^*	1^*	0^*	1^*	0^*	1^*	0^*	1^*	0^*	1^*
1	0^*	1^*	0^*	0^*	1^*	1^*	0^*	0^*	1^*	1^*	0^*	0^*	1^*	1^*	0^*	0^*	1^*	1^*
2	1^*	0^*	0^*	0^*	0^*	0^*	1^*	1^*	1^*	1^*	0^*	0^*	0^*	0^*	1^*	1^*	1^*	1^*
3	1^*	1^*	0^*	0^*	0^*	0^*	0^*	0^*	0^*	0^*	1^*	1^*	1^*	1^*	1^*	1^*	1^*	1^*

Не будем перечислять известные из учебной литературы названия и обозначения логических операций, представленных в этой таблице.

Поскольку концепция эквивалентности вариантов покрытия "длины", "площади", "объема" лежит в основе конкретной реализации логического блока и его геометрического образа, обратимся непосредственно к изучению этих фигур.

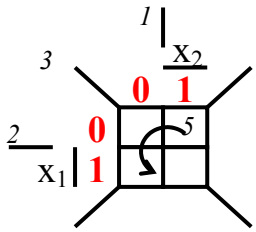
На рис. 1.5 приведены геометрические образы всех шестнадцати бинарных ЛФ в двухмерном пространстве $\mathbf{E_2}$, которое имеет пять осей симметрии *1 – 5*. Допуская, что входы и выходы логических блоков имеют шины прямых и инверсных сигналов, число рассматриваемых фигур в пространстве любой кратности значительно сокращается. Для нашего случая $y_1 = \underline{y}_{16}$, $y_2 = \underline{y}_{15}$, $y_3 = \underline{y}_{14}$, $y_9 = \underline{y}_8$, $y_5 = \underline{y}_{12}$, $y_4 = \underline{y}_{13}$, $y_{11} = \underline{y}_6$, $y_{10} = \underline{y}_7$.

Дальнейшее сокращение количества рассматриваемых фигур связано с симметрией пространства $\mathbf{E_2}$.

Мыслимый поворот вокруг оси *1* приводит к записи аргумента x_1 ЛФ в обратном коде $x_1 \rightarrow \underline{x}_1$; поворот вокруг оси *2* – к записи аргумента x_2 в исходной ЛФ в обратном коде $x_2 \rightarrow \underline{x}_2$; поворот вокруг оси *3* приводит к смене местами аргументов $(x_1 , x_2) \rightarrow (x_2 , x_1)$; поворот вокруг оси *4* приводит к смене местами аргументов, а также записи их в обратном коде $(x_1 , x_2) \rightarrow (\underline{x}_2 , \underline{x}_1)$; каждый последовательный мыслимый поворот вокруг оси *5* на 90° против часовой стрелки приводит к смене местами аргументов с одновременной записью первого из них в обратном коде, что иллюстрируется следующим обра-

зом: $\rightarrow (x_1 , x_2) \rightarrow \rightarrow (x_2 , \underline{x}_1) \rightarrow (\underline{x}_1 , \underline{x}_2) \rightarrow (\underline{x}_2 , x_1) \rightarrow (x_1 , x_2)$, а при вращении в противоположном направлении – к смене аргументов в обратном направлении.

Исходя из симметрии двухмерного цифрового пространства и убрав из рассмотрения тривиальные функции $y_1 = \varnothing = 0^*$, $y_{16} = \mathbf{E_2} = 1^*$, конструкцию любого логического блока двух аргументов определяем только одной из первообразных фигур y_2 , y_4 , y_{10} , а остальные фигуры получаются соответствующими мыслимыми поворотами вокруг осей симметрии.



$C_4^0 = y_1$ $C_4^4 = y_{16} = \mathbf{E_2}$

$C_4^1(1) = y_2$ $C_4^3(1) = y_{15}$

$C_4^1(2) = y_3$ $C_4^3(2) = y_{14}$

$C_4^1(3) = y_9$ $C_4^3(3) = y_8$

$C_4^1(4) = y_5$ $C_4^3(4) = y_{12}$

$C_4^2(1) = y_4$ $C_4^2(6) = y_7$

$C_4^2(2) = y_{11}$ $C_4^2(5) = y_{10}$

$C_4^2(3) = y_{13}$ $C_4^2(4) = y_6$

Рис. 1.5

Условимся в качестве первообразных геометрических образов выбирать такую фигуру, которая включает ячейку пространства под номером цифры **0**.

Из фигур, получаемых сочетанием из четырех по одному, это функция $y_2 = C^1_4(1)$, а остальным, которые получаются соответствующим мыслимым поворотом, присвоим следующие порядковые номера: $y_3 = C^1_4(2)$, $y_9 = C^1_4(3)$, $y_5 = C^1_4(4)$.

Из фигур, получаемых сочетанием из четырех по два, первая первообразная – $y_4 = C^2_4(1)$, а остальные будут иметь следующие обозначения: $y_{11} = C^2_4(2)$, $y_{13} = C^2_4(3)$, $y_6 = C^2_4(4)$; вторая первообразная – сочетания из четырех по два – $y_{10} = C^2_4(5)$, а ее образующая – $y_4 = C^2_4(1)$.

Фигурам, получаемым сочетанием из четырех по три, присвоим порядковые номера их дополнений: $y_{15} = C^3_4(1)$, $y_{14} = C^3_4(2)$, $y_8 = C^3_4(3)$, $y_{12} = C^3_4(4)$.

1.5. Сложные логические функции в двухмерном цифровом пространстве

При рассмотрении арифметических и логических операций нами используется финитная точка зрения, которая совершается «в виде мысленных экспериментов над наглядно представляемыми объектами и не зависит от предложений аксиоматического характера. Рассуждения такого рода называются финитными, а методическая установка, лежащая в основе таких рассуждений, называется финитной установкой или финитной точкой зрения».

Известно, что любые арифметические операции совершаются над конкретными значениями цифровых данных, которые обычно называются операндами. Число операнд всегда больше двух. Для связи логических функций с арифметическими операциями введем понятие сложной логической функции, под ней будем понимать логическую функцию, аргументами которой выступают операнды.

Пусть логическая функция состоит из двух аргументов **A**, **B**, которые, в свою очередь, эквивалентны цифрам натурального ряда **0**, **1**, ... , (**n – 1**) и закодированы любым известным способом.

Прямой порядок следования цифр натурального ряда может быть представлен вектором, в начале которого расположен "элементарный кубик", нумерованный цифрой **0**, а в конце вектора – "элементарный кубик" под номером (**n –1**). Исходя из векторного представления аргументов, на рис. 1.6 графически показаны преобразования аргументов **A**, **B** логических функций при соответствующих мыслимых поворотах вокруг осей симметрии *1 – 5*. В них исходные положения векторов аргументов записываются в виде **F (A**, **B)**, а при соответствующем повороте изменяется порядок их следования либо (и) происходит преобразование кода аргументов из прямого в обратный, когда новое положение вектора противоположно исходному вектору в функции **F (A**, **B)**.

Мыслимый поворот вокруг оси *1* производит перевод аргумента **A** из прямого кода в обратный, когда новое положение фигуры логической функции и ее покрытие будут определяться первообразной логической функцией, где аргумент **A** взят в обратном коде, что запишется следующим образом: **F (A$^{\bullet}$, B)**.

На рисунке, соответствующем этому повороту вокруг оси *1*, новое положение вектора аргумента **A** противоположно исходному положению этого же век-

тора и обозначено $\mathbf{A}^{\bullet}$, при этом вектор **B** сохраняет свое первоначальное направление.

Еще один пример мыслимого поворота относительно оси *5*, из которого станут более понятны все преобразования рис. 1.6.

При мыслимом повороте вокруг оси *5* против часовой стрелки новое положение будет представлено следующим образом: вектор аргумента **A** расположится на месте исходного вектора **B** в противоположном ему направлении, а новое положение вектора **B** - на месте исходного вектора **A** и совпадает с ним по направлению. Поэтому новое положение фигуры логической функции, а также ее покрытие будут определяться первообразной логической функцией, где аргументы поменяны местами и аргумент **A** взят в обратном коде, т.е. $\mathbf{F(B,A^{\bullet})}$ и т.д.

При симметрии фигуры относительно данной оси любой мыслимый поворот относительно этой оси не изменяет фигуру и логическую функцию, определяющую ее покрытие и конструкцию блока. Если фигура асимметрична относительно данной оси, то при соответствующем мыслимом повороте вокруг нее она займет новое положение в координатах аргументов **A**, **B**. Принципиальная же схема логического блока, реализующая покрытие этой новой фигуры, совпадает с прежней схемой, где на входе произведены соответствующие перестановки аргументов, а также перевод их из прямого кода в обратный.

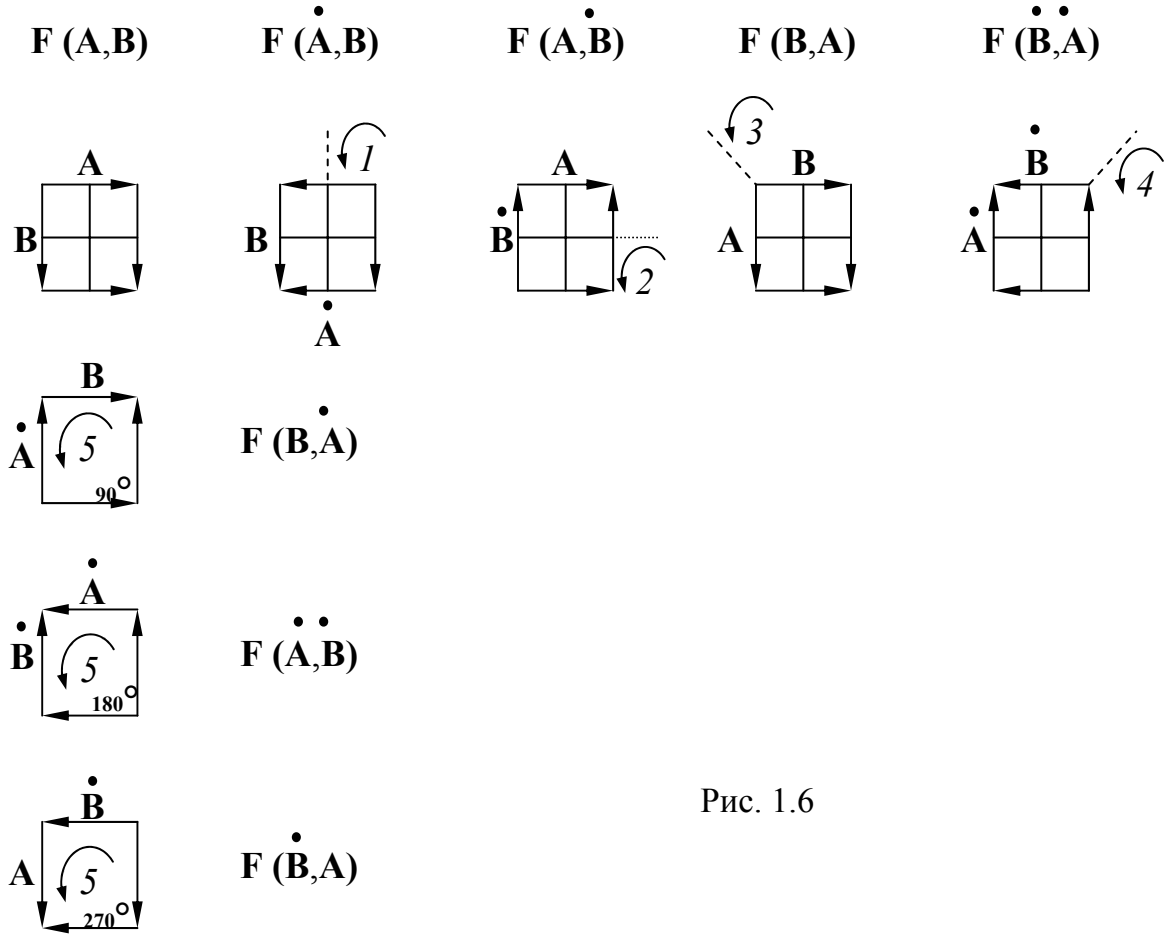


Рис. 1.6

Мыслимые повороты относительно осей *1 – 4* – это простые повороты, а поворот относительно оси *5* – сложный поворот, который может быть осуществлен двумя последовательными поворотами вокруг осей *1 – 4*.

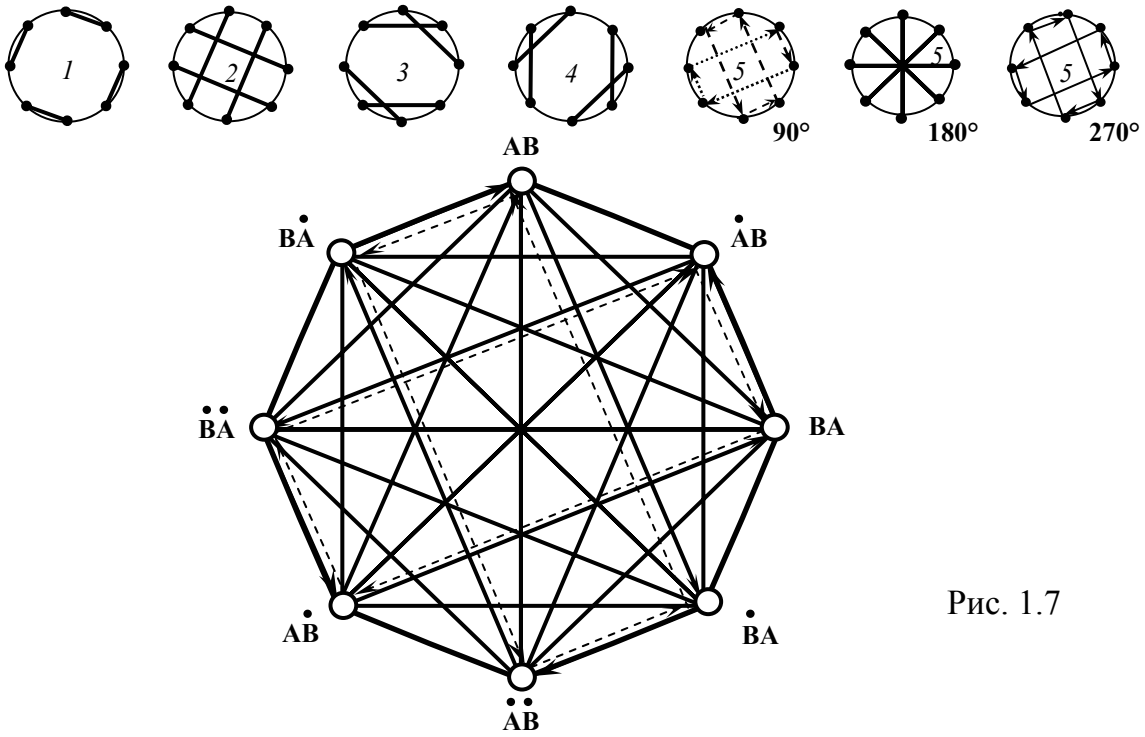


Рис. 1.7

На рис. 1.7 представлены все возможные положения аргументов **A**, **B**, которые достигаются соответствующими мыслимыми поворотами относительно осей симметрии пространства.

Следует отметить, что использование в логических функциях аргументов с циклическим принципом кодирования, когда каждая кодовая комбинация, эквивалентная цифре натурального ряда **0**, **1**, ... , (**n – 1**), получается циклической перестановкой их составляющих сигналов, расширяет зону применения первообразной функции. При мыслимом перемещении фигуры в многомерном цифровом пространстве вдоль оси с циклическим принципом кодирования сложного аргумента принципиальная схема логического блока, реализующая покрытие этой новой фигуры, будет совпадать с первообразной фигурой. В этой принципиальной исходной схеме необходимо будет произвести в соответствующих аргументах определенные циклические перестановки сигналов.

К числу таких циклических кодов относится обычный цифровой код, который составляет основу многозначной логики, а также многофазные коды, лежащие в основе большинства устройств электротехники. Многофазные коды относятся также к числу так называемых геометрических кодов, где под термином “геометрический код” понимается то, что эквивалентная цифра натурального ряда в этих типах кодов может определяться не только соответствующей конъюнкцией максимального ранга, но и взаимным геометрическим положением их сигналов. К слову сказать, алгебра Буля не применима для синтеза и анализа устройств, использующих геометрические коды.

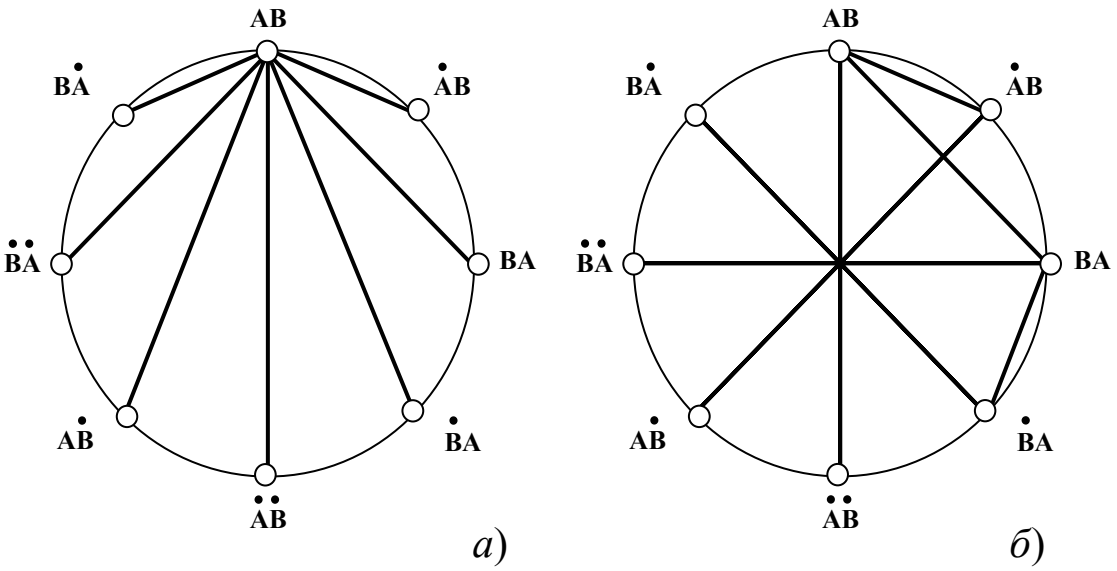


Рис. 1.8

Для выполнения всех приведенных выше мыслимых поворотов и их аналитического представления наиболее удобно ограничиться последовательным использованием только поворотов относительно осей *1 – 3*. Поворот относительно осей *1* и *2* приводит к переводу соответствующего вектора (аргумента) из прямого кода в обратный и наоборот. Аналитически это записывается следующим образом: $\mathbf{A}^{\mathbf{X}}$ либо $\mathbf{B}^{\mathbf{X}}$, а поворот вокруг оси *3*, который соответствует смене местами векторов, запишется как $(\mathbf{AB})^{\mathbf{X}}$.

На рис. 1.8, *а* показаны все возможные мыслимые положения аргументов **A** и **B**, которые реализуются соответствующим мыслимым поворотом относительно осей *1 – 5*. В отличие от предыдущего (рис. 1.7), здесь показаны только переходы из одного мыслимого положения системы координат в другие, а на рис. 1.8, *б* – то же самое, но с использованием таких поворотов относительно только осей *1 – 3*.

Для большей прозрачности и наглядности преобразований геометрического образа логической функции в двухмерном цифровом пространстве при мысленных поворотах этого образа относительно осей *1 – 5* представим, например, аргументы **A** и **B** в системе счисления основания n = 4. Тогда исходная нумерация ячеек двухмерного цифрового пространства, которая всегда остаётся неизменной, будет совпадать с нумерацией кодовых слов, определяющих каждое единичное множество геометрического образа логической функции. Это положение подтверждено рис. 1.9а, где исходная логическая функция занимает место в ячейках пространства, например, с номерами 1, 2, 5, 6, 8. Следовательно, в этих ячейках цифрового пространства должны быть помещены, как мы условились выше, знаки логической функции 1*. Пусть, например, цифры натурального ряда **0 – 3** представлены двумя вариантами кодирования: в двоичном a_1, a_2 и двухфазном a_1, a_2 кодах. На рис. 1.9а и 1.9б показаны соотношения между сигналами для прямого **A** и обратного $\mathbf{A}^{\bullet}$ следования цифр этого операнда.

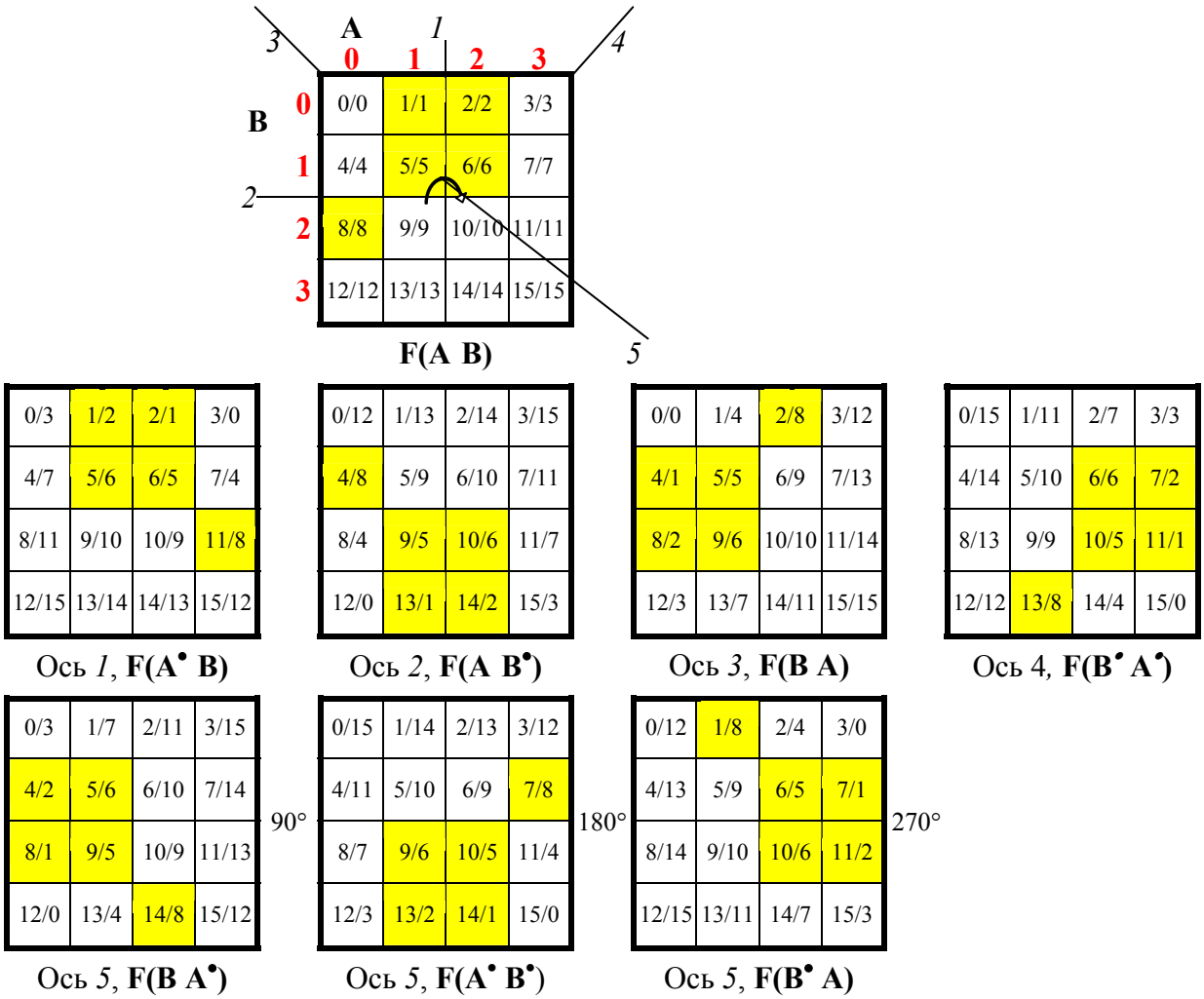


Рис. 1.9а

Прямое (0 – 3) следование цифр операнда **A** и обратное (3 – 0) следование этих цифр определяют взаимно однозначные соотношения между аргументами этих кодов: для двоичного принципа кодирования это общеизвестные соотношения $a_1 = \underline{a}_1$, $a_2 = \underline{a}_2$; для двухфазного принципа кодирования это еще более простое соотношение: $a_2 = \underline{a}_2$. На этом примере очевиден принцип получения взаимно однозначных соотношений между аргументами любых типов кодов для любого основания системы счисления при переводе кода из прямого в обратный.

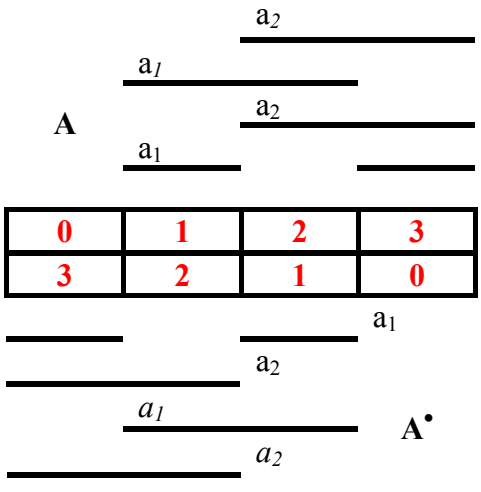


Рис. 1.9б

Теперь вернёмся к преобразованиям геометрического образа выбранной нами логической функции при мысленных поворотах этого образа относительно осей симметрии двухмерного цифрового пространства. Мысленными поворотами они называются потому, что само цифровое пространство и его координаты (аргументы) всегда остаются неизменными, а воображаемые переме-

щения позволяют определить только то место цифрового пространства, куда должен будет переместиться геометрический образ логической функции при этих мысленных поворотах.

Геометрический образ исходной логической функции **F(A B)** размещается в ячейках пространства, где номер ячейки (числитель дроби) всегда совпадает с номером кодового слова (знаменатель дроби), определяющего при выбранном способе кодирования определенную конъюнкцию соответствующего ранга.

При мысленном повороте геометрического образа исходной логической функции относительно какой-либо оси пространства, что происходит путем соответствующего преобразования операнд, такого совпадения уже не будет. Это изменение представлено числителем дроби в соответствующих ячейках пространства.

С учетом этого можно представить соответствующие логические функции при двоичном принципе кодирования следующим образом:

$$\begin{aligned}
\mathbf{F(A\ B)} &= a_1\,\underline{a}_2\,\underline{b}_2 \vee \underline{a}_1\,a_2\,\underline{b}_2 \vee \underline{a}_1\,\underline{a}_2\,\underline{b}_1\,b_2,\\
\mathbf{F(A^{\bullet}\ B)} &= \underline{a}_1\,a_2\,\underline{b}_2 \vee a_1\,\underline{a}_2\,\underline{b}_2 \vee a_1\,a_2\,\underline{b}_1\,b_2,\\
\mathbf{F(A\ B^{\bullet})} &= a_1\,\underline{a}_2\,b_2 \vee \underline{a}_1\,a_2\,b_2 \vee \underline{a}_1\,\underline{a}_2\,b_1\,\underline{b}_2,\\
\mathbf{F(A^{\bullet}\ B^{\bullet})} &= \underline{a}_1\,a_2\,b_2 \vee a_1\,\underline{a}_2\,b_2 \vee a_1\,a_2\,b_1\,\underline{b}_2,\\
\mathbf{F(B\ A)} &= b_1\,\underline{b}_2\,\underline{a}_2 \vee \underline{b}_1\,b_2\,\underline{a}_2 \vee \underline{b}_1\,\underline{b}_2\,\underline{a}_1\,a_2,\\
\mathbf{F(B^{\bullet}\ A)} &= \underline{b}_1\,b_2\,\underline{a}_2 \vee b_1\,\underline{b}_2\,\underline{a}_2 \vee b_1\,b_2\,\underline{a}_1\,a_2,\\
\mathbf{F(B\ A^{\bullet})} &= b_1\,\underline{b}_2\,a_2 \vee \underline{b}_1\,b_2\,a_2 \vee \underline{b}_1\,\underline{b}_2\,a_1\,\underline{a}_2,\\
\mathbf{F(B^{\bullet}\ A^{\bullet})} &= \underline{b}_1\,b_2\,a_2 \vee b_1\,\underline{b}_2\,a_2 \vee b_1\,b_2\,a_1\,\underline{a}_2.
\end{aligned} \qquad (1.5.1)$$

Аналогично при двухфазном принципе кодирования эти логические функции будут проще:

$$\begin{aligned}
\mathbf{F(A\ B)} &= a_1\,\underline{b}_2 \vee \underline{a}_1\,\underline{a}_2\,b_1\,b_2,\\
\mathbf{F(A^{\bullet}\ B)} &= a_1\,\underline{b}_2 \vee \underline{a}_1\,a_2\,b_1\,b_2,\\
\mathbf{F(A\ B^{\bullet})} &= a_1\,b_2 \vee \underline{a}_1\,\underline{a}_2\,b_1\,\underline{b}_2,\\
\mathbf{F(A^{\bullet}\ B^{\bullet})} &= a_1\,b_2 \vee \underline{a}_1\,a_2\,b_1\,\underline{b}_2,\\
\mathbf{F(B\ A)} &= b_1\,\underline{a}_2 \vee \underline{b}_1\,\underline{b}_2\,a_1\,a_2,\\
\mathbf{F(B^{\bullet}\ A)} &= b_1\,\underline{a}_2 \vee \underline{b}_1\,b_2\,a_1\,a_2,\\
\mathbf{F(B\ A^{\bullet})} &= b_1\,a_2 \vee \underline{b}_1\,\underline{b}_2\,a_1\,\underline{a}_2,\\
\mathbf{F(B^{\bullet}\ A^{\bullet})} &= b_1\,a_2 \vee \underline{b}_1\,b_2\,a_1\,\underline{a}_2.
\end{aligned} \qquad (1.5.2)$$

Каждая логическая функция в (1.5.1) , а также в (1.5.2) реализуется одной и той же принципиальной схемой, где на её входных шинах меняется только порядок их соединения с сигналами операнд.

Теперь представим, что в операндах использованы различные принципы кодирования оснований системы счисления: операнд **A** поступает в двухфазном коде, а операнд **B –** в двоичном коде. В этом случае рассматриваемые нами логические функции будут иметь иной вид:

$$\begin{aligned}
\mathbf{F(A\ B)} &= a_1\,\underline{b}_2 \vee \underline{a}_1\,\underline{a}_2\,\underline{b}_1\,b_2,\\
\mathbf{F(A^{\bullet}\ B)} &= a_1\,\underline{b}_2 \vee \underline{a}_1\,a_2\,\underline{b}_1\,b_2,\\
\mathbf{F(A\ B^{\bullet})} &= a_1\,b_2 \vee \underline{a}_1\,\underline{a}_2\,b_1\,\underline{b}_2,\\
\mathbf{F(A^{\bullet}\ B^{\bullet})} &= a_1\,b_2 \vee \underline{a}_1\,a_2\,b_1\,\underline{b}_2,\\
\mathbf{F(B\ A)} &= \underline{a}_2\,b_1\,\underline{b}_2 \vee \underline{a}_2\,\underline{b}_1\,b_2 \vee a_1\,a_2\,\underline{b}_1\,\underline{b}_2,\\
\mathbf{F(B^{\bullet}\ A)} &= \underline{a}_2\,\underline{b}_1\,b_2 \vee \underline{a}_2\,b_1\,\underline{b}_2 \vee a_1\,a_2\,b_1\,b_2,\\
\mathbf{F(B\ A^{\bullet})} &= a_2\,b_1\,\underline{b}_2 \vee a_2\,\underline{b}_1\,b_2 \vee a_1\,\underline{a}_2\,\underline{b}_1\,\underline{b}_2,\\
\mathbf{F(B^{\bullet}\ A^{\bullet})} &= a_2\,\underline{b}_1\,b_2 \vee a_2\,b_1\,\underline{b}_2 \vee a_1\,\underline{a}_2\,b_1\,b_2. \qquad (1.5.3)
\end{aligned}$$

Из выражений (1.5.3) следует, что при использовании операнд с одинаковым значением основания системы счисления, но разным способом его кодирования число принципиальных схем, реализующих покрытие подобных фигур, будет равно числу операнд.

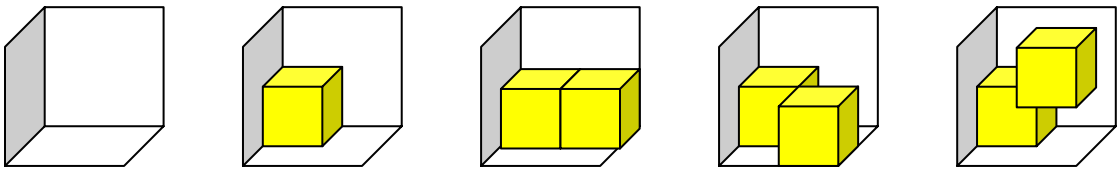
Простой пример реализации покрытия геометрического образа логической функции в двухмерном цифровом пространстве позволяет сделать следующие выводы:

1) геометрический образ конкретной логической функции может иметь «лучшее покрытие», т.е. минимальные затраты оборудования для определенного принципа кодирования этого основания системы счисления;
2) алгебра Буля не позволяет анализировать и синтезировать логические функции, находящиеся вне правил двоичного принципа кодирования;
3) мыслимый поворот геометрического образа логической функции вокруг осей симметрии двумерного цифрового пространства позволяет определить общее число логических функций, которые используют одну принципиальную схему реализации.

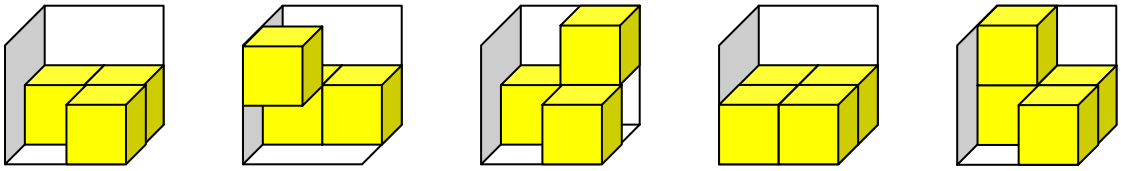
1.6. Тернарные логические операции в трехмерном цифровом пространстве

Число тернарных логических операций весьма значительно ($2^8 = 256$) и поэтому они, в отличие от бинарных, в литературе отдельно не рассматриваются. Вместе с тем, используя геометрические аналоги логических функций в трехмерном цифровом пространстве, все геометрические образы этих логических функций могут быть представлены не 256 фигурами, а только 22. Эти геометрические образы логических функций приведены на рис. 1.10.

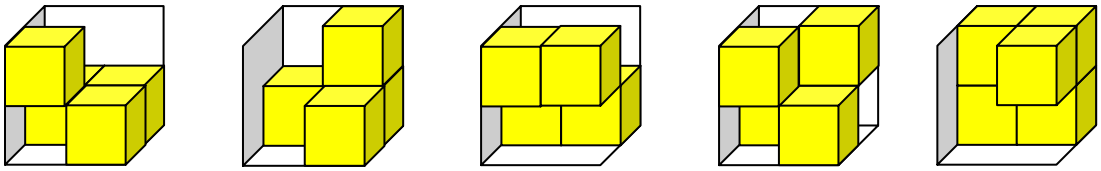
$C^0_8(1)$ $C^1_8(1)$ $C^2_8(1)$ $C^2_8(2)$ $C^2_8(3)$



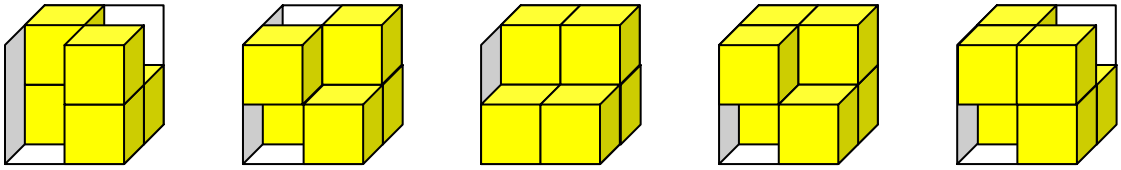
$C^3_8(1)$ $C^3_8(2)$ $C^3_8(3)$ $C^4_8(1)$ $C^4_8(2)$



$C^4_8(3)$ $C^4_8(4)$ $C^4_8(5)$ $C^4_8(6)$ $C^5_8(1)$



$C^5_8(2)$ $C^5_8(3)$ $C^6_8(1)$ $C^6_8(2)$ $C^6_8(3)$



$C^7_8(1)$ $C^8_8(1)$

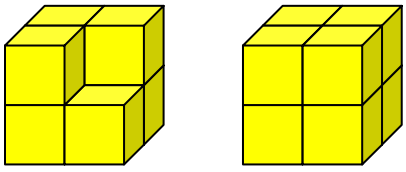


Рис. 1.10

На рис. 1.10 показаны только такие представители геометрического образа ЛФ, где отчетливо видны все элементарные кубики.

С учетом того, что входы и выходы логических блоков являются бинарными, можно записать: $C^0{}_8(1) = \underline{C}^8{}_8(1)$, $C^1{}_8(1) = \underline{C}^7{}_8(1)$, $C^2{}_8(1) = \underline{C}^6{}_8(1)$, $C^2{}_8(2) = \underline{C}^6{}_8(2)$, $C^2{}_8(3) = \underline{C}^6{}_8(3)$, $C^3{}_8(1) = \underline{C}^5{}_8(1)$, $C^3{}_8(2) = \underline{C}^5{}_8(2)$, $C^3{}_8(3) = \underline{C}^5{}_8(3)$.

При этом если не учитывать пустое и универсальное множества, число этих функций сокращается до 13.

Это следующие функции: $y_1 = C^1{}_8(1) = \underline{x}_1\ \underline{x}_2\ \underline{x}_3$; $y_2 = C^2{}_8(1) = \underline{x}_2\ \underline{x}_3$; $y_3 = C^2{}_8(2) = \underline{x}_1\ \underline{x}_2\ \underline{x}_3 \vee x_1\ x_2\ \underline{x}_3$; $y_4 = C^2{}_8(3) = \underline{x}_1\ \underline{x}_2\ \underline{x}_3 \vee x_1\ x_2\ x_3$; $y_5 = C^3{}_8(1) = \underline{x}_2\ \underline{x}_3 \vee x_1\ \underline{x}_3$; $y_6 = C^3{}_8(2) = \underline{x}_2\ \underline{x}_3 \vee \underline{x}_1\ x_2\ x_3$; $y_7 = C^3{}_8(3) = \underline{x}_1\ \underline{x}_2\ \underline{x}_3 \vee x_1\ \underline{x}_2\ x_3 \vee x_1\ x_2\ \underline{x}_3$; $y_8 = C^4{}_8(1) = \underline{x}_3$; $y_9 = C^2{}_8(2) = \underline{x}_2\ \underline{x}_1 \vee x_1\ \underline{x}_3$; $y_{10} = C^4{}_8(3) = \underline{x}_2\ \underline{x}_3 \vee x_1\ \underline{x}_3 \vee \underline{x}_1\ x_3\ x_2$; $y_{11} = C^4{}_8(4) = \underline{x}_2\ \underline{x}_3 \vee x_1\ \underline{x}_3 \vee x_1\ \underline{x}_2$; $y_{12} = C^4{}_8(5) = \underline{x}_2\ \underline{x}_3 \vee x_2\ x_3$; $y_{13} = C^4{}_8(6) = \underline{x}_1\ \underline{x}_2\ \underline{x}_3 \vee x_1\ x_2\ \underline{x}_3 \vee x_1\ \underline{x}_2\ x_3 \vee \underline{x}_1\ x_2\ x_3$.

Представленные здесь оптимальные покрытия "объемов" этих 13 фигур определяют также все 254 тернарные логические операции. Правила пользования этими 13 фигурами для определения всех остальных фигур будут понятны после изучения симметрии трехмерного цифрового пространства.

1.7. Сложные логические функции в многомерном цифровом пространстве

В полном соответствии с определениями подразд. 1.5 рассмотрим изображения сложных логических функций от трех аргументов, определяемых их цифровыми векторами **A**, **B**, **C**, в трехмерном цифровом пространстве. При этом исследуем преобразование фигур логических функций в трехмерном цифровом пространстве, осуществляемое соответствующим мыслимым поворотом либо несколькими такими поворотами относительно осей симметрии этого пространства. Из кристаллографии известно 13 осей симметрии кубика, которыми, однако, не исчерпываются все оси симметрии рассматриваемого цифрового пространства, поскольку в нем возможно еще и "послойное", т.е. двухмерное выполнение соответствующих мыслимых поворотов.

Число возможных взаимных положений векторов аргументов можно определить чисто аналитически путем соответствующего перебора всех размещений из шести (**A**, **B**, **C**, $\mathbf{A}^\bullet$, $\mathbf{B}^\bullet$, $\mathbf{C}^\bullet$) по три, из которых необходимо будет исключить такие, где встречаются взаимно исключающие сочетания (**A**, $\mathbf{A}^\bullet$; **B**, $\mathbf{B}^\bullet$; **C**, $\mathbf{C}^\bullet$). Однако такое определение весьма трудоёмко и особенно для большой мерности пространства. Оно не обладает необходимой прозрачностью для дальнейшего использования.

На рис. 1.11а, 1.11б приведены исходное положение векторов аргументов трехмерного цифрового пространства и новые положения этих векторов, которые получаются соответствующими простыми поворотами.

Повороты относительно осей симметрии под номерами *1 – 9* выполняются одновременными операциями над всеми "слоями" элементарных кубиков цифрового пространства. Остальные повороты осуществляются относительно известных из кристаллографии 13 осей симметрии кубика. Повороты с номерами *10*, *11*, *12* выполняются последовательно через 90° (три поворота), повороты с номерами от *13* до *18* – одиночные через 180°, а с номерами от *19* до *22* – последовательные двойные повороты через 120° .

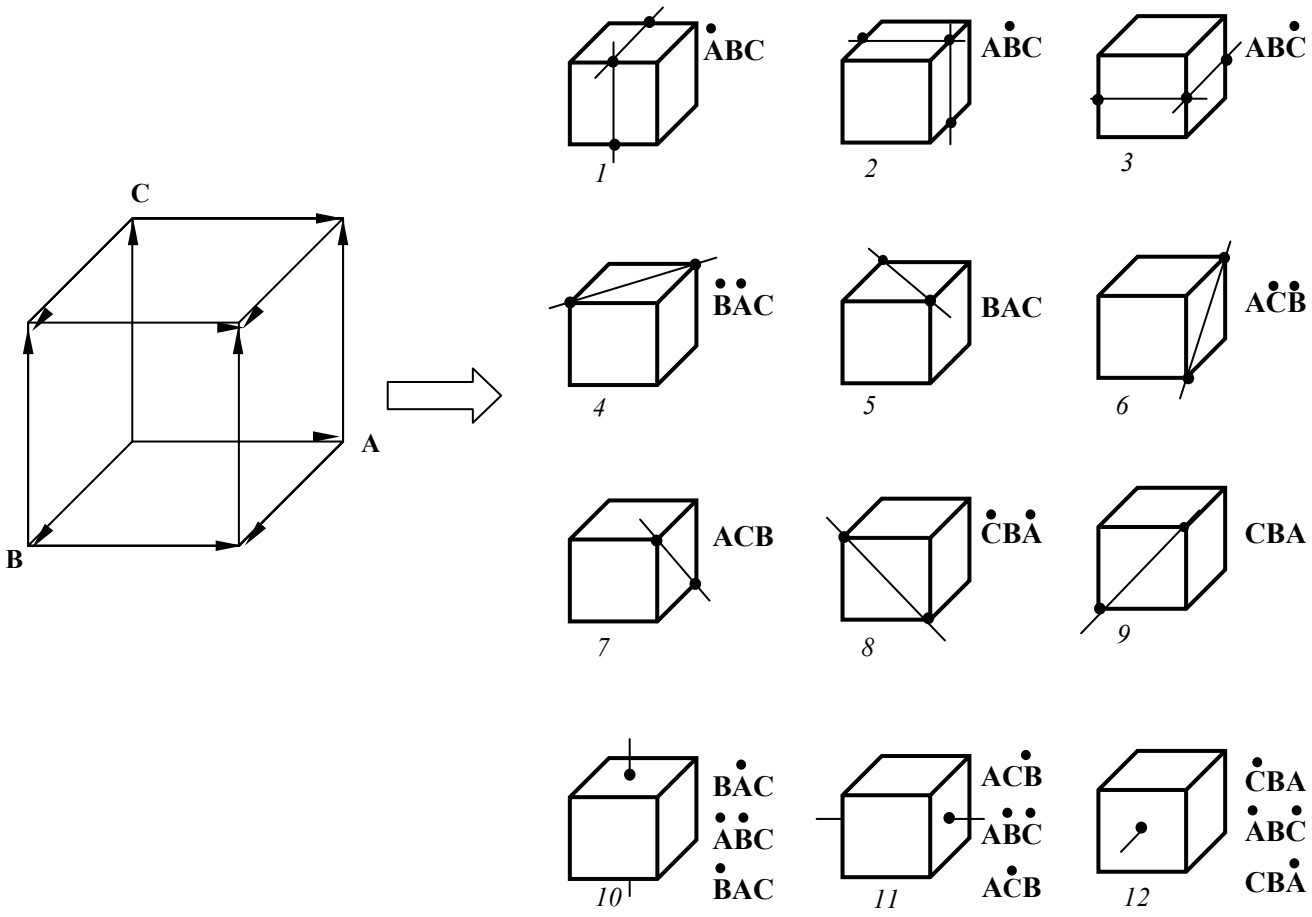


Рис. 1.11а

Взаимные расположения векторов аргументов (их вместе с исходным 33), представленных выше, не определяют всего их числа. Другие 15 положений векторов аргументов образуются сложными поворотами, например, новое положение векторов $\mathbf{A^{\bullet}B^{\bullet}C^{\bullet}}$ может быть получено следующими поворотами из первоначального положения: **ABC** 1→ $\mathbf{A^{\bullet}BC}$ 2→ $\mathbf{A^{\bullet}B^{\bullet}C}$ 3→ $\mathbf{A^{\bullet}B^{\bullet}C^{\bullet}}$ либо **ABC** 17→ $\mathbf{A^{\bullet}C^{\bullet}B^{\bullet}}$ 7→ $\mathbf{A^{\bullet}B^{\bullet}C^{\bullet}}$ и т.д. Здесь, например, запись **ABC** 1→ $\mathbf{A^{\bullet}BC}$ означает, что исходное положение координат аргументов **ABC** при осуществлении поворота относительно оси *1* приведет к смене аргумента **A** в исходной системе координат из прямого кода в обратный, что в этом случае будет записано как $\mathbf{A^{\bullet}BC}$, и т.д.

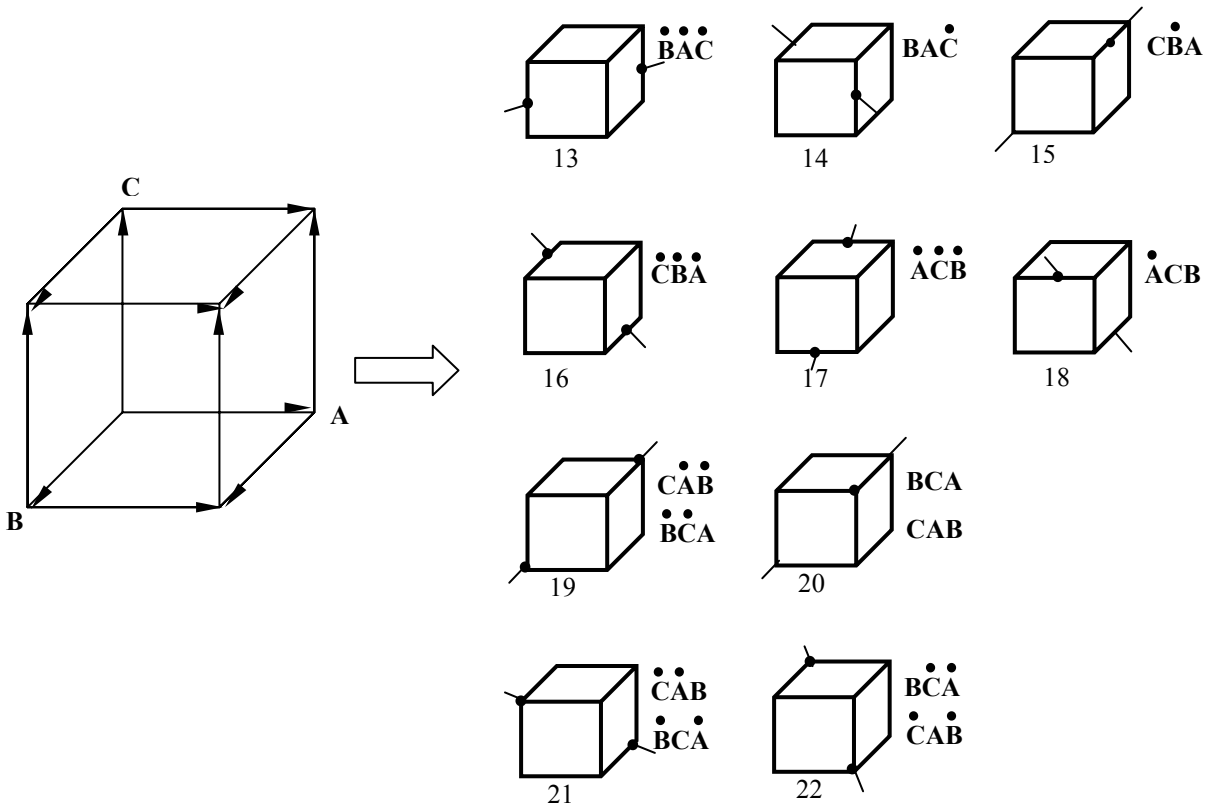


Рис. 1.11б

Приведем графическое представление изменений исходной системы координат **ABC** при осуществлении соответствующих поворотов относительно приведенных выше осей симметрии трехмерного цифрового пространства.

С целью сокращения использования всех указанных выше поворотов и удобства аналитической записи преобразований аналогично тому, как это было сделано при рассмотрении двухмерного цифрового пространства, введем минимальные базисы осей поворотов.

Если для одномерного цифрового пространства **A -** это один поворот $\mathbf{A}^{\mathbf{X}}$, то для двухмерного пространства **AB** к нему необходимо добавить поворот второго вектора $\mathbf{B}^{\mathbf{X}}$ и поворот $(\mathbf{AB})^{\mathbf{X}}$ (иное обозначение: $(\mathbf{AB})^{\mathbf{X}}$ 180°).

Для трехмерного цифрового пространства **ABC** к этим поворотам необходимо добавить поворот $\mathbf{C}^{\mathbf{X}}$ и два поворота относительно оси под номером 20 (рис. 1.11б), которые представляются следующим образом: $(\mathbf{ABC})^{\mathbf{X}}$ 120°, $(\mathbf{ABC})^{\mathbf{X}}$ 240°.

Исходя из выбранного базиса осей поворотов трехмерного цифрового пространства взаимное расположение векторов аргументов сложной логической функции с обозначением соответствующей операции поворота приведено на рис. 1.12. Это весьма прозрачно показывают все 48 взаимных положений векторов аргументов этого пространства.

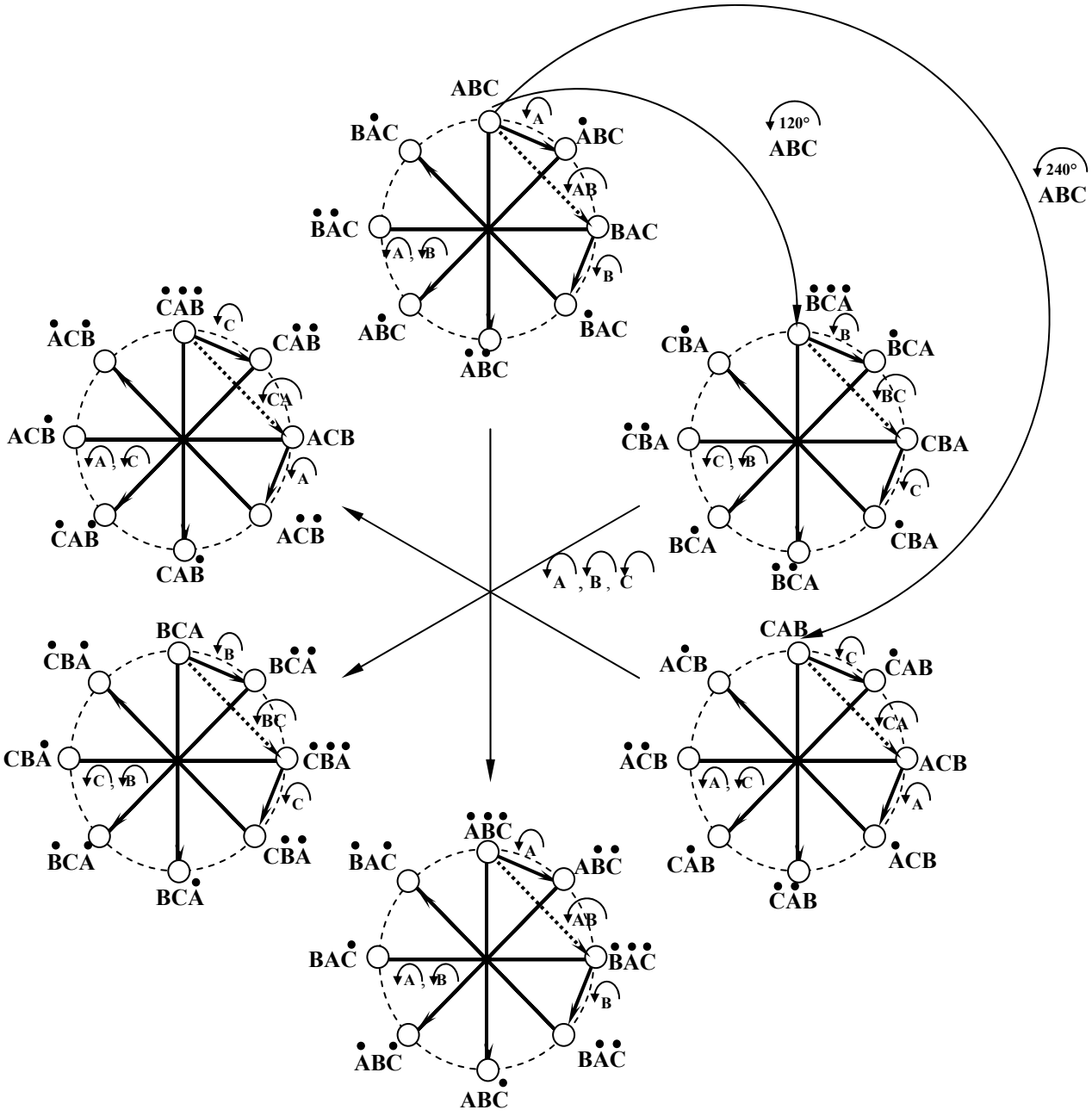


Рис. 1.12

В общем случае можно утверждать, что гипотетическая асимметричная относительно всех осей симметрии фигура сложной логической функции трехмерного цифрового пространства может занять в пространстве 48 положений.

Принципиальная схема логического блока, реализующая покрытие каждой новой (в смысле ее расположения в пространстве) фигуры, совпадает с принципиальной первообразной схемой блока, где на входе произведены соответствующие перестановки аргументов и перевод их из прямого кода в обратный, как это показано на рис. 1.12.

В том случае, если фигура симметрична относительно какой-либо оси, то поворот относительно этой оси не изменит положения фигуры в цифровом пространстве. При этом логическая схема блока, несмотря на соответствую-

щие замены аргументов и перевод их из прямого кода в обратный, останется неизменной.

Здесь необходимо уточнить, что наличие симметрии может быть и в каждом аргументе, т.е. между множествами сигналов его составляющих, а также между множествами сигналов с другими аргументами. В этом случае также логическая схема блока, несмотря на замены аргументов и перевод их из прямого кода в обратный, останется неизменной.

Для рассмотрения симметрии цифрового пространства большей мерности продолжим расширение минимального базиса осей поворотов и представим его следующей табличной схемой:

A	A^X									
AB	A^X	B^X	AB^X							
ABC	A^X	B^X	C^X	AB^X	BC^X	CA^X	ABC^X 120		ABC^X 240	
ABCD		A^X	B^X	C^X	D^X	AB^X	BC^X	CA^X	DA^X	
		ABC^X 120		BCD^X 120		CDA^X 120		DAB^X 120		
		ABC^X 240		BCD^X 240		CDA^X 240		DAB^X 240		
		$ABCD^X$ 90		$ABCD^X$ 180		$ABCD^X$ 270		и т.д.		

Из таблицы следует, что если известны все взаимные положения векторов аргументов сложной функции для (k – 1) мерного цифрового пространства, например с числом $S_{(K-1)}$, то для k-й мерности цифрового пространства взаимное положение векторов будет определяться соответствующими поворотами (k – 1) мерности пространства. Число различных положений векторов аргументов сложной функции определяется следующей зависимостью: $S_K = S_{(K-1)}\,2K = 2^K(K!)$.

Для одномерного пространства это значение равно 2, двухмерного – 8, трехмерного – 48, четырехмерного – 384, пятимерного – 3840 и т.д. Значение этих чисел резко возрастает с увеличением мерности пространства, но они с такой же интенсивностью уменьшают и общее число логических функций многомерного цифрового пространства, которые нам необходимо изучать.

Из представленного становится ясно, каким образом изложенные в подразд. 1.5 оптимальные покрытия "объемов" 13 первообразных фигур трехмерного цифрового пространства определяют все 254 варианта выполнения трехвходового логического блока.

Как известно, по определению эквивалентные множества имеют одинаковую мощность и каждому элементу одного из них можно поставить взаимно однозначно некоторый элемент другого. Исходя из этого определения все геометрические фигуры многомерного цифрового пространства, которые мысли-

мыми поворотами перемещаются в другое место этого пространства, можно назвать эквивалентными.

Однако здесь имеется более глубокая эквивалентность цифровых множеств, поскольку геометрические образы этих множеств сохраняют свою форму, т.е. подмножества этих множеств в результате таких мыслимых операций не разбиваются на более мелкие и не объединяются в более крупные подмножества. Следовательно, в нашем случае цифровое множество (геометрический образ) одного из них и цифровое множество другого имеют одинаковую структуру подмножеств, составленных из цифр натурального ряда, которые отличаются в каждом подмножестве на единицу, и число таких подмножеств в этих эквивалентных множествах одинаково.

1.8. Непрерывное множество ряда натуральных чисел в многомерном цифровом пространстве

Из предыдущего рассмотрения нетрудно представить физический образ непрерывного множества натуральных чисел от 0 до (N – 1) для любых оснований систем счисления и принципов их кодирования. Этот физический образ с увеличением N непрерывно изменяет свою форму. Тем не менее можно записать оптимальное покрытие этой многомерной фигуры, т.е. определить логическую тупиковую функцию в базисе ДНФ [1.3].

Логическая функция этого непрерывного множества, определяемого числом его элементарных кубиков и нулевым началом отсчета вектора, это его "длина" L. Например, для четырехразрядного представления "длины" числа $a_4a_3a_2a_1$ она может быть записана следующим образом:

$$L = \boldsymbol{\mu}(a_4 - 1) \vee \mathbf{M}(a_4)\boldsymbol{\mu}(a_3 - 1) \vee \mathbf{M}(a_4)\mathbf{M}(a_3)\mu\,(a_2 - 1) \vee \mathbf{M}(a_4)\mathbf{M}(a_3)\mathbf{M}(a_2)\boldsymbol{\mu}(a_1 - 1). \quad (1.8.1)$$

Здесь приняты следующие обозначения:

$\boldsymbol{\mu}(i - 1)$ – цифровое непрерывное множество в пределах цифр разряда ($i = a_4, a_3, a_2, a_1$), которое содержит все цифры от **0** до (**i – 1**), т.е. $\boldsymbol{\mu}(i - 1) = \mathbf{0} \vee \ldots \vee (\mathbf{i - 1})$;

$\mathbf{M}(i)$ – цифровое множество, не обязательно непрерывное в пределах цифр разряда, но обязательно содержащее цифру i, т.е. $\mathbf{M}(i) = \mathbf{0} \vee \ldots \vee \mathbf{i} = \mathbf{1} \vee \ldots \vee \mathbf{i} = \ldots = \mathbf{i}$, где конкретный выбор этого множества определяется только принципом кодирования цифр основания системы счисления и весьма прозрачен.

При этом если i = 0, то $\boldsymbol{\mu}(i - 1) = 0^*$ (логический нуль), если i = (n–1), то $\mathbf{M}(i) = 1^*$ (логическая единица).

Для большей наглядности изложения рассмотрим наиболее простые, но весьма важные примеры записи "длины" непрерывного множества для двоич-

ного четырехразрядного пространства с номерами ячеек от **0** до **15** и представим все непрерывные множества, что в одномерном измерении изображено на рис. 1.13, а логические функции в базисе ДНФ в соответствии с (1.8.1) записываются следующим образом:

L(0001) =	0* ∨	00* ∨	000* ∨	0000,
L(0010) =	0* ∨	00* ∨	000 ∨	001*0*,
L(0011) =	0* ∨	00* ∨	000 ∨	001*0,
L(0100) =	0* ∨	00 ∨	01*0* ∨	01*00*,
L(0101) =	0* ∨	00 ∨	01*0* ∨	01*00,
L(0110) =	0* ∨	00 ∨	01*0 ∨	01*1*0*,
L(0111) =	0* ∨	00 ∨	01*0 ∨	01*1*0,
L(1000) =	0 ∨	1*0* ∨	1*00* ∨	1*000*,
L(1010) =	0 ∨	1*0* ∨	1*00 ∨	1*01*0,
L(1011) =	0 ∨	1*0* ∨	1*00 ∨	1*01*0,
L(1100) =	0 ∨	1*0 ∨	1*10* ∨	1*1*00*,
L(1101) =	0 ∨	1*0 ∨	1*1*0* ∨	1*1*00,
L(1110) =	0 ∨	1*0 ∨	1*1*0 ∨	1*1*1*0*,
L(1111) =	0 ∨	1*0 ∨	1*1*0 ∨	1*1*1*0.

Учитывая, что $0_i = \bar{i}$, эти зависимости можно представить в более привычном виде:

L(0001) =				$\mathbf{a_4\,a_3\,a_2\,a_1}$,
L(0010) =			$\mathbf{a_4\,a_3\,a_2}$,	
L(0011) =			$a_4\,a_3\,a_2 \vee$	$\mathbf{a_4\,a_3\,a_1}$,
L(0100) =		$\mathbf{a_4\,a_3}$,		
L(0101) =		$a_4\,a_3 \vee$		$a_4\,a_2\,a_1$,
L(0110) =		$a_4\,a_3 \vee$	$\mathbf{a_4\,a_2}$,	
L(0111) =		$a_4\,a_3 \vee$	$a_4\,a_2 \vee$	$\mathbf{a_4\,a_1}$,
L(1000) =	$\mathbf{a_4}$,			
L(1001) =	$a_4 \vee$			$\mathbf{a_3\,a_2\,a_1}$,
L(1010) =	$a_4 \vee$		$\mathbf{a_3\,a_2}$,	
L(1011) =	$a_4 \vee$		$a_3\,a_2 \vee$	$\mathbf{a_3\,a_1}$,
L(1100) =	$a_4 \vee$	$\mathbf{a_3}$,		
L(1101) =	$a_4 \vee$	$a_3 \vee$		$\mathbf{a_2\,a_1}$,
L(1110) =	$a_4 \vee$	$a_3 \vee$	$\mathbf{a_2}$,	
L(1111) =	$a_4 \vee$	$a_3 \vee$	$a_2 \vee$	$\mathbf{a_1}$.

(1.8.2)

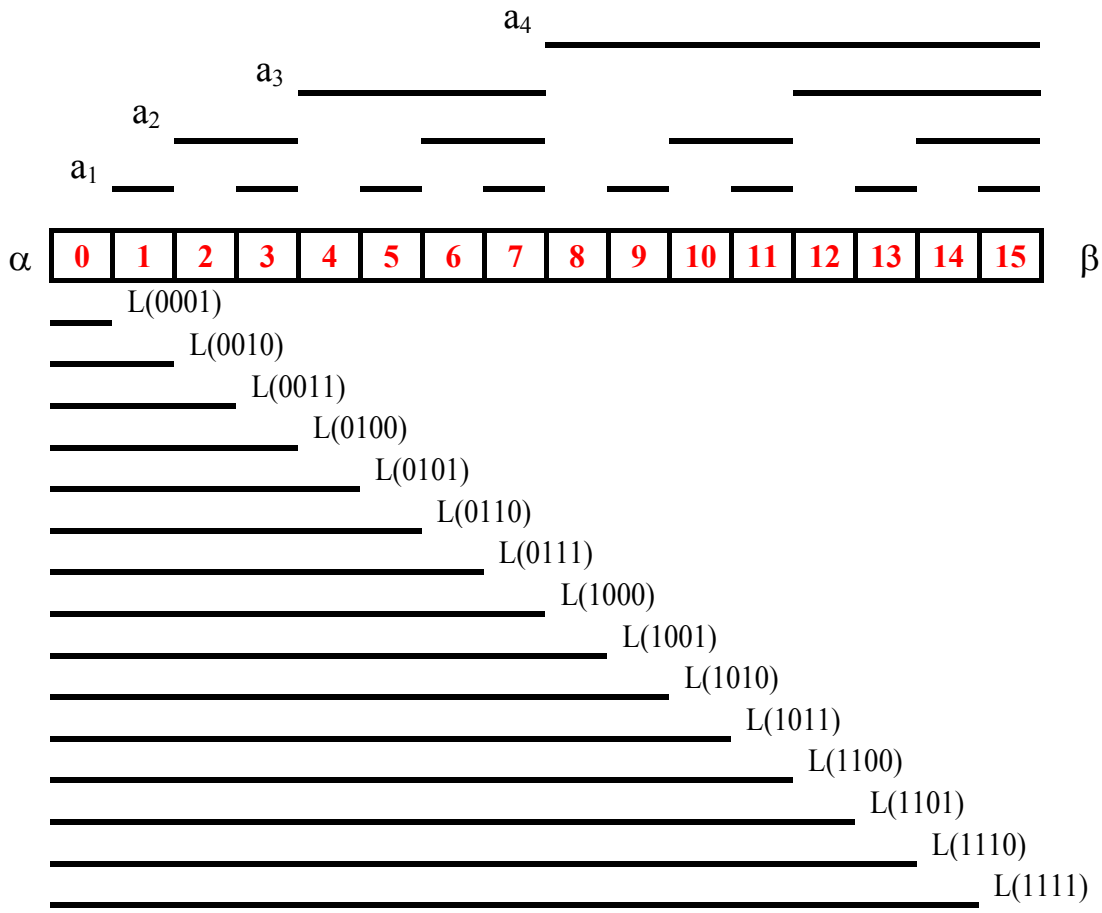


Рис. 1.13

Очевидно, что если "длина" непрерывного множества задана с началом отсчета от максимального номера кубика пространства, то все аргументы в (1.8.1) должны быть изменены на обратные (для двоичного кода – инвертированы).

Следовательно, если начало вектора непрерывного цифрового множества задано в цифровом пространстве номером ячейки N_1, а конец вектора – номером ячейки N_2, то, определяя непрерывное множество с нулевым началом отсчета вектора $L^{\alpha}(N_2)$ и непрерывное множество с началом отсчета вектора от максимального номера ячейки цифрового пространства $L^{\beta}(N_1)$, искомое непрерывное множество будет представлено следующей логической зависимостью:

$$L(N_1,N_2) = L^{\alpha}(N_2)\, L^{\beta}(N_1). \qquad (1.8.3)$$

С увеличением количества двоичных разрядов число слагаемых в (1.8.1) увеличивается и возникают аппаратурные трудности ее реализации. В этом случае наиболее целесообразно перейти на большие основания систем счисления, например n= 16. Тогда цифровые и непрерывные в пределах разряда множества **μ(**i – 1**)** полностью определяются логическим выражением (1.8.2), а оптимальные цифровые множества **M(**i**)**, которые содержат в пределах разряда только цифру i , определяются при минимальных аппаратурных затратах последними слагаемыми в (1.8.2). Эти слагаемые в (1.8.2) выделены светлым шрифтом.

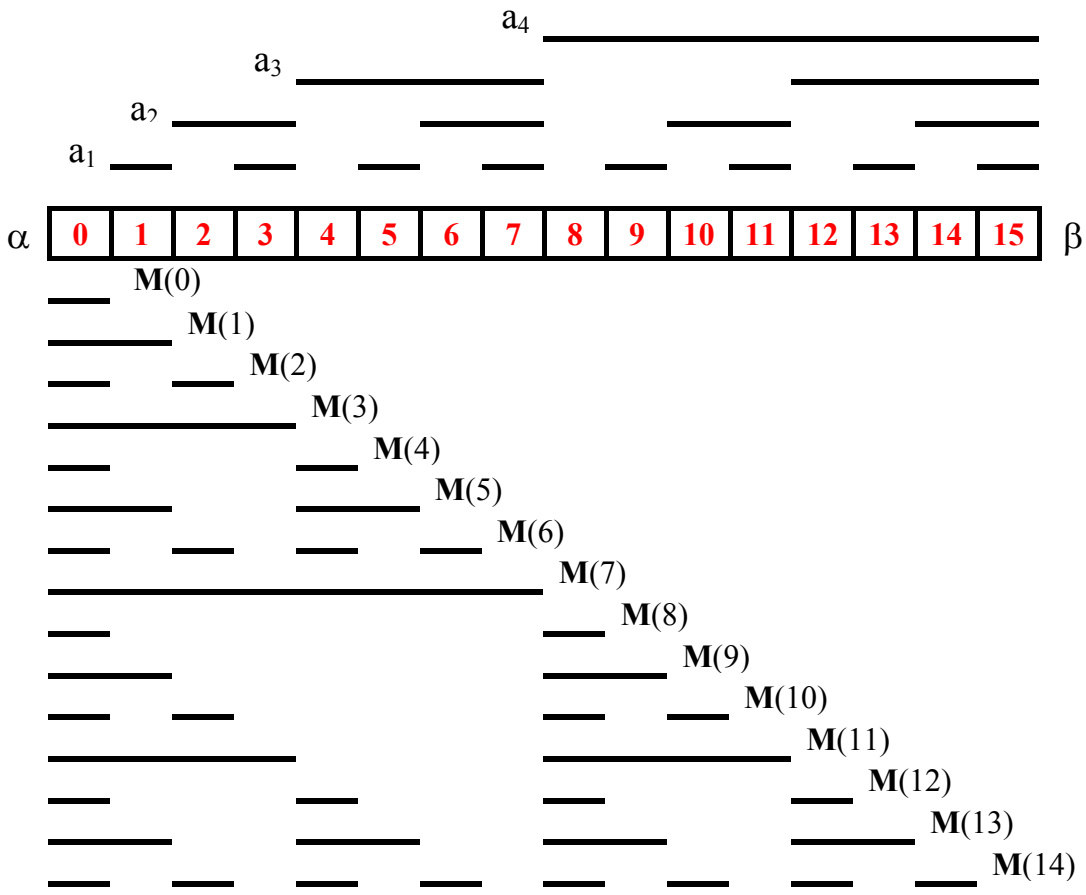


Рис. 1.14

Оптимальные цифровые множества **M(i)** (i =**0**, ... , **14**) в пределах разряда приведены на рис. 1.14.

После формирования в каждом разряде сигналов **μ**(i–1) и **M**(i) они поступают в логический блок, конструкция которого определяется выражением (1.8.1).

Необходимость хотя бы такого весьма краткого рассмотрения непрерывных множеств натурального ряда чисел связана с их широким использованием при формировании выходных и внутренних сигналов инверторов и конверторов напряжений, а также в системах регулирования электроприводов и в устройствах машинной арифметики.

В дальнейшем, при рассмотрении конкретных устройств в этих областях техники, сведения об этих типах множеств будут расширяться и дополняться.

Несколько слов относительно терминологии для этих цифровых множеств. В тех случаях, когда один из концов цифрового вектора множества совпадает с полюсом α (начало системы координат) либо противоположным ему полюсом β (конец системы координат), эти цифровые множества будут называться одномерными угловыми либо сигналами интегрального кода. В литературе можно встретить и иное определение таких множеств, например «ртутный столбик».

1.9. Многозначные логические функции в многомерном цифровом пространстве

Известно, что при создании первой цифровой вычислительной машины ее авторами было принято решение использовать десятичную систему счисления. В 1943 г. в США была начата и выполнена такая разработка электронной машины ENIAC для расчета баллистических таблиц по заказу военного ведомства. В 1945 г. к этой работе в качестве консультанта был приглашен Дж. фон Нейман. В результате дискуссий трех главных идеологов построения вычислительных машин Дж. фон Неймана, Г.Гольдстайна, Ф.Беркса возникла идея использования в дальнейшем при создании вычислительных машин двоичной системы счисления.

Эти ученые изложили (1946 г.) основные принципы построения вычислительных машин нового поколения в ставшей теперь классической статье “Предварительное рассмотрение логической конструкции электронного устройства” (Кибернетический сборник. М.: Мир, 1964. № 9).

Главные положения этой статьи – обоснование использования двоичной системы счислений для представления чисел и принцип “хранимой программы”. Наряду с обоснованием применения двоичной системы счислений и “хранимой программы” работа предлагала ряд важных рекомендаций по конструированию машин и методике программирования.

Ряд отечественных исследователей в своих публикациях [1.4] – [1.7] обращают внимание на необходимость использования не двоичной, а многозначной логики, в частности трехзначной [1.8], как основы построения высокопроизводительных цифровых систем.

В МГУ была создана машина "Сетунь" – единственная в мире ЭВМ, в которой использована такая троичная система счисления, и, как утверждали авторы разработки, самая экономичная с точки зрения использования аппаратных средств.

Неудачный опыт использования трехзначной логики в вычислительной машине "Сетунь" вызвал критику такого подхода в ряде зарубежных публикаций, из которых наиболее острой является статья американского ученого Б.Байцера [1.9]: "В течение многих лет близорукие теоретики, не давая себе труда проанализировать ошибочные допущения, на которых базировалось это "доказательство", усиленно пропагандировали скрытые преимущества основания 3 как наилучшего приближения к **e**. Машина, использующая систему счисления с основанием 3, была построена в СССР, но она оказалась не столь уж хорошей. Пусть это послужит нам напоминанием того, что такое изящное доказательство, основанное на недействительных предпосылках, представляет собой некоторый курьез; ошибочными оказываются обычно допущения, положенные в основу некоторого исследования, а не сам ход этого исследования".

Несмотря на эту жесткую критику, изучение многозначной логики все же необходимо для того, чтобы избежать таких вот ошибок при синтезе цифровых

устройств, а также понять причины все же удачного использования многозначной логики человеком в обычной жизни.

Исследования в предыдущих разделах логических функций в многомерном пространстве, когда их сложные аргументы эквивалентны цифрам натурального ряда и представлены в ОЦК, могут рассматриваться как начало изучения многозначной логики.

В самом деле, если двухзначная логика эквивалентна операциям над цифрами ОЦК основания n = 2, то многозначной логике можно поставить в соответствие операции над цифрами обычного кода большего основания. К изложенному в упомянутых выше разделах необходимо добавить некоторые пояснения.

Обычной p-значной логической функцией, в дальнейшем логической функцией $y_p = f(x_1, \ldots, x_K)$, называется функция, принимающая, как и ее аргументы $x_1, \ldots, x_K$, значения, которые обозначим символами 0*, 1*, ... , (p – 1)*.

Поскольку число различных наборов значений аргументов логической функции конечно и равно p^K, любая логическая функция может быть задана таблицей истинности с p^K строками, например для p=3 табл. 1.9.1.

Таблица 1.9.1

ОЦК	x_1	x_2	$y_{p=3}$
0	0*	0*	0*
1	1*	0*	0*
2	2*	0*	2*
3	0*	1*	2*
4	1*	1*	0*
5	2*	1*	0*
6	0*	2*	1*
7	1*	2*	0*
8	2*	2*	0*

Если всем наборам значений аргументов логической функции $y_p=f(x_1, \ldots, x_K)$ поставить в соответствие сигналы ОЦК от **0** до ($\mathbf{p^K - 1}$), то каждый аргумент x_{ij} (i = 0, ... , K; j = 0*, ... , (p – 1)*) и сама функция будут являть собой определенные цифровые множества, которые могут быть представлены как на цифровой "прямой", так и в многомерном цифровом пространстве, где каждая координата определяется соответствующим разрядом либо группой разрядов.

Число различных логических функций определяется зависимостью p^{p^k}.

Эта зависимость(аналогично двухзначным функциям) может быть представлена через все возможные сочетания. Перед тем, как представить эти зависимости, сделаем некоторые пояснения. Если значения двухзначных логических функций в многомерном цифровом нумерованном пространстве заполняют все его ячейки символами 0* и 1*, где одно крайнее заполнение соответствует "пус-

тому" множеству, т.е. пустому для значений 1*, а другое – "универсальному" множеству, т.е. полному для 1*, которое может рассматриваться как "пустое" для символов 0*, то многозначная логическая функция будет иметь p таких крайних значений, каждое из которых будет "универсальным" для одного конкретного значения p и "пустым" для остальных (p – 1) значений логической функции.

Число различных двухзначных логических функций, определяемое зависимостью (1.1.1), может быть записано в несколько ином виде:

$$2^{3^K} = \sum_{i=0}^{i=2^K} C^{i}_{(2)^k} \Big|_{0^*=(2^K-1)}^{1^*=i} . \qquad (1.9.1)$$

Тогда число трехзначных логических функций может быть записано следующим образом:

$$3^{3^K} = \sum_{i=0}^{i=3^K} \left(C^{i}_{(2)^k} \Big|_{1^*,\ 0^*=(2^K-1)}^{2^*=i} \sum_{j=0}^{j=(3^K-i)} C^{j}_{(3^K-i)} \Big|_{0^*=(3^K-i-j)}^{1^*=i} \right) \qquad (1.9.2)$$

и т.д.

Приведем пример перечисления всех трехзначных логических функций для K = 2 и будем размещать символы 0*, 1*, 2* в двухмерном цифровом пространстве. В соответствии (1.9.2) получим:

$$C^{0}_{9}\Big|_{1^*,0^*=9}^{2^*=0}\left(C^{0}_{9}\Big|_{0^*=9}^{1^*=0} C^{1}_{9}\Big|_{0^*=8}^{1^*=1} C^{2}_{9}\Big|_{0^*=7}^{1^*=2} C^{3}_{9}\Big|_{0^*=6}^{1^*=3} C^{4}_{9}\Big|_{0^*=5}^{1^*=4} + C^{9}_{9}\Big|_{0^*=9}^{1^*=9} C^{8}_{9}\Big|_{0^*=1}^{1^*=8} C^{7}_{9}\Big|_{0^*=2}^{1^*=7} C^{6}_{9}\Big|_{0^*=3}^{1^*=6} C^{5}_{9}\Big|_{0^*=4}^{1^*=5}\right)+$$

$$C^{1}_{9}\Big|_{1^*,0^*=8}^{2^*=1}\left(C^{0}_{8}\Big|_{0^*=8}^{1^*=0} C^{1}_{8}\Big|_{0^*=7}^{1^*=1} C^{2}_{8}\Big|_{0^*=6}^{1^*=2} C^{3}_{8}\Big|_{0^*=5}^{1^*=3} C^{4}_{8}\Big|_{0^*=4}^{1^*=4} + C^{8}_{8}\Big|_{0^*=0}^{1^*=8} C^{7}_{8}\Big|_{0^*=1}^{1^*=7} C^{6}_{8}\Big|_{0^*=2}^{1^*=6} C^{5}_{8}\Big|_{0^*=3}^{1^*=5}\right)+$$

$$C^{2}_{9}\Big|_{1^*,0^*=7}^{2^*=2}\left(C^{0}_{7}\Big|_{0^*=7}^{1^*=0} C^{1}_{7}\Big|_{0^*=6}^{1^*=1} C^{2}_{7}\Big|_{0^*=5}^{1^*=2} C^{3}_{7}\Big|_{0^*=4}^{1^*=3} + C^{7}_{7}\Big|_{0^*=0}^{1^*=7} C^{6}_{7}\Big|_{0^*=1}^{1^*=6} C^{5}_{7}\Big|_{0^*=2}^{1^*=5} C^{4}_{7}\Big|_{0^*=3}^{1^*=4}\right)+$$

$$C^{3}_{9}\Big|_{1^*,0^*=6}^{2^*=3}\left(C^{0}_{6}\Big|_{0^*=6}^{1^*=0} C^{1}_{6}\Big|_{0^*=5}^{1^*=1} C^{2}_{6}\Big|_{0^*=4}^{1^*=2} C^{3}_{6}\Big|_{0^*=3}^{1^*=3} + C^{6}_{6}\Big|_{0^*=0}^{1^*=6} C^{5}_{6}\Big|_{0^*=1}^{1^*=5} C^{4}_{6}\Big|_{0^*=2}^{1^*=4}\right)+ \ . \ . \ . \ +$$

$$C^{8}_{9}\Big|_{1^*,0^*=1}^{2^*=8}\left(C^{0}_{1}\Big|_{0^*=1}^{1^*=0} + C^{1}_{1}\Big|_{0^*=0}^{1^*=1}\right) + C^{9}_{9}\Big|_{1^*,0^*=0}^{2^*=9} = 19683.$$

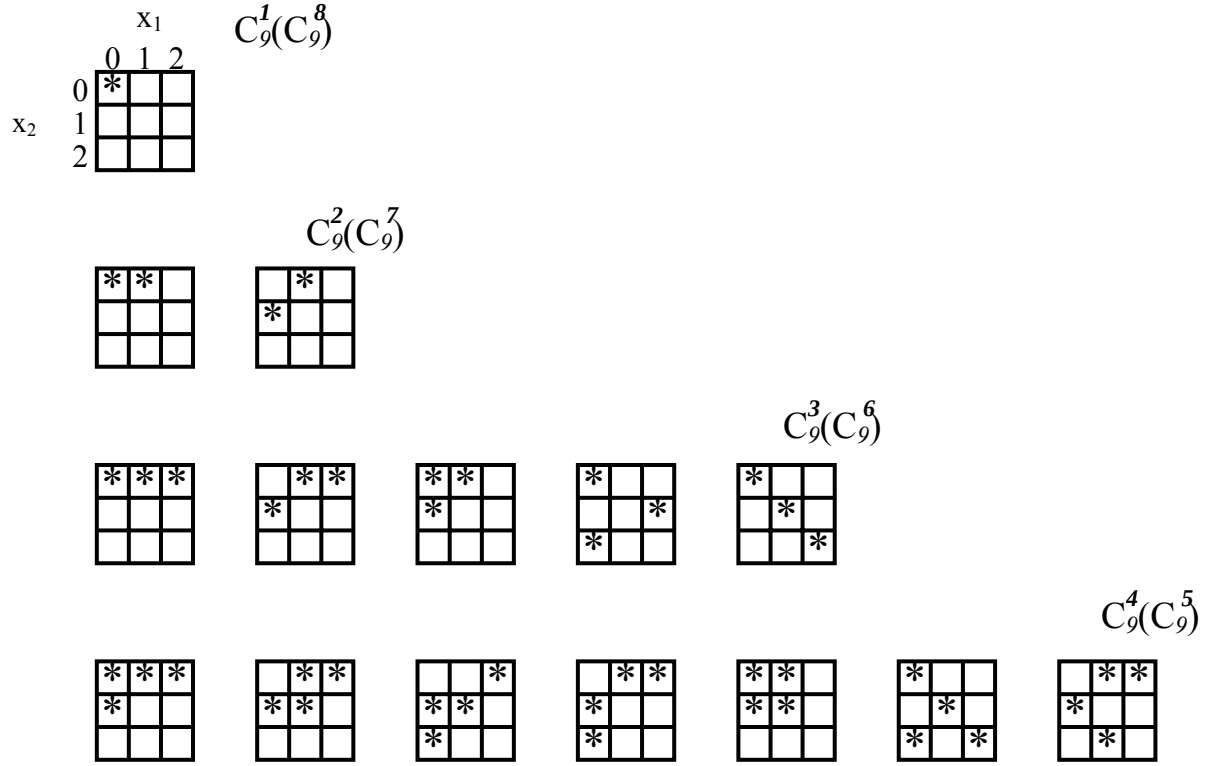


Рис. 1.15

Здесь первое подмножество множества сочетаний определяется отсутствием в девяти ячейках пространства символов 2* и размещением во всех этих ячейках только символов 1*,0*, что выражается суммой сочетаний $(C^0_9 + \ldots + C^9_9) = 2^9$; второе подмножество определяется наличием в девяти ячейках пространства одного символа 2* и размещением во всех остальных восьми ячейках символов 1*,0*, что также представлено суммированием сочетаний $(C^0_8 + \ldots + C^8_8) = 2^8$ и т.д.

Общее число всех трехзначных логических функций для двух аргументов весьма значительно, что на первый взгляд сулит большие сложности их представления и обозрения. Однако даже краткое изложение основ теории многомерных цифровых множеств, симметрии поворотов и переносов фигур в двухмерном пространстве позволяет представить все первообразные (без учета "пустого" и "универсального" множеств) только 15 фигурами. Эти фигуры приведены на рис. 1.15.

Очевидно, что для еще более значной логики, например для четырехзначной при К=2, где общее число всех логических функций равно 4 294 967 296, невозможно обойтись без применения приведенной выше методики их представления.

Однако определение целесообразности проведения таких исследований и сами эти исследования находятся за рамками данной работы.

1.10. Алгоритмы синтеза двухзначных логических функций

Идея синтеза логических функций в базисе ДНФ с помощью вычислительных устройств всегда привлекала внимание многих исследователей и сулила им большие надежды, которые возрастали с появлением нового более быстродействующего поколения ЭВМ. Однако "победить" огромную трудоемкость, главным образом временную, получения оптимальных решений синтеза любых ЛФ с достаточно большим числом аргументов до настоящего времени не удалось. Очевидно, эта идея может быть реализована при весьма ограниченном числе аргументов.

В настоящее время создано несколько комплексов алгоритмов, каждый из которых имеет свое назначение, использует свой набор эвристических приемов и свои языки программирования [1.12] – [1.15].

Большинство из этих известных алгоритмов является тем или иным переложением на язык вычислительных машин широко известного метода синтеза, предложенного Квайном и модифицированного Мак-Класки [1.10], [1.11]. Метод Квайна - Мак-Класки предполагает, что минимизируемая ЛФ задана в совершенной ДНФ и все дальнейшие преобразования основаны на одном и том же математическом приеме алгебры логики: преобразование ДНФ достигается путем применения операции "склеивания" пар интервалов, на которых значения ЛФ отличны от нуля (0*).

Поиск этих интервалов осуществляется перебором ряда вариантов, где с помощью эвристических приемов стараются управлять перебором с ограничением их числа.

Многие исследователи считают, что этот аналитический путь поиска единственный, что он исчерпывает все возможности математического аппарата и поэтому усилия следует направить по пути создания подходящих языков программирования и определения лучших эвристик.

По нашему мнению, этот вывод ошибочен и, руководствуясь только этим чисто аналитическим подходом, ожидать больших успехов в автоматизации синтеза ЛФ не приходится, тем более что методы алгебры Буля не применимы для геометрических кодов, которые широко используются в рассматриваемых нами областях техники.

Вернемся к двухзначным ЛФ и их геометрическому образу в многомерном нумерованном цифровом пространстве.

Предложенный метод многомерных цифровых множеств, а также изучение симметрии цифрового пространства и симметрии геометрических образов ЛФ позволяют успешно решать задачи автоматизированного синтеза логических блоков при любой значности и любом числе аргументов ЛФ.

При этом поиск оптимальных решений ведется с использованием ЭВМ в диалоговом режиме, когда на экране дисплея строится в многомерном цифровом пространстве геометрический образ ЛФ и путем соответствующих операций в интерактивном режиме при взаимодействии с этим геометрическим обра-

зом находятся оптимальные его покрытия, которые определяют конструкцию синтезируемого логического блока.

Объем настоящего изложения не позволяет детально остановиться на рассмотрении вариантов выполнения алгоритмов оптимального синтеза логических блоков, но для доказательства вышеизложенного приведем самый простой, но достаточно эффективный алгоритм синтеза.

Сущность рассматриваемого способа синтеза и реализующего его алгоритма заключается в последовательном рассмотрении заполнения клеток нумерованного цифрового пространства, начиная с клеток старших, чем элементарные клетки, заполненные символами 0* и 1*, и определения всех двухзначных ЛФ.

После этого (второй шаг программы) рассматриваются следующие по старшинству ячейки пространства, в которых располагаются не символы 1* и 0*, а непосредственно геометрические образы ЛФ, определенные на первом шаге программы, и находятся все четырехзначные ЛФ цифрового пространства.

Очередным шагом синтеза является рассмотрение следующих по старшинству ячеек пространства, где расположены геометрические образы четырехзначных ЛФ, и т.д. вплоть до последней единственной ячейки пространства, представляющей все нумерованное цифровое пространство.

Определение покрытия этой ячейки пространства и является искомой ЛФ в ДНФ.

На каждом шаге программы поиск ЛФ, определяющих покрытие фигуры ячейки пространства, исходя из фигур младших на единицу ячеек, выполняется в соответствии с геометрическим образом:

x_{i-1} \ x_i		
	$\mathbf{F}_o$	$\mathbf{F}_1$
	$\mathbf{F}_2$	$\mathbf{F}_3$

по логическому выражению, представленному в общем виде

$$Q = \mathbf{F_o}\,\underline{x}_i\,\underline{x}_{i+1} \vee \mathbf{F_1}\,x_i\,\underline{x}_{i+1} \vee \mathbf{F_2}\,\underline{x}_i\,x_{i+1} \vee \mathbf{F_3}\,x_i\,x_{i+1}.$$

Это выражение может быть уменьшено в том случае, если функции $\mathbf{F_0}$, $\mathbf{F_1}$, $\mathbf{F_2}$, $\mathbf{F_3}$ принимают значения 0* или 1*, а также, если некоторые из них являются подмножествами других.

Например, если $\mathbf{F_o}$= 0*, а $\mathbf{F_3} \supset \mathbf{F_2}$ и $\mathbf{F_3} \supset \mathbf{F_1}$,то $\mathbf{Q} = \mathbf{F_1}\,x_i \vee \mathbf{F_2}\,x_{i+1} \vee \mathbf{F_3}\,x_i\,x_{i+1}$; если $\mathbf{F_o} = 0^*$, а $\mathbf{F_1} = \mathbf{F_2} = \mathbf{F_3} = \mathbf{F}$, то $\mathbf{Q} = \mathbf{F}\,x_i \vee \mathbf{F}\,x_{i+1}$, и т.д.

Определение включений одной фигуры в другую не вызывает каких-либо сложностей и осуществляется простым совмещением фигур на экране дисплея.

Представленная программа поясняется на примере синтеза шестизначной ЛФ, геометрический образ которой приведен в двухмерном цифровом пространстве на рис. 1.16.

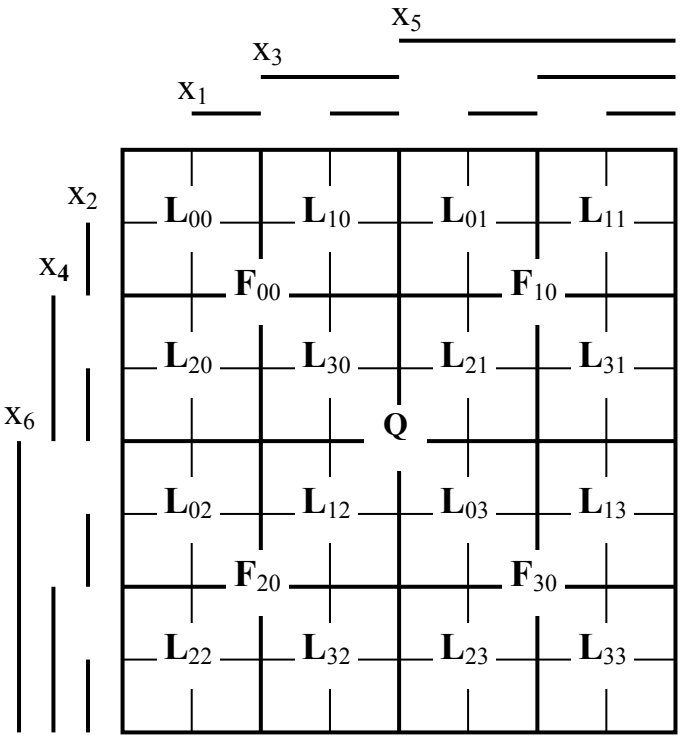


Рис. 1.16

На первом шаге программы определяется 16 элементарных двухзначных ЛФ ($\mathbf{L}_{00}$, ... , $\mathbf{L}_{30}$), ($\mathbf{L}_{01}$, ... , $\mathbf{L}_{31}$), ($\mathbf{L}_{02}$, ... , $\mathbf{L}_{32}$), ($\mathbf{L}_{03}$, ... , $\mathbf{L}_{33}$).

На втором шаге программы с учетом взаимного включения фигур в каждой группе из четырех двухзначных функций определяются четыре четырехзначные функции $\mathbf{F}_{00}$, ... , F_{30}.

На третьем заключительном для данного примера шаге программы определяется, также с учетом взаимного включения фигур в этой группе, шестизначная логическая функция $\mathbf{Q}_{00}$, которая и определяет покрытие соответствующей фигуры цифрового пространства в базисе ДНФ.

Представленная программа синтеза "жесткой" конструкции логического блока является универсальной и может служить основой для построения программируемого асинхронного устройства, реализующего все 2^{64} варианта шестизначных ЛФ.

Здесь следует, однако, заметить, что когда среди логических функций $\mathbf{L}_{ii}$, $\mathbf{F}_{ii}$ имеются одинаковые, т.е. их геометрические образы совпадают, либо они преобразуются одна в другую соответствующими поворотами относительно осей симметрии многомерного пространства, то программы синтеза "жесткой" конструкции могут претерпеть существенные упрощения.

Однако предусмотреть все эти варианты не представляется возможным, и поэтому на рис. 1.17 приведена обобщенная структурная схема реализации этого устройства, которая не претендует на минимальные аппаратурные затраты, поскольку не учитывает всех оговоренных выше условий.

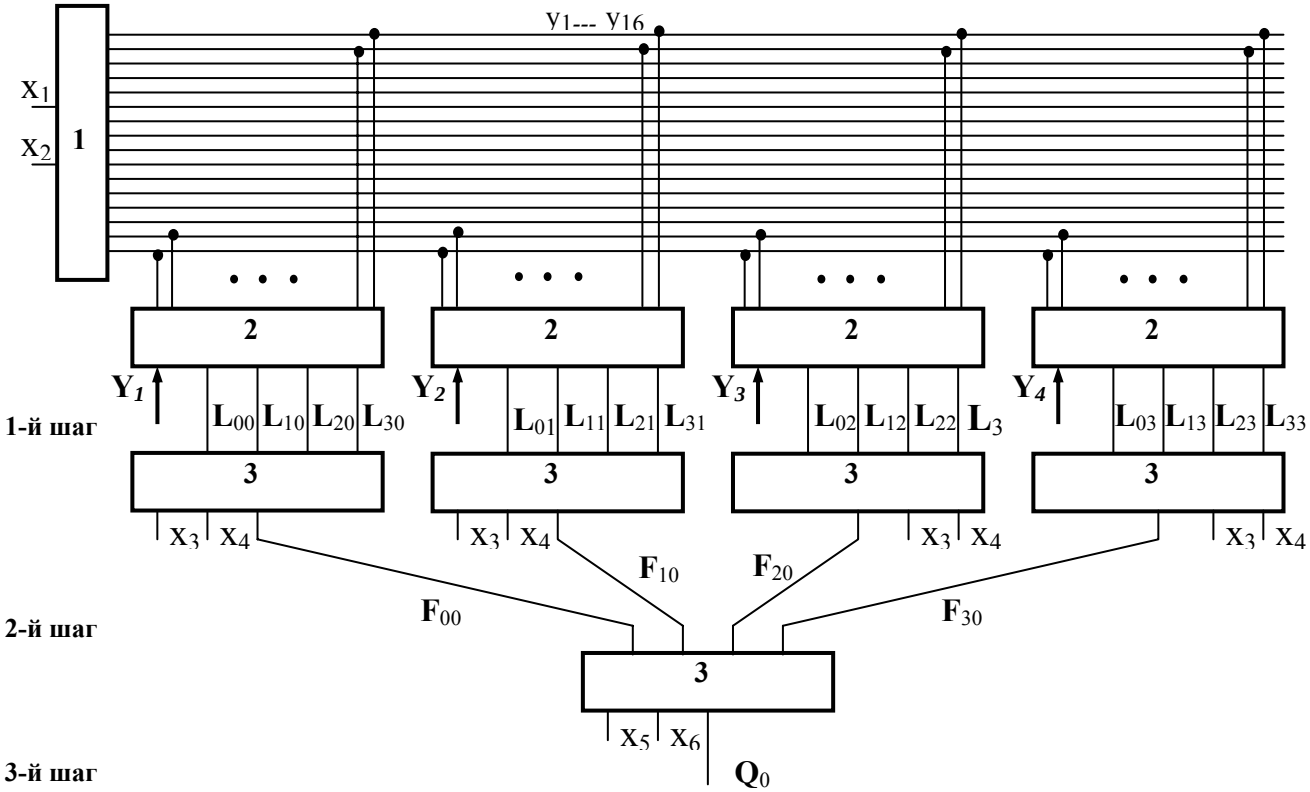


Рис. 1.17

В схеме имеются генератор двухзначных ЛФ 1 с шестнадцатью выходными шинами $y_1(x_1,x_2) - y_{16}(x_1,x_2)$, четыре однотипных мультиплексных блока 2, осуществляющих коммутацию сигналов функций $y_1(x_1,x_2) - y_{16}(x_1,x_2)$ на соответствующие шины $\mathbf{L_{0i}}$, ... , $\mathbf{L_{3i}}$ (первый шаг программы). Эта коммутация выполняется по сигналам управляющих команд $\mathbf{Y_1}$, $\mathbf{Y_2}$, $\mathbf{Y_3}$, $\mathbf{Y_4}$. Схема блока 2, состоящая из четырех стандартных мультиплексоров, приведена на рис. 1.18.

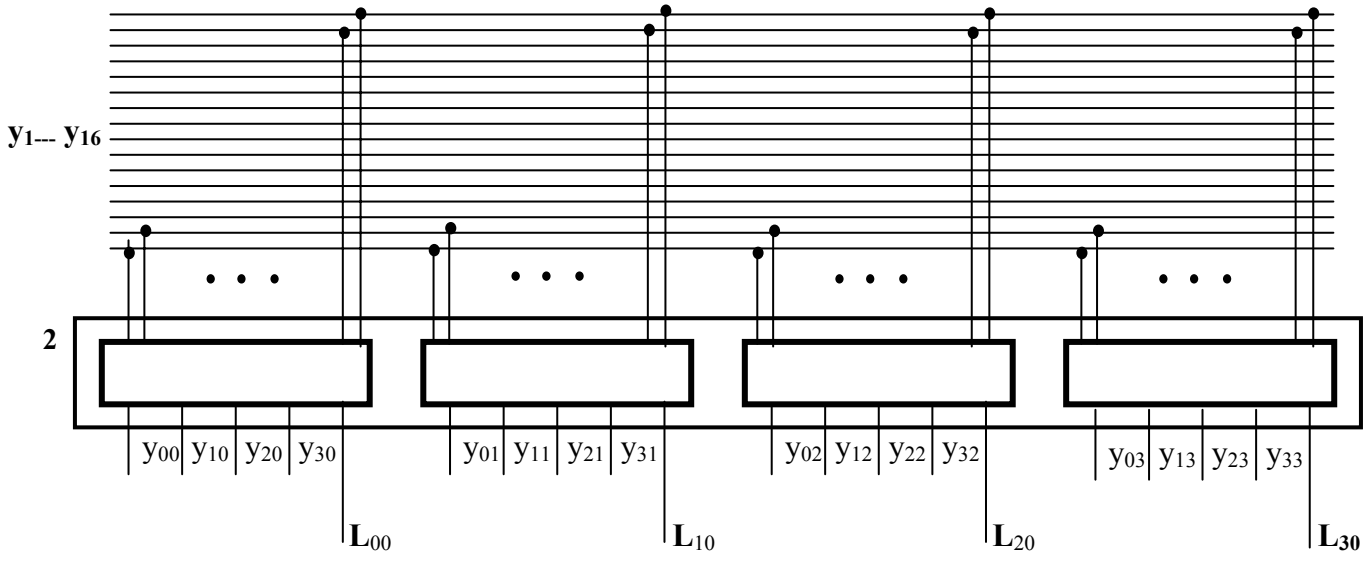


Рис. 1.18

На втором шаге программы формируются на выходе логических схем функции $\mathbf{F}_{00,}$ $\mathbf{F}_{10,}$ $\mathbf{F}_{20,}$ $\mathbf{F}_{30}$, а на третьем шаге – логическая функция $\mathbf{Q}_{00}$.

Рассматриваемая теория многомерных цифровых множеств может быть успешно применена для любых многозначных логических функций как при синтезе "жестких" логических конструкций, так и при синтезе программных логических блоков. Это подтверждается широко известной концепцией об эквивалентности аппаратных и программных средств, которые лежат в основе методов программирования и позволяют "какой-нибудь специальный прием, используемый при проектировании аппаратуры, использовать и при программировании" [1.9]. При этом можно утверждать, что если имеется геометрический образ логической функции любой значности в многомерном цифровом пространстве, то задача синтеза как предмета изобретательской деятельности не существует и эта работа может быть выполнена при помощи вычислительной техники или даже ручным способом грамотным специалистом. Достигнуть этого стало возможным потому, что получен четкий ответ на вопросы «как» и «почему».

Ответ на вопрос об известности геометрических образов логических функций либо известности законов их построения формулируется следующим образом: это известно для всех устройств машинной арифметики, основанных на общеизвестных принципах выполнения операций (суммирования, вычитания, поразрядных деления и умножения), принципиально для любых устройств, реализующих известные операции в поле натуральных чисел. Причем это распространяется на любое число разрядов устройств, любые значения оснований систем счисления и любые принципы их кодирования, а также на все операции, попадающие под действие теории нумераций. Поэтому представленная выше теория многомерных цифровых множеств является геометрическим аналогом теории нумераций и дальнейшее развитие теории многомерных цифровых множеств, как "чистой" теории, должно происходить с учетом этой аналогии. Однако нас интересует практическое применение этой теории, и ее краткое изложение является, по нашему мнению, достаточным для решения задач синтеза логических и цифровых устройств в рассматриваемых областях техники.

В дальнейшем изложение материала в работе будет носить прикладной характер для решения конкретных задач в области преобразовательной техники, электропривода, обслуживающих их цифровых устройств, а также для построения систем в этих областях техники с повышенными показателями надежности и помехозащищенности. Создание таких цифровых систем управления непосредственно связано с использованием в них контролеспособных кодов с возможностью не только обнаружения, но, что наиболее сложно, и исправления ошибок в режиме реального времени. Эта весьма актуальная задача до настоящего времени никем не решена, поскольку при попытках ее решения известным классическим способом, где используется соответствующий математический аппарат, возникают сложности, связанные со значительными временными затратами. Ниже практически во всех разделах будут приведены способы решения этой задачи в рассматриваемых областях техники в режиме реального времени.

1.11. Примеры синтеза одноразрядного устройства суммирования и вычитания

С целью более четкого представления принципа построения геометрического образа ЛФ в многомерном цифровом пространстве рассмотрим примеры синтеза одноразрядного суммирующего и вычитающего устройства для основания системы счисления n = 8. Это выполним для двух вариантов кодирования данного основания: двоичного и многофазного.

Основой построения геометрического образа сигналов результата этих операций являются общеизвестные таблицы Пифагора. В табл. 1.11.1 представлен результат арифметической операции суммирования (**A+B**) при отсутствии сигнала переноса с предыдущего младшего разряда, а в табл. 1.11.2 – при наличии такого сигнала.

Таблица 1.11.1

B \ A	0	1	2	3	4	5	6	7
0	0	1	2	3	4	5	6	7
1	1	2	3	4	5	6	7	0
2	2	3	4	5	6	7	0	1
3	3	4	5	6	7	0	1	2
4	4	5	6	7	0	1	2	3
5	5	6	7	0	1	2	3	4
6	6	7	0	1	2	3	4	5
7	7	0	1	2	3	4	5	6

Таблица 1.11.2

A	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0
1	2	3	4	5	6	7	0	1
2	3	4	5	6	7	0	1	2
3	4	5	6	7	0	1	2	3
4	5	6	7	0	1	2	3	4
5	6	7	0	1	2	3	4	5
6	7	0	1	2	3	4	5	6
7	0	1	2	3	4	5	6	7

В этих таблицах выделены подмножества результата сложения в разряде, где произошло переполнение и получен перенос для единицы старшего разряда.

Для двоичного кодирования цифр 0 – 7 используются на примере первого операнда три сигнала $a_1 = \mathbf{1} \vee \mathbf{3} \vee \mathbf{5} \vee \mathbf{7}$, $a_2 = \mathbf{2} \vee \mathbf{3} \vee \mathbf{6} \vee \mathbf{7}$, $a_3 = \mathbf{4} \vee \mathbf{5} \vee \mathbf{6} \vee \mathbf{7}$. В соответствии с представлением сигналов как множества цифр натурального ряда от **0** до 7 в ячейках нумерованного двухмерного цифрового пространства содержатся цифры, которые есть элементы подмножества сигналов разряда операнд. Для каждого сигнала результата операции в ячейках пространства располагается логическая единица 1* (звездочка), а остальные ячейки заполнены логическими нулями 0* (пустая ячейка).

В соответствии с этим на рис. 1.19 показаны геометрические образы сигналов i-го разряда q'_1, q'_2, q'_3 и переноса в старший разряд $P^i_1(q)$ для операции суммирования $\mathbf{(A + B)}^i$. Эти геометрические образы получаются при отсутствии сигнала переноса результата операции в младшем разряде $P^{i-1}(q)=0^*$, а на

рис. 1.20 приведены аналогичные сигналы q''_1, q''_2, q''_3 , $P^i_2(q)$ при наличии такого сигнала переноса $P^{i-1}(q)=1^*$.

Проводя аналогичные действия, начиная с таблиц Пифагора, для операций вычитания $\mathbf{(B-A)}^i$, $\mathbf{(A-B)}^i$ можем получить соответствующие им геометрические образы. Эти фигуры приведены на этих же рисунках соответственно для операции вычитания $\mathbf{(B-A)}^i$ [сигналы i-го разряда r'_1, r'_2, r'_3,$Z^i_1(r)$ при отсутствии сигнала заёма из старшего разряда $Z^{i-1}=0^*$ и сигналы r''_1, r''_2, r''_3,$Z^i_2(r)$ при наличии сигнала заема для младшего разряда $Z^{i-1}=1^*$] и операции вычитания $\mathbf{(A-B)}^i$ [сигналы i-го разряда s'_1, s'_2, s'_3,$Z^i_1(s)$ при отсутствии сигнала заема для младшего разряда $Z^{i-1}=0^*$ и сигналы s''_1, s''_2, s''_3,$Z^i_2(s)$ при наличии сигнала заема для младшего разряда $Z^{i-1}=1^*$].

Таким образом, геометрические фигуры всех ЛФ со сложными аргументами рассматриваемых арифметических операций нами представлены и остается только их определить, т.е. выполнить процедуру покрытия этих фигур сигналами операнд, что приводилось в предыдущих разделах.

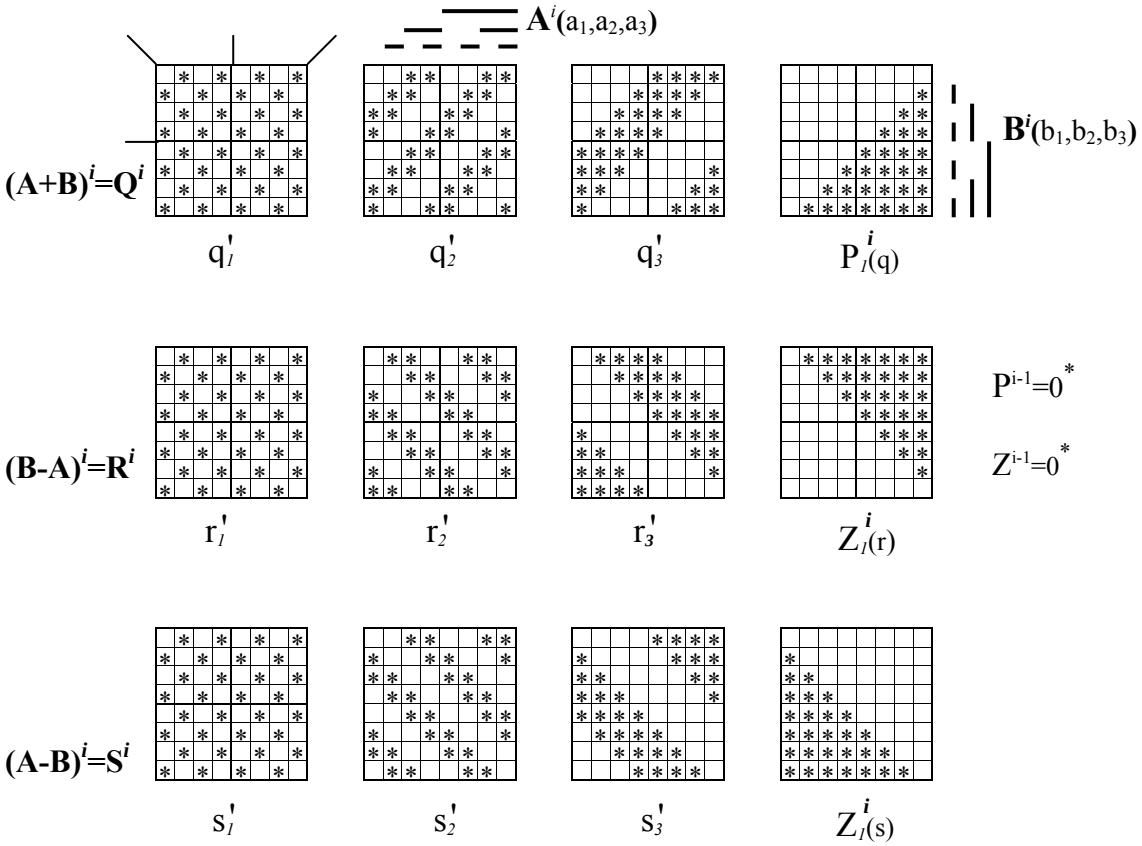


Рис. 1.19

Поскольку выполнение всех арифметических операций для двоичного кодирования оснований систем счисления широко известно и без знания теории многомерных цифровых множеств, остановимся только на связях выходных сигналов с их базовыми геометрическими образами, которыми в данном случае будут образы сигналов $q'_1\mathbf{(AB)}$, $q'_2\mathbf{(AB)}$, $q'_3\mathbf{(AB)}$, $P^i\mathbf{(AB)}$.

Остальные фигуры получаем соответствующими мыслимыми поворотами относительно осей симметрии двухмерного цифрового пространства, а именно:

$q''_1 = \underline{q}'_1(\mathbf{AB}) = \underline{q}'_1(\underline{\mathbf{A}}^{\bullet}\mathbf{B}^{\bullet}) = q'_1(\mathbf{AB}^{\bullet}) = q'_1(\mathbf{A}^{\bullet}\mathbf{B})$, $q''_2 = \underline{q}'_2(\mathbf{A}^{\bullet}\mathbf{B}^{\bullet})$, $q''_3 = \underline{q}'_3(\mathbf{A}^{\bullet}\mathbf{B}^{\bullet})$;

$r'_1 = q'_1(\mathbf{AB}) = q'_1(\mathbf{A}^{\bullet}\mathbf{B}^{\bullet}) = \underline{q}'_1(\mathbf{AB}^{\bullet}) = \underline{q}'_1(\mathbf{A}^{\bullet}\mathbf{B})$, $r'_2 = \underline{q}'_2(\mathbf{AB}^{\bullet})$, $r'_3 = \underline{q}'_3(\mathbf{AB}^{\bullet})$;

$r''_1 = \underline{q}'_1(\mathbf{AB}) = \underline{q}'_1(\mathbf{A}^{\bullet}\mathbf{B}^{\bullet}) = q'_1(\mathbf{AB}^{\bullet}) = q'_1(\mathbf{A}^{\bullet}\mathbf{B})$, $r''_2 = q'_2(\mathbf{A}^{\bullet}\mathbf{B})$, $r''_3 = q'_3(\mathbf{A}^{\bullet}\mathbf{B})$;

$s'_1 = \underline{q}'_1(\mathbf{AB}) = q'_1(\mathbf{A}^{\bullet}\mathbf{B}^{\bullet}) = \underline{q}'_1(\mathbf{AB}^{\bullet}) = \underline{q}'_1(\mathbf{A}^{\bullet}\mathbf{B})$, $s''_2 = \underline{q}'_2(\mathbf{A}^{\bullet}\mathbf{B})$, $r''_3 = \underline{q}'_3(\mathbf{A}^{\bullet}\mathbf{B})$;

$s''_1 = \underline{q}'_1(\mathbf{AB}) = \underline{q}'_1(\mathbf{A}^{\bullet}\mathbf{B}^{\bullet}) = q'_1(\mathbf{AB}^{\bullet}) = q'_1(\mathbf{AB}^{\bullet})$, $s''_2 = q'_2(\mathbf{AB}^{\bullet})$, $s''_3 = q'_3(\mathbf{AB}^{\bullet})$;

$Z^i(r) = P^i(\mathbf{AB}^{\bullet})$, $Z^i(s) = P^i(\mathbf{A}^{\bullet}\mathbf{B})$. (1.11.1)

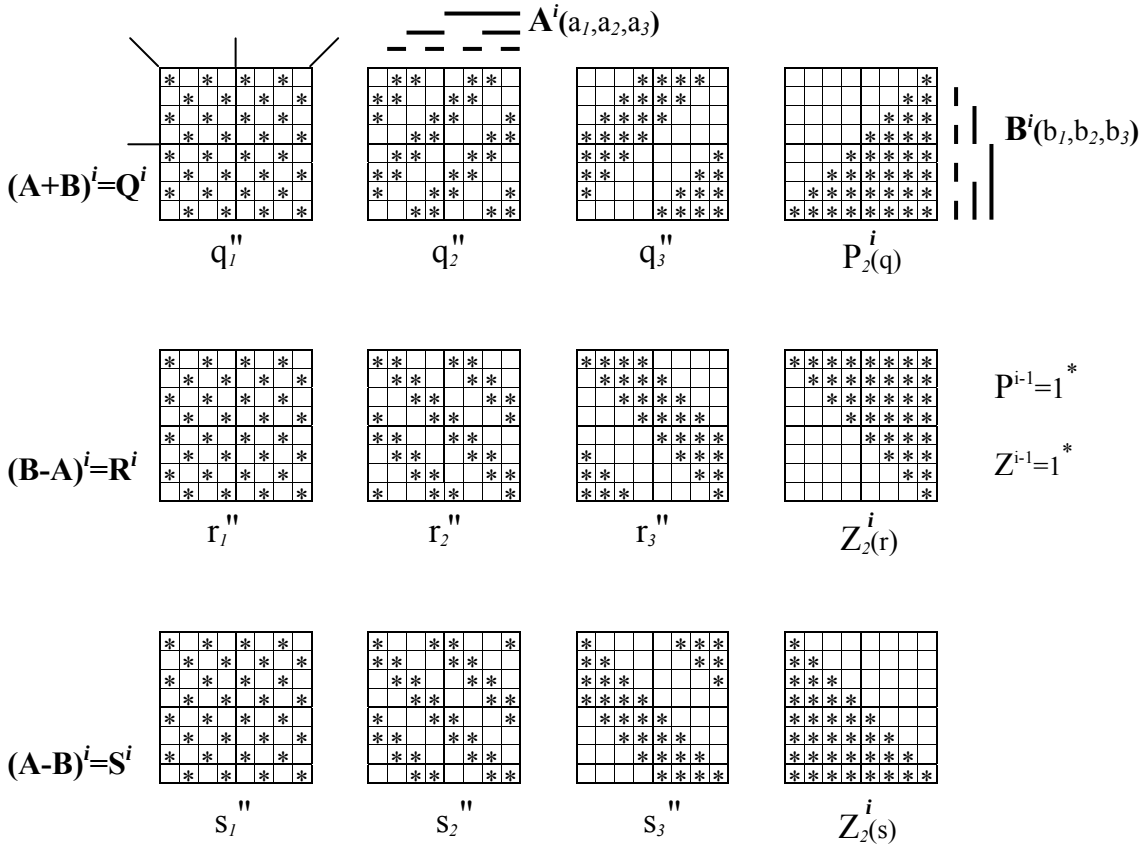


Рис. 1.20

Следовательно, зная покрытие базовых фигур логических функций операции суммирования $q'_1(\mathbf{AB})$, $q'_2(\mathbf{AB})$, $q'_3(\mathbf{AB})$ при отсутствии сигнала переноса с младшего разряда $P^{i-1}(\mathbf{AB}) = 0^*$, не представляет сложности получить аналогичные сигналы для операции суммирования при наличии такого переноса ($P^{i-1}(\mathbf{AB}) = 1^*$). Это справедливо так же для операции вычитания, как для случая, когда **A>B** , так и для **A<B**, при любом значении сигналов заёма со старшего разряда сумматора. Замечательным свойством при этом обладают сигналы первого разряда сумматора, которые имеют полную симметрию геометриче-

ского образа и при различных мыслимых поворотах относительно осей симметрии пространства остаются неизменными.

Очевидно, что для любого i-го разряда базовой операции

$$q_j = q_j' \underline{P}^{i-1} + q_j'' P^{i-1}.$$

Классическое построение вычислительных устройств, работающих в двоичной системе счисления, когда операция суммирования принимается базовой для всех остальных, общеизвестно, но получить большую прозрачность выполнения алгоритмов операций вычитания, чем те, которые представлены здесь, невозможно.

Остановимся более подробно на формировании сигналов переноса, которые являются здесь угловыми множествами двухмерного цифрового пространства. Рассмотренные в разд. 1.8 оптимальные в базисе ДНФ зависимости непрерывного множества ряда натуральных чисел, а также оптимальная запись цифрового множества, содержащего цифру i натурального ряда, позволяют оптимальным образом представить в ДНФ сигналы переноса.

В самом деле, обратимся, например, к образам сигналов P^i_1 и P^i_2, где вместо множества P^i_2 можно использовать любое подмножество $\{P^i_2\}$ этого множества, но обязательно содержащего заполненные ячейки диагонали двухмерного пространства. Это подмножество, в свою очередь, будет содержать n подмножеств, каждое из которых является объединением двух других подмножеств операндов **A** и **B**. Каждое из этих подмножеств операндов **A** и **B** в этом объединении берется оптимальным в записи ДНФ и содержит ячейку пространства с координатами $j_A(n-1-j)_B$, где $j = 0, ...,(n-1)$.

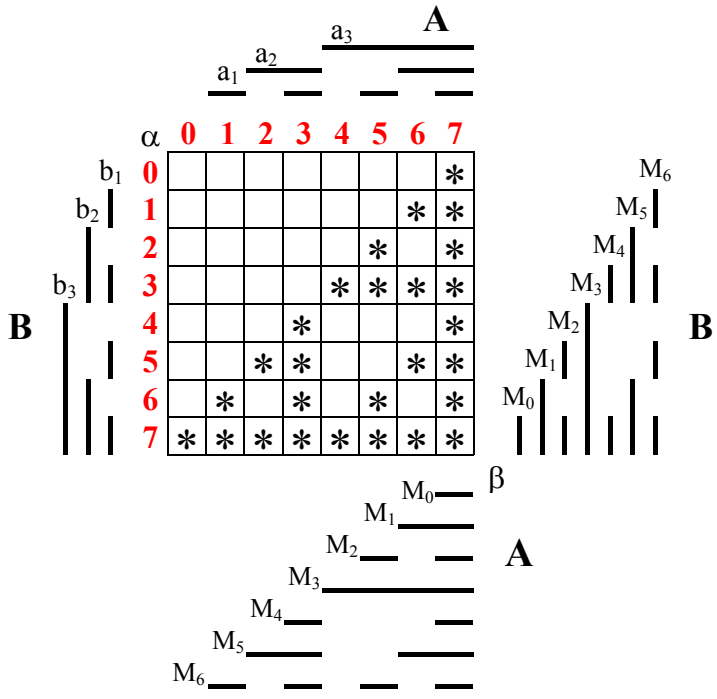


Рис. 1.21

Для нашего примера это подмножество приведено на рис. 1.21, а логическое выражение – в матричной записи :

$$\{P^i_2\} = \left| \begin{array}{c|c} & \beta \\ 1^* M_6 \ldots M_0 & \\ \mathbf{A} & \end{array} \right| \left| \begin{array}{c|c} M_0 & \beta \\ . & \\ . & \\ . & \\ M_6 & \\ 1^* & \mathbf{B} \end{array} \right| . \qquad (1.11.2)$$

Непрерывное угловое множество P^i_1 (рис. 1.22) в матричной форме записывается следующим образом:

$$P^i_2 = \left| \begin{array}{c|c} & \beta \\ M_6 \ldots M_0 & \\ \mathbf{A} & \end{array} \right| \left| \begin{array}{c|c} M_0 & \beta \\ . & \\ . & \\ . & \\ M_6 & \mathbf{B} \end{array} \right| . \qquad (1.11.3)$$

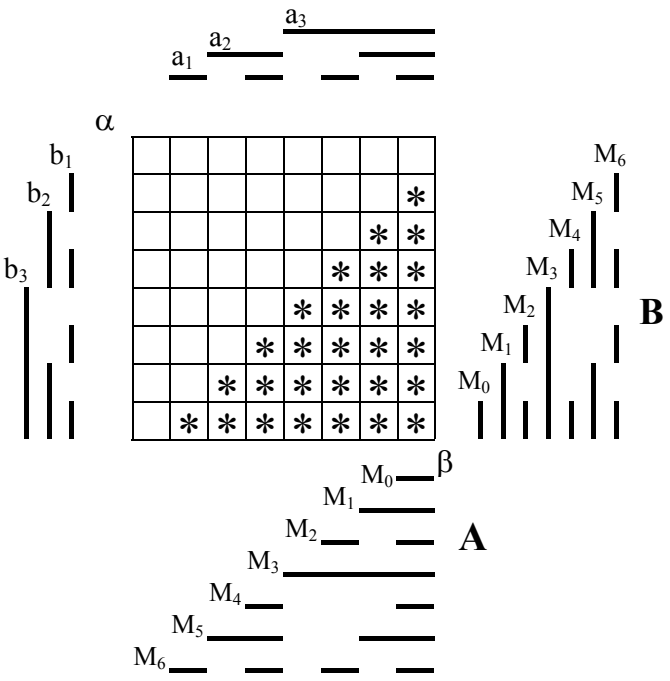


Рис. 1.22

Представим еще вариант схемы формирования сигнала переноса непосредственно в схеме сумматора [1.16].

Для четных оснований систем счисления в сигналах кода операнд имеется сигнал, который является непрерывным множеством второй половины цифр основания системы счисления. В приведенном выше примере это – сигналы a_3, b_3, q_3, которые позволяют определить сигнал переноса P^i по следующему логическому выражению:

$$P^i = \underline{q}^i_3\, a^i_3 \vee \underline{q}^i_3\, b^i_3 \vee a^i_3\, b^i_3 \,. \qquad (1.11.4)$$

В (1.11.4) нет сигнала переноса с младшего (i – 1)-го разряда, но он присутствует в формировании переноса P^i и интегрирован в сигнале $\underline{q}^i_3$.

На рис. 1.23, *а*, *б* показаны соответственно геометрические образы сигнала $\underline{q}^i_3$ при $P^{i-1} = 0^*$ и $P^{i-1} = 1^*$, из которых ясен принцип формирования цифровых подмножеств $a^i_3\, b^i_3$ и $\underline{q}^i_3\, a^i_3 \vee \underline{q}^i_3\, b^i_3$, составляющих цифровое множество P^i.

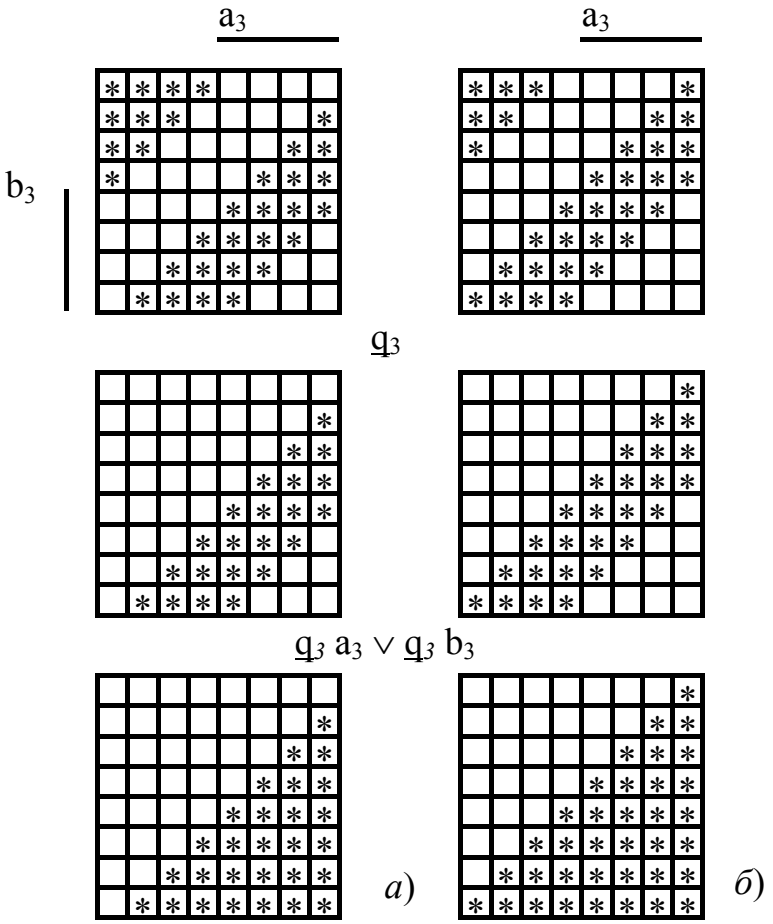


Рис. 1.23

Формула (1.11.4) - общая для любого принципа кодирования четных оснований систем счисления, где операнды содержат в коде разряда сигнал, являющийся непрерывным множеством цифр второй половины этого основания. Тогда выражение (1.11.4) будет приведено к виду

$$P^i = \underline{q}^i_k\, a^i_k \vee \underline{q}^i_k\, b^i_k \vee a^i_k\, b^i_k \,, \qquad (1.11.4')$$

где q^i_k, a^i_k, b^i_k – непрерывные цифровые множества операнд, содержащие цифры второй половины основания системы счисления.

Значение выражения (1.11.4') заключается не только в его простоте, а также в том, что если в них сигналы q^i_k, a^i_k, b^i_k безошибочны, то также будет безошибочен сигнал переноса P^i i – го разряда.

При многофазном принципе кодирования цифр **0** – **7**, когда, на примере сигналов первого операнда, a_1 = **1** ∨ **…** ∨ **4**, a_2 = **2** ∨ **…** ∨ **5**, a_3 = **3** ∨ **…** ∨ **6**, a_4 = **4** ∨ **…** ∨ **7**, геометрические образы сигналов результата сложения $\mathbf{(A+B)}^i$ и вычитания $\mathbf{(B-A)}^i$ и $\mathbf{(A-B)}^i$ приведены на рис. 1.24 и 1.25. Эти рисунки аналогичны рис. 1.22 и 1.23 двоичного принципа кодирования этого же основания системы счисления.

На рис. 1.24 построены в двухмерном цифровом пространстве координат операндов **A**, **B** геометрические образы сигналов i-го разряда q'_1,..., q'_4 и пере-

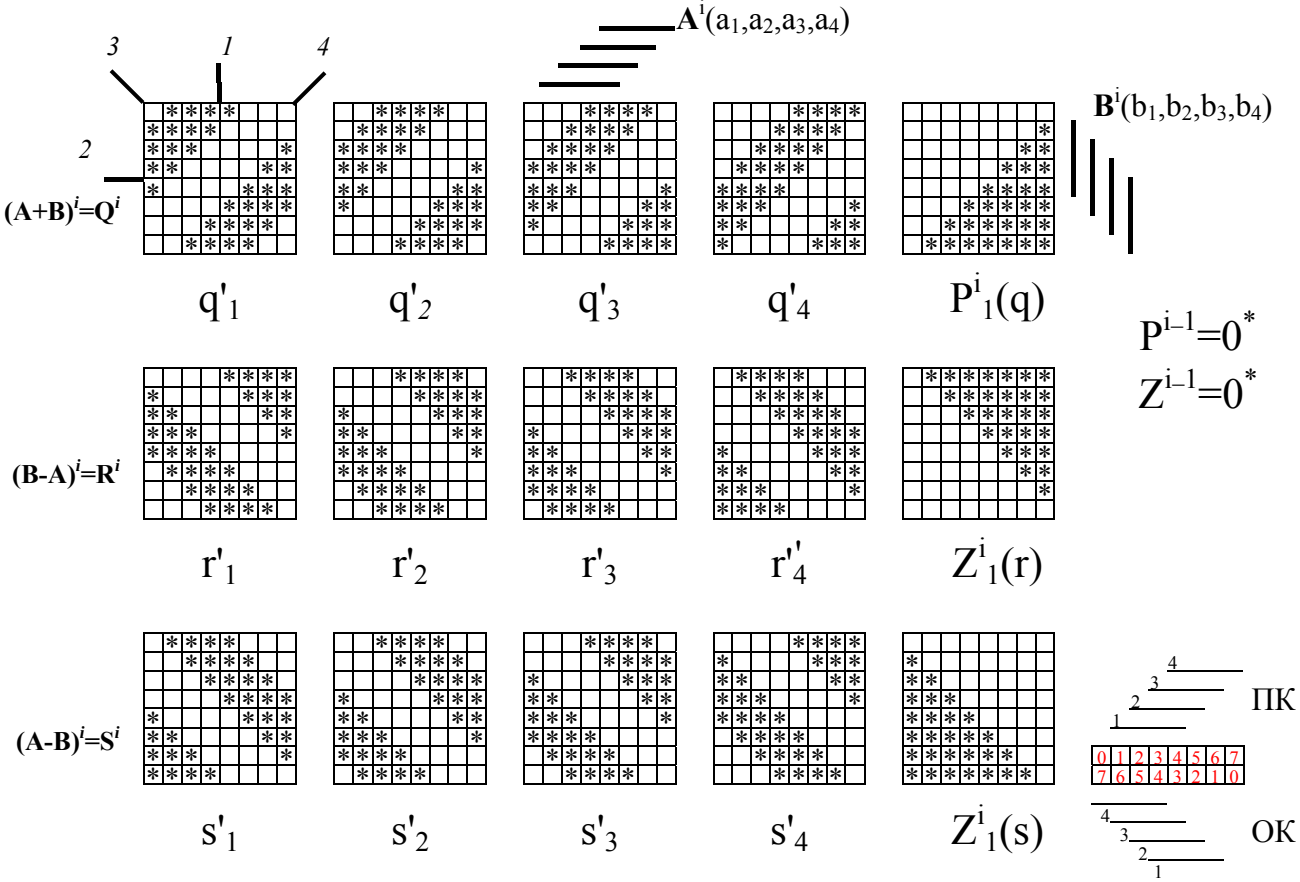


Рис. 1.24

носа в старший разряд P^i_1**(AB)** операции суммирования $\mathbf{(A+B)}^i$, когда $P^{i-1}{}_1$**(AB)** = 0*, а на рис. 1.25 приведены такие же сигналы q''_1,..., q''_4 и P^i_2**(AB)** при наличии сигнала переноса с младшего разряда $P^{i-1}{}_1$**(AB)** =1*.

На этих же рисунках показаны геометрические образы сигналов для операций вычитания. Эти фигуры приведены соответственно для операции вычитания $\mathbf{(B–A)}^i$ [сигналы i-го разряда r'_1, ... , r'_4, $Z^i_1(r)$ при отсутствии сигнала заема для младшего разряда Z^{i-1}=0* и сигналы r''_1, ... , r''_4, $Z^i_2(r)$ при наличии сигнала заема для младшего разряда Z^{i-1}=1*] и для операции вычитания $\mathbf{(A–B)}^i$ [сигналы i-го разряда s'_1, ... , s'_4, $Z^i_1(s)$ при отсутствии сигнала заема для младшего раз-

ряда $Z^{i-1}=0^*$ и сигналы $s''_1, \ldots, s''_4, Z^i_2(s)$ при наличии сигнала заема для младшего разряда $Z^{i-1}=1^*$].

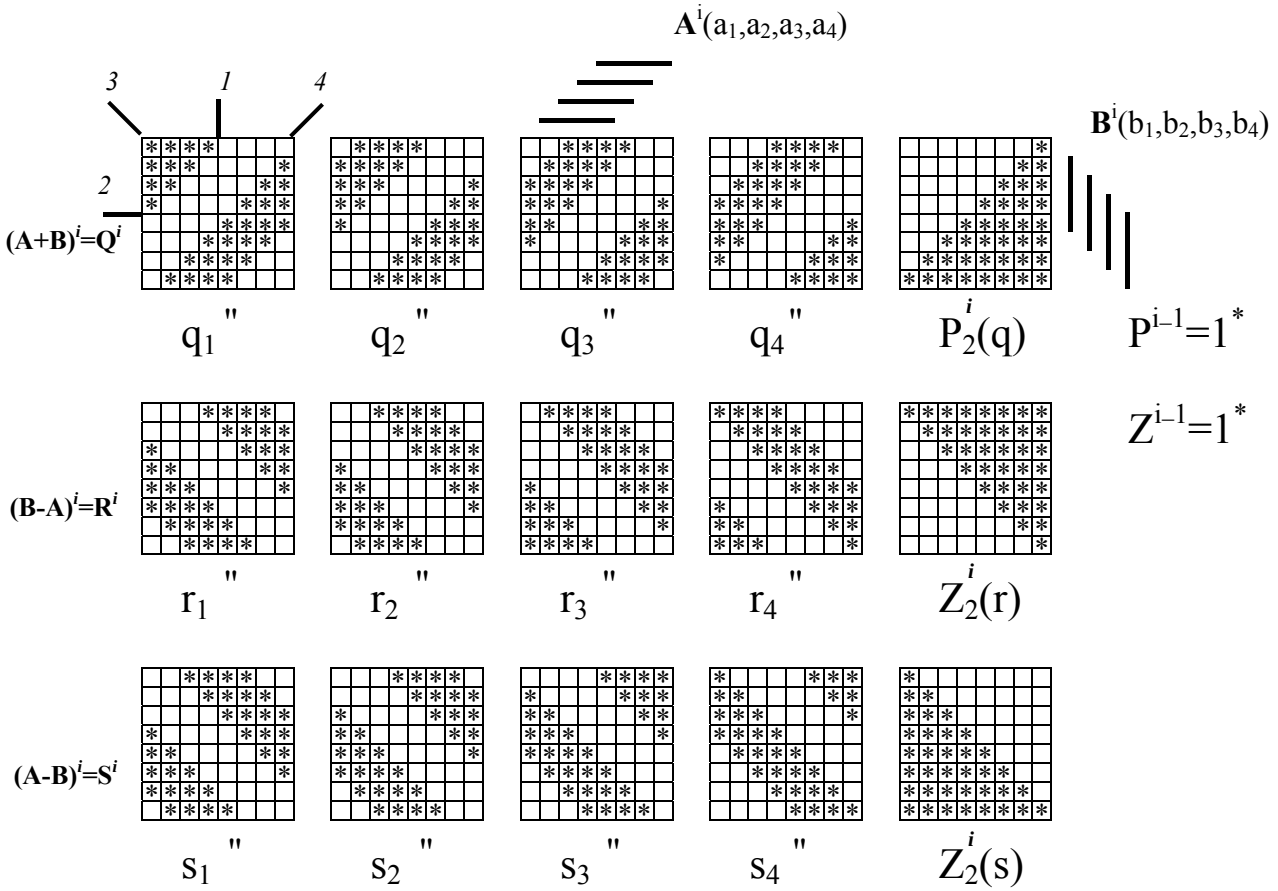


Рис. 1.25

Из геометрических образов логических функций операций суммирования и вычитания видно, что, принимая в качестве базовых фигуры сигналов q'_1**(AB)** и q'_3**(AB)**, сигналы второй и четвертой фаз результата суммирования запишутся следующим образом: q'_2**(AB)** = q'_1**($A^\bullet B^\bullet$)**, q'_4**(AB)** = $\underline{q}'_3$**($A^\bullet B^\bullet$)**, а все другие сигналы фаз операций суммирования и вычитания, а также сигналы заема определяются выражениями:

$$r'_1 = q'_3(AB^\bullet),\quad r'_2 = q'_1(A^\bullet B),\ r'_3 = q'_1(AB^\bullet),\ r'_4 = q'_3(A^\bullet B);$$

$$s'_1 = q'_3(A^\bullet B),\quad s'_2 = q'_1(AB^\bullet),\ s'_3 = q'_1(A^\bullet B),\ s'_4 = q'_3(AB^\bullet);$$

$$q''_1 = q'_3(A^\bullet B^\bullet),\quad q''_2 = q'_1(AB),\ q''_3 = q'_1(A^\bullet B^\bullet),\ q''_4 = q'_3(AB);$$

$$r''_1 = q'_1(A^\bullet B),\quad r''_2 = q'_1(A^\bullet B^\bullet),\ r''_3 = q'_3(A^\bullet B),\ r''_4 = \underline{q}'_3(AB^\bullet);$$

$$s''_1 = q'_3(AB^\bullet),\quad s''_2 = q'_1(A^\bullet B),\ s''_3 = q'_3(AB^\bullet),\ s''_4 = \underline{q}'_3(A^\bullet B);$$

$$Z^i(r) = P^i(q)(AB^\bullet),\ Z^i(s) = P^i(q)(A^\bullet B). \qquad (1.11.5)$$

Подведем итог синтеза выполнения операции суммирования и вычитания для двоичного и многофазного принципов кодирования основания системы счисления. При этом будем считать базовым вариантом операцию суммирова-

ния, а операцию вычитания будем выполнять соответствующим переключением сигналов на входных и выходных шинах устройства.

Для двоичного принципа кодирования (рис. 1.19 и 1.20) при переходе с режима суммирования (**A**+**B**) на режим вычитания (**B**–**A**) необходимо выполнить следующие операции: код числа **B** перевести из прямого кода в обратный (поворот вокруг оси *2*), что для двоичного принципа кодирования соответствует инвертированию сигналов этого операнда, а также инвертировать выходные сигналы q'_1, q'_2, q'_3 (q''_1, q''_2, q''), которые станут совпадать с необходимыми в этом случае выходными сигналами r'_1, r'_2, r'_3 (r''_1, r''_2, r''). При этом инвертировать выходной сигнал переноса P(q) не нужно: при переводе кода числа **B** из прямого кода в обратный он сразу будет совпадать с сигналом заема Z(r).

Для выполнения операции (**A**–**B**) необходимо код числа **A** перевести из прямого кода в обратный (поворот вокруг оси *1*), а выходные сигналы следует инвертировать. При этом очевидно, что для любых оснований систем счисления n = 2, 4, 8, … эти операции остаются неизменными.

При многофазном принципе кодирования основания системы счисления перевод числа разряда из прямого кода (ПК) в обратный код (ОК) осуществляется на примере операнда **A** по следующему правилу: $a_m \leftrightarrow \underline{a}_m$, $a_{m-1} \leftrightarrow a_1$, $a_{m-2} \leftrightarrow a_2$, …, где m = n/2 – число фаз в коде операнда. Из этого представления видно, что при четном числе фаз в коде всегда есть такой сигнал, который при переводе кода из прямого в обратный остается неизменным.

Для нашего примера это сигнал a_2, а остальные сигналы изменяются по следующему правилу: $a_4 \leftrightarrow \underline{a}_4$, $a_3 \leftrightarrow a_1$. Переход от операции суммирования к операции вычитания при многофазном принципе кодирования имеет многочисленные варианты реализации, и один из этих вариантов полностью совпадает с двоичным принципом кодирования. Например, для операции (**B**–**A**), когда осуществляется соответствующее преобразования выходного кода и кода **B** (рис. 1.24 и 1.25), происходят следующие коммутации: выход сигнала q_1' станет сигналом r_3', выход сигнала q_3' – сигналом r_1', а выход сигнала q_4' – сигналом $\underline{r}_4'$. Из представленного также полностью очевидна программа реализации операции вычитания (**A**–**B**), когда происходят аналогичные коммутации: выход сигнала q_1' – сигналом s_3', выход сигнала q_3' – сигналом s_1', а выход сигнала q_4' – сигналом $\underline{s}_4'$.

Причем формирование сигналов переноса и заема при любом принципе кодирования оснований систем счисления и переключении режимов работы от суммирования к вычитанию реализуются одинаковым образом и не требуют дополнительных преобразований на выходной шине этого сигнала устройства.

В матричной записи ДНФ для операции суммирования с одновременной индексной записью матриц, когда вместо a_1 будем записывать только индекс 1, а вместо $\underline{a}_1$ – индекс $\underline{1}$ и т.д., логическая функция двухвходового сумматора будет представлена выражением (1.11.6).

Это выражение реализует только однократное покрытие ячеек пространства, занятого геометрическим образом ЛФ для операции суммирования, что не

исключает проблемы "иголок", т.е. возможности появления коротких ложных сигналов на границах участков покрытия, в этой записи для операнда $\mathbf{B}^i$:

$$\mathbf{Q} = \Big(\begin{vmatrix} 1 & \underline{4} & \underline{3} & \underline{2} & \underline{1} & 4 & 3 & 2 \\ 2 & 1 & \underline{4} & \underline{3} & \underline{2} & \underline{1} & 4 & 3 \\ 3 & 2 & 1 & \underline{4} & \underline{3} & \underline{2} & \underline{1} & 4 \\ 4 & 3 & 2 & 1 & \underline{4} & \underline{3} & \underline{2} & \underline{1} \end{vmatrix}_{\mathbf{A}^i} \underline{\mathrm{P}}^{i-1} \vee \begin{vmatrix} 4 & 3 & 2 & 1 & 4 & 3 & 2 & 1 \\ 1 & 4 & 3 & 2 & 1 & 4 & 3 & 2 \\ 2 & 1 & 4 & 3 & 2 & 1 & 4 & 3 \\ 3 & 2 & 1 & 4 & 3 & 2 & 1 & 4 \end{vmatrix}_{\mathbf{A}^i} \mathrm{P}^{i-1} \Big) \begin{vmatrix} \underline{4} & \underline{1} \\ 1 & \underline{2} \\ 2 & \underline{3} \\ 3 & \underline{4} \\ 4 & 1 \\ \underline{1} & 2 \\ \underline{2} & 3 \\ \underline{3} & 4 \end{vmatrix}_{\mathbf{B}^i} . \qquad (1.11.6)$$

Для исключения "иголок" необходимо в (1.11.6) все вторые либо все первые сомножители в матрицах операнд циклически изменить: для операнда $\mathbf{A}$ в последовательности $1\to 2\to 3\to 4\to \underline{1}\to \underline{2}\to \underline{3}\to \underline{4}\to 1$, а для операнда $\mathbf{B}$ – в обратной последовательности. Первый такой сдвиг для операнда $\mathbf{A}$ даст следующую запись ЛФ:

$$\mathbf{Q}^i = \Big(\begin{vmatrix} 1\,\underline{4} & \underline{4}\,\underline{3} & \underline{3}\,\underline{2} & \underline{2}\,\underline{1} & \underline{1}\,4 & 4\,3 & 3\,2 & 2\,1 \\ 2\,1 & 1\,\underline{4} & \underline{4}\,\underline{3} & \underline{3}\,\underline{2} & \underline{2}\,\underline{1} & \underline{1}\,4 & 4\,3 & 3\,2 \\ 3\,2 & 2\,1 & 1\,\underline{4} & \underline{4}\,\underline{3} & \underline{3}\,\underline{2} & \underline{2}\,\underline{1} & \underline{1}\,4 & 4\,3 \\ 4\,3 & 3\,2 & 2\,1 & 1\,\underline{4} & \underline{4}\,\underline{3} & \underline{3}\,\underline{2} & \underline{2}\,\underline{1} & \underline{1}\,4 \end{vmatrix}_{\mathbf{A}^i} \underline{\mathrm{P}}^{i-1} \vee \begin{vmatrix} \underline{4}\,\underline{2} \\ 1\,\underline{3} \\ 2\,\underline{4} \\ 3\,1 \end{vmatrix}_{\mathbf{B}^i} .$$

$$\vee \begin{vmatrix} \underline{4}\,\underline{3} & \underline{3}\,\underline{2} & \underline{2}\,\underline{1} & \underline{1}\,4 & 4\,3 & 3\,2 & 2\,1 & 1\,\underline{4} \\ 1\,\underline{4} & \underline{4}\,\underline{3} & \underline{3}\,\underline{2} & \underline{2}\,\underline{1} & \underline{1}\,4 & 4\,3 & 3\,2 & 2\,1 \\ 2\,1 & 1\,\underline{4} & \underline{4}\,\underline{3} & \underline{3}\,\underline{2} & \underline{2}\,\underline{1} & \underline{1}\,4 & 4\,3 & 3\,2 \\ 3\,2 & 2\,1 & 1\,\underline{4} & \underline{4}\,\underline{3} & \underline{3}\,\underline{2} & \underline{2}\,\underline{1} & \underline{1}\,4 & 4\,3 \end{vmatrix}_{\mathbf{A}^i} \mathrm{P}^{i-1} \Big) \begin{vmatrix} 4\,\underline{2} \\ \underline{1}\,3 \\ 4\,2 \\ \underline{2}\,4 \\ \underline{3}\,1 \end{vmatrix}_{\mathbf{B}^i} \qquad (1.11.7)$$

Следующий сдвиг в этой зависимости приведет данные выражения к виду

$$\mathbf{Q}^i = \Big(\begin{vmatrix} 1\,\underline{3} & \underline{4}\,\underline{2} & \underline{3}\,\underline{1} & \underline{2}\,4 & \underline{1}\,3 & 4\,2 & 3\,1 & 2\,\underline{4} \\ 2\,\underline{4} & 1\,\underline{3} & \underline{4}\,\underline{2} & \underline{3}\,\underline{1} & \underline{2}\,4 & \underline{1}\,3 & 4\,2 & 3\,1 \\ 3\,1 & 2\,\underline{4} & 1\,\underline{3} & \underline{4}\,\underline{2} & \underline{3}\,\underline{1} & \underline{2}\,4 & \underline{1}\,3 & 4\,2 \\ 4\,2 & 3\,1 & 2\,\underline{4} & 1\,\underline{3} & \underline{4}\,\underline{2} & \underline{3}\,\underline{1} & \underline{2}\,4 & \underline{1}\,3 \end{vmatrix}_{\mathbf{A}^i} \underline{\mathrm{P}}^{i-1} \vee \begin{vmatrix} \underline{4}\,\underline{3} \\ 1\,\underline{4} \\ 2\,1 \\ 3\,2 \\ 4\,3 \\ \underline{1}\,4 \\ \underline{2}\,1 \\ \underline{3}\,2 \end{vmatrix}_{\mathbf{B}^i}$$

$$\vee \begin{vmatrix} \underline{4}\,\underline{2} & \underline{3}\,\underline{1} & \underline{2}\,4 & \underline{1}\,3 & 4\,2 & 3\,1 & 2\,\underline{4} & 1\,\underline{3} \\ 1\,\underline{3} & \underline{4}\,\underline{2} & \underline{3}\,\underline{1} & \underline{2}\,4 & \underline{1}\,3 & 4\,2 & 3\,1 & 2\,\underline{4} \\ 2\,\underline{4} & 1\,\underline{3} & \underline{4}\,\underline{2} & \underline{3}\,\underline{1} & \underline{2}\,4 & \underline{1}\,3 & 4\,2 & 3\,1 \\ 3\,1 & 2\,\underline{4} & 1\,\underline{3} & \underline{4}\,\underline{2} & \underline{3}\,\underline{1} & \underline{2}\,4 & \underline{1}\,3 & 4\,2 \end{vmatrix}_{\mathbf{A}^i} \mathrm{P}^{i-1} \Big) \qquad (1.11.8)$$

Выражение (1.11.6) определяет покрытие геометрических образов ЛФ сигналов $q_1 - q_4$ непересекающимися прямоугольниками размерами 1×4, а выражения (1.11.7), (1.11.8) – пересекающимися прямоугольниками соответственно

размерами 2 × 3 и 3 × 2. Это показано на примере четвертой фазы q_4 для $\underline{P}^{i-1}$ на рис. 1.26, где для большей наглядности приведены только два прямоугольника из восьми.

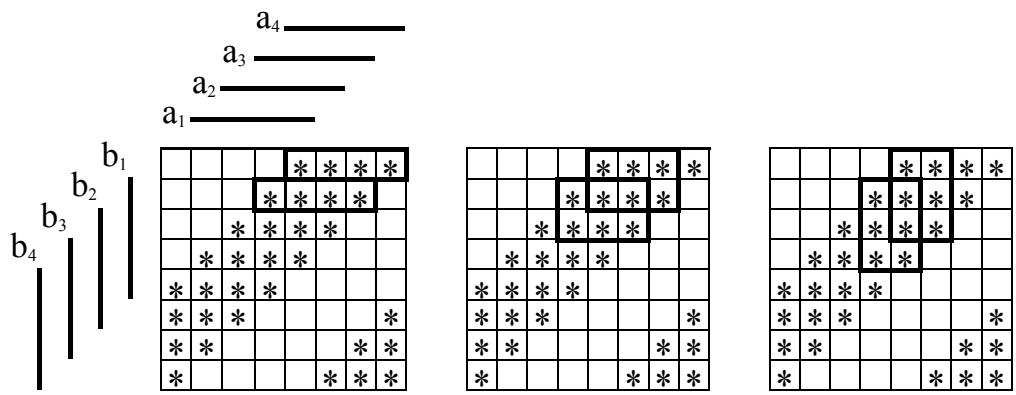


Рис. 1.26

На рис. 1.27 приведен геометрический образ сигнала первой фазы q_1 результата суммирования в трехмерном цифровом пространстве сложных аргументов **A**, **B**, **Q**. Все геометрические образы остальных сигналов фаз для операций суммирования и вычитания могут быть получены исходя из образа сигнала q_1 соответствующим мысленным поворотом относительно осей симметрии пространства, а также параллельным перемещением этой фигуры. Это возможно выполнить, поскольку здесь используется циклический принцип кодирования сигналов операнд. Следовательно, при многофазном принципе кодирования число базовых фигур может быть уменьшено здесь до одной, например q_1.

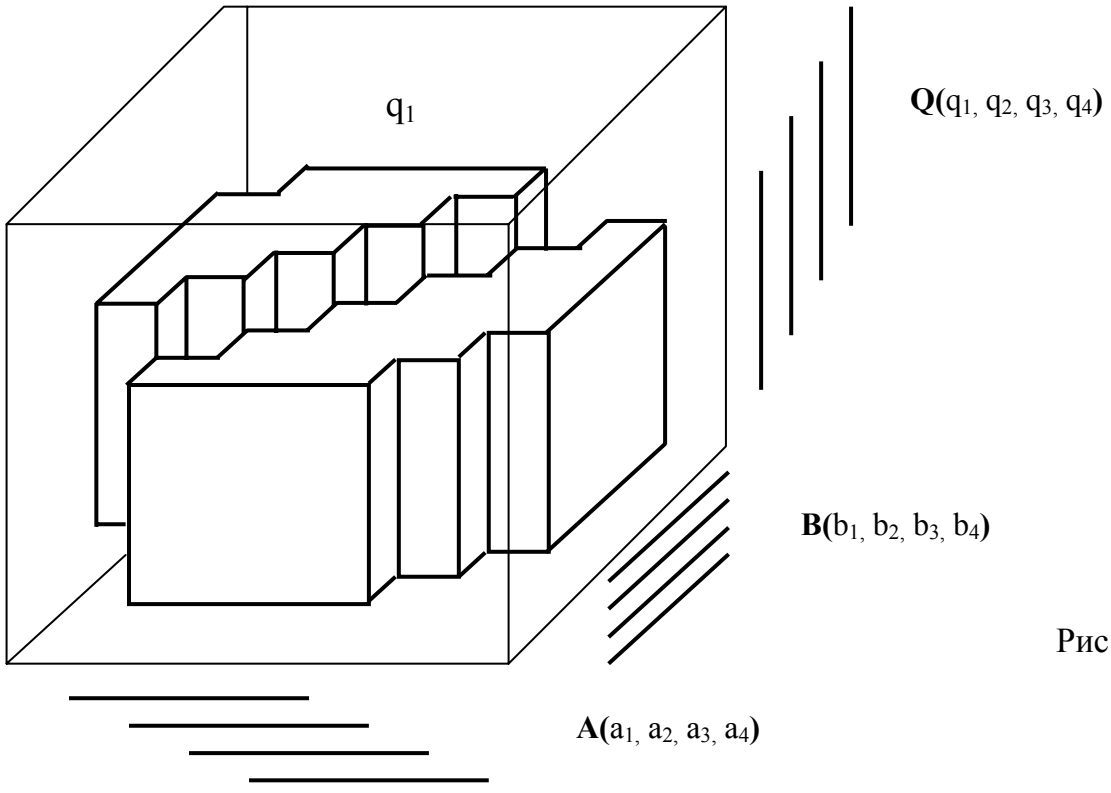


Рис. 1.27

Формирование сигналов переноса при любом принципе кодирования определяется ЛФ (1.11.4), (1.11.5). Используемые в них одномерные множества, содержащие одну из цифр разряда, для многофазного принципа кодирования наиболее просты. Поэтому схемы формирования сигналов переноса (заема) здесь имеют меньшие аппаратурные затраты [1.17], чем даже при двоичном принципе кодирования.

На рис. 1.28 приведено непрерывное угловое множество сигнала P^i_1 и подмножества, входящие в (1.11.5). В соответствии с этим представлением ЛФ сигнала будет определяться выражением

$$P^i_1 = a_1\underline{b}_3b_4 \vee a_2\underline{b}_2b_4 \vee a_3\underline{b}_1b_4 \vee a_4b_4 \vee \underline{a}_1a_4b_3 \vee \underline{a}_2a_4b_2 \vee \underline{a}_3a_4b_1,$$

что по аппаратурным затратам меньше, чем при двоичном принципе кодирования:

$$\{P^i_1\} = a_1b_3b_2b_1 \vee a_2b_3b_2 \vee a_2a_1b_3b_1 \vee a_3b_3 \vee a_3a_1b_2b_1 \vee a_3a_2b_2 \vee a_3a_2a_1b_1.$$

Это преимущество сохраняется также при формировании множества для сигнала переноса P^i_2 (рис. 1.29). Данное множество в отличие от двоичного кодирования может быть взято и непрерывным без усложнения ЛФ.

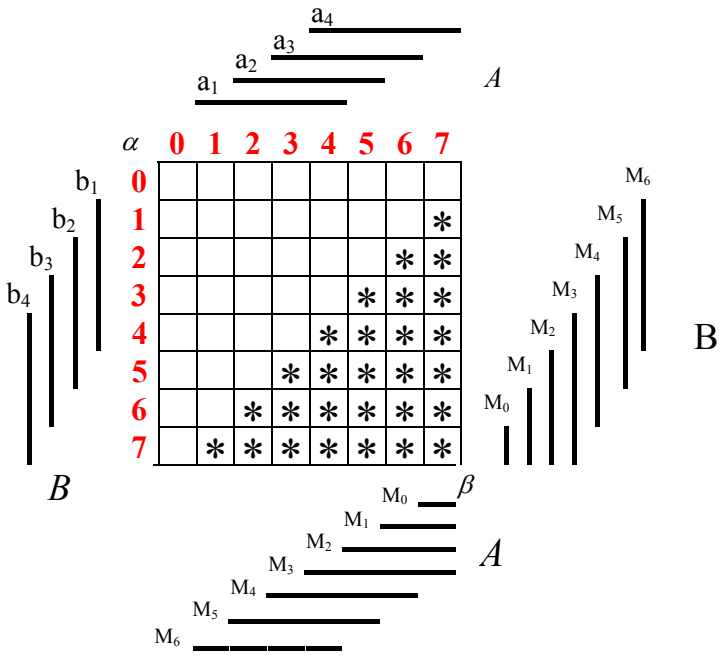


Рис. 1.28

В соответствии с этим представлением ЛФ сигнала P^i_2 будет определяться выражением

$$P^i_2 = \underline{b}_3b_4 \vee a_1\underline{b}_2b_4 \vee a_2\underline{b}_1b_4 \vee a_3b_4 \vee a_4b_3 \vee \underline{a}_1a_4b_2 \vee \underline{a}_2a_4b_1 \vee \underline{a}_3a_4,$$

что по аппаратурным затратам меньше, чем при двоичном принципе кодирования:

$$\{P^i_2\} = b_3b_2b_1 \vee b_3b_2a_2 \vee b_3b_1a_2 \vee b_3\,a_2a_1 \vee b_2b_1a_3 \vee b_2a_3a_1 \vee b_1a_3a_2 \vee a_3a_2a_1.$$

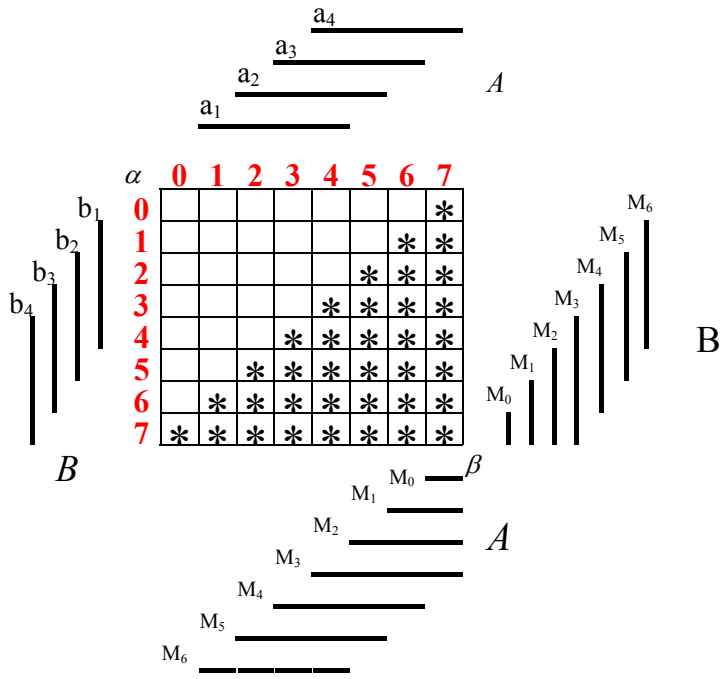


Рис. 1.29

Традиционно в вычислительной технике используется двоичный принцип кодирования оснований систем счисления, а многофазный является естественным для устройств преобразовательной техники и электропривода. При управлении такими устройствами от ЦВМ необходимо рассмотреть возможность их работы не только в многофазных кодах [1.17] – [1.23] , но и для применения смешанного кодирования, если один из операндов представлен, например, в двоичном коде, а другой – в многофазном.

Если результат операции суммирования или вычитания реализуется в многофазном коде, что обычно и требуется в изучаемых нами разделах техники, то ЛФ этих операций по аналогии с (1.11.6) и задании, например операнда $\mathbf{A}^i$ в многофазном коде, а операнда $\mathbf{B}^i$ – в двоичном, будут следующими:

$$\mathbf{Q}^i = \left(\begin{vmatrix} 1 & \underline{4} & \underline{3} & \underline{2} & \underline{1} & 4 & 3 & 2 \\ 2 & 1 & \underline{4} & \underline{3} & \underline{2} & \underline{1} & 4 & 3 \\ 3 & 2 & 1 & \underline{4} & \underline{3} & \underline{2} & \underline{1} & 4 \\ 4 & 3 & 2 & 1 & \underline{4} & \underline{3} & \underline{2} & \underline{1} \end{vmatrix}_{\mathbf{A}^i} \underline{P}^{i-1} \vee \begin{vmatrix} 4 & 3 & 2 & 1 & 4 & 3 & 2 & 1 \\ 1 & 4 & 3 & 2 & 1 & 4 & 3 & 2 \\ 2 & 1 & 4 & 3 & 2 & 1 & 4 & 3 \\ 3 & 2 & 1 & 4 & 3 & 2 & 1 & 4 \end{vmatrix}_{\mathbf{A}^i} P^{i-1} \right) \begin{vmatrix} \underline{3} & \underline{2} & \underline{1} \\ \underline{3} & \underline{2} & 1 \\ \underline{3} & 2 & \underline{1} \\ \underline{3} & 2 & 1 \\ 3 & \underline{2} & \underline{1} \\ 3 & \underline{2} & 1 \\ 3 & 2 & \underline{1} \\ 3 & 2 & 1 \end{vmatrix}_{\mathbf{B}^i}. \qquad (1.11.9)$$

При этом геометрические образы сигналов операций суммирования и вычитания $\mathbf{Q}^i$, $\mathbf{R}^i$, $\mathbf{S}^i$ полностью определяются рис. 1.24 и 1.25.

Необходимо отметить, что для реализации каждой из ЛФ в (1.11.9) можно использовать интегральную схему мультиплексора, которая представляет собой

многовходовой логический элемент с одним выходом, где входы подразделены на информационные и управляющие. При подключении к управляющим входам двоичных сигналов операнда **B(**b_1,b_2,b_3**)** и переноса P^{i-1} , а к информационным входам в определенной последовательности – многофазных сигналов операнда **A** к выходу мультиплексора типа (1 из 16) подключается один из его информационных входов и, следовательно, на выходе будет в соответствии с (1.11.9) сформирован сигнал одной из фаз.

При параллельном формировании сигналов всех фаз необходимо использовать такое же количество мультиплексоров, а при последовательном определении сигналов фаз потребуется одна схема мультиплексора.

1.12. Пример анализа неизбыточных кодов позиционной системы счисления

После краткого обзора синтеза устройств машинной арифметики в позиционных системах счисления возникает необходимость вернуться к началу гл. 1, где сделана попытка систематизации кодов, представляющих позиционную систему счисления. Это было выполнено для того, чтобы присвоить неизбыточному коду конкретного основания системы счисления свой порядковый номер. При этом номер один оставлен за двоичным принципом кодирования. Очевидно, что число неизбыточных кодов для конкретной системы счисления n конечно и равно n!.

Примем для любых типов кодов позиционной системы счисления неизменность кодового слова для цифры **0** (**0** $\leftrightarrow \underline{a}_1\ \underline{a}_2 \ldots \underline{a}_i$.). В этом случае число кодов будет уменьшено до значения (n – 1)!. Дальнейшим решением, что следует из предыдущих рассмотрений задач синтеза устройств машинной арифметики, является использование только четных оснований систем счисления. Причем в коде этих систем счисления обязательное условие – наличие сигнала, который является непрерывным множеством цифр второй половины основания системы счисления.

При этом оставшиеся (i – 1) комбинации сигналов кода могут быть одинаковыми на первой и второй половине цифр основания либо иметь симметричное расположение комбинаций на второй половине относительно первой половины цифр основания системы счисления.

Представленные выше ограничения на использование кодов в позиционных системах счисления позволяют весьма просто, например в суммирующем либо вычитающем устройствах, формировать сигналы переноса и заёма непосредственно по выходным и входным сигналам старших разрядов кода. Это можно реализовать, не используя отдельного полного логического блока для формирования сигнала переноса. Тогда каждому виду симметрии оставшихся (i – 1) кодовых слов будет соответствовать (n/2 – 1)! кодов.

Для пояснения сказанного обратимся к основанию системы счисления, например n=8.

На рис. 1.30, *а* под №1 представлен двоичный принцип кодирования этого основания, где сигнал a_3 = **4** ∨ **5** ∨ **6** ∨ **7** и будет оставаться неизменным при любых принципах кодирования этого основания системы счисления. Цифра **0** определяется логической зависимостью **0** = $\underline{a_1}\underline{a_2}\,\underline{a_3}$, а сигнал цифры **4** будет определяться при других принципах кодирования выбранным соответствием кодов на первой и второй половине цифр основания. Так же в зависимости от этого выбора будут различным образом кодироваться цифры **1**, **5**; **2**, **6**; **3**, **7**. Если в исходном двоичном коде для цифр **1**, **5** принять обозначение состояния сигналов кода *A* ↔ $a_1\underline{a_2}$; для цифр **2**, **6** – *B* ↔ $\underline{a_1}a_2$; для цифр **3**, **7** – *C* ↔ a_1a_2, то в соответствии с выражением (1.2.2) число перестановок, определяющих число кодов, равно шести: *ABC, ACB, BAC, BCA, CAB, CBA*.

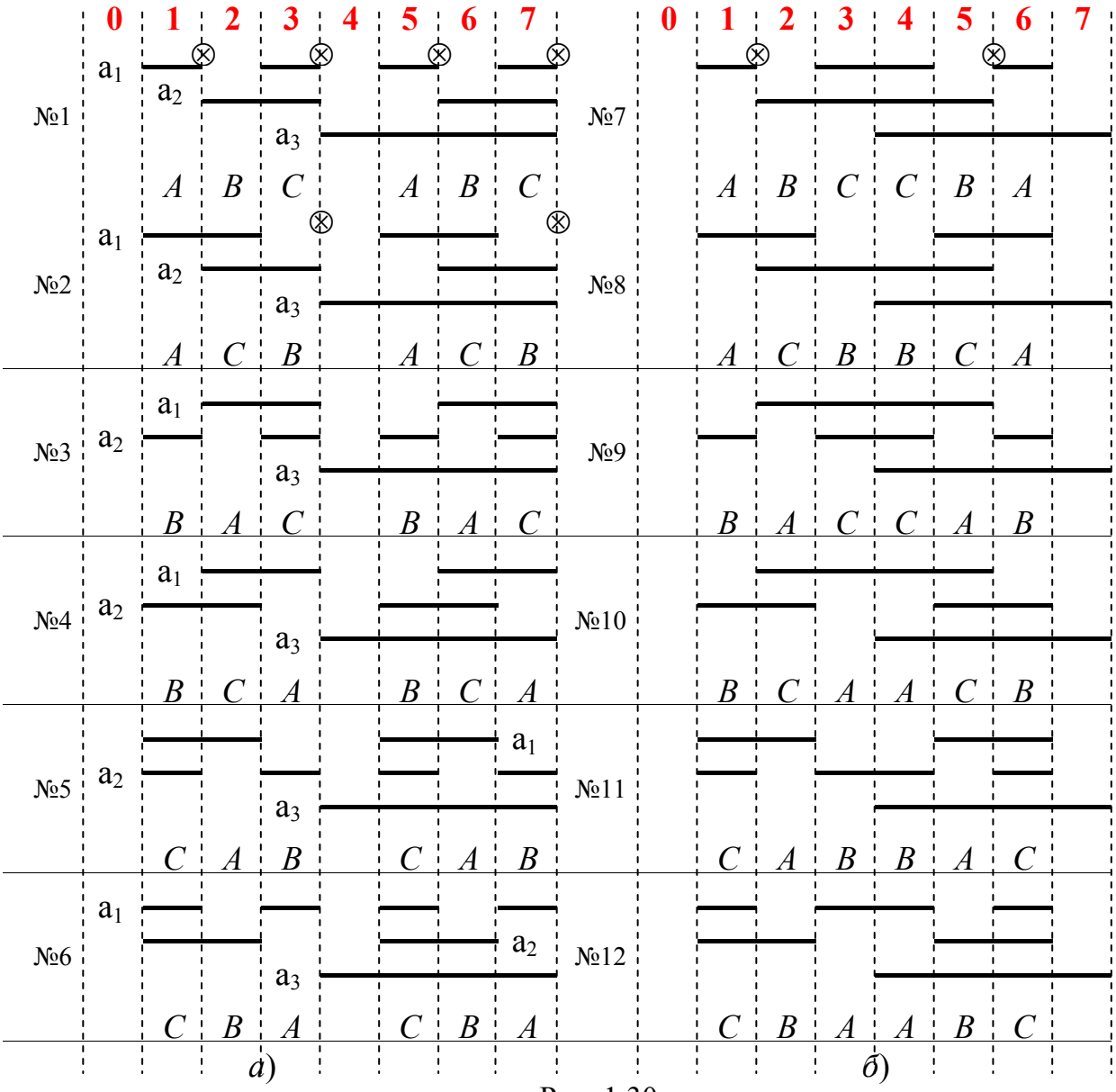


Рис. 1.30

Все эти коды приведены под своими номерами на рис. 1.30, *а*, а на рис. 1.30, *б* изображены коды для симметричного расположения (i – 1) сигналов на второй половине цифр основания системы счисления.

Таким образом, мы получили двенадцать кодов, которые, как все возможные коды, могут быть использованы для выполнения любых арифметических операций. Причем пары кодов №1, №3; №2, №4; №5, №6; а также №7, №9; №8, №10; №11, №12; имеют одинаковые возможности по выполнению арифметических операций. Поэтому будем рассматривать только первые из них: №1, №2, №5, №7, №8, №11. Из этих шести кодов только два имеют официальное название: №1 – двоичный код, №8 – код Грея.

Поскольку позиционные системы счисления в системах электропривода используются не только в арифметических блоках, но и, например, в цифровых преобразователях угла, то к ним предъявляются [1.24] дополнительные требования. В этих устройствах возникает неопределенность считывания информации за счет того, что переход от одного числа к другому сопровождается переменой сигналов кода в нескольких разрядах.

На рис. 1.30 переход от одной цифры к другой, когда это происходит изменением сигналов более чем в одном разряде, отмечен знаком ⊗. При этом коды №5, №11, которые не имеют перед другими кодами каких-либо преимуществ по выполнению арифметических операций и к тому же обладают большим числом нежелательных переходов, исключаются из рассмотрения.

Этот недостаток можно ликвидировать, применив такой код, при котором переход от одного числа к другому сопровождается переменой кода только в одном сигнале. Этому требованию отвечает только код Грея. Достоинством этого кода также является простота перевода кода из прямого в обратный, что выполняется инвертированием только одного сигнала a_3 и упрощает выполнение арифметических операций суммирования и вычитания в блоке каждого разряда.

Общеизвестно, что большим достижением индийской математики было создание системы счисления с нулем. Основным здесь было предложение или, вернее сказать, изобретение обозначать особым знаком (нуль) соответствующий (пустой) разряд. Разряда нет, но само его отсутствие было представлено как наличие «ничего», хотя его нет, но оно имеет обозначение. Нетривиальность этого изобретения, по словам А.Д.Александрова, блестяще выражена в афоризме Дирака, высказанного им в связи с «теорией дырок» (теория позитрона): «Ничто, помещенное во что-нибудь, вполне эквивалентно чему-нибудь, помещенному в ничто».

В нашем случае есть не только обозначение, есть для каждого разряда реально существующий, например, кубик для цифры **0** в многомерном цифровом пространстве. Однако при выполнении каких-либо арифметических операций или других функциональных действий с цифровыми данными по общепринятым законам математики, результат которых затем может отражаться в многомерном цифровом пространстве, цифра нуль, как и положено, есть «ничто».

Поскольку геометрия исходит из наглядных представлений, и в этом ее главная сила, то «она позволяет ухватить в одном представлении то, к чему алгебра и анализ приходят последовательными шагами». Следовательно, там, «где удается провести геометрическую точку зрения и геометрический метод, всегда достигается успех настолько существенный, насколько геометрический взгляд соответствует сущности предмета». В этом нам представится возможность убедиться в последующих главах книги.

* * *

Материалы, изложенные в гл. 1, носят теоретически прикладной характер и позволят в дальнейших главах, не прибегая к дополнительным выводам, сократить объем изложения, синтезировать цифровые блоки машинной арифметики, устройства обнаружения и исправления ошибок, инверторы и конверторы напряжений, аналого-цифровые преобразователи, которые являются составными частями электроприводов постоянного и переменного тока.

Понятия, идущие из наглядной геометрии, вообще имеют в современной науке чрезвычайно большое значение, так что не надо думать, будто наглядное – это низшая, а не высшая математика.

А.Д. Александров

Глава 2

СИНТЕЗ МНОГОВХОДОВЫХ АРИФМЕТИЧЕСКИХ УСТРОЙСТВ И ДРУГИХ ЭЛЕКТРОННЫХ СХЕМ

Многовходовые арифметические устройства, без использования которых невозможно создание высокоэффективных быстродействующих устройств машинной арифметики цифровых электроприводов, строятся, как правило, на базе двух- и трехвходовых схем сумматоров, где третий вход предназначен для подачи сигналов переноса результата сложения в младшем разряде сумматора.

Предложение [2.1] использовать в сумматорах, например блоков умножения и деления трехвходовых одноразрядных схем, где на третьем входе сигнал имеет основание системы счисления более 2, не нашло практического применения. Причина неудачи в реализации этого предложения заключается в стандартном подходе к выполнению многовходовой операции суммирования, где все сводится к выполнению логических операций над сигналами единичных цифровых множеств и приводит к неоправданным аппаратурным затратам. В работе предлагаются нетрадиционные подходы, основанные на методе использования многомерных цифровых множеств, к решению поставленной задачи.

2.1. Основные положения синтеза многовходовых сумматоров с использованием сигналов угловых множеств

Логические зависимости (1.8.1), представленные в ДНФ для определения сигналов непрерывных цифровых угловых множеств, в дальнейшем одномерных угловых множеств, на примере операнда $\mathbf{A[\mu_0(A)}$, ... , $\mathbf{\mu_{n-1}(A)]}$, как показано выше, справедливы для любых значений основания системы счисления и законов кодирования цифр этих оснований.

Проведем изложения основ синтеза, как и раньше, на примере системы счисления основания n=8 с распространением полученных результатов на любые значения оснований систем счисления. При этом оставим за рамками нашего освещения суммирующие устройства, где по внешнему сигналу устройство переходит в режим вычитания операнд. Несмотря на большое значение таких

перестраиваемых многовходовых сумматоров в цифровых системах управления, например электроприводов, их анализ требует отдельного подхода.

Обратимся к табл. 1.11.1 результата сложения цифр одного разряда операнд **A** и **B**.

Исходя из арифметической операции суммирования (**A** + **B**) , введем определение непрерывных двухмерных угловых цифровых множеств μ_{ii}**(AB)**. Принимая, что результат операции суммирования является двухразрядным, названные угловые множества запишутся следующим образом: μ^{α}_{00}**(AB)=00**; μ^{α}_{01}**(AB)= 00** $\vee$ **01**; ... μ^{α}_{15}**(AB)= 00** $\vee$ **01** $\vee$ ...$\vee$ **15**; μ^{α}_{16}**(AB)=00** $\vee$ **01** $\vee$ ...$\vee$ **16**= 1*, где ii – натуральное значение числа результата суммирования (i=**0**, ... **n–1**).

Эти двухмерные угловые множества представляются через одномерные угловые множества операнд **A** и **B** в матричной индексной форме записи:

$$
\begin{array}{c|c}
\begin{array}{c}00\\01\\02\\03\\04\\05\\06\\07\\10\\11\\12\\13\\14\\15\\16\end{array} & \begin{array}{c}\alpha\\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \mu(AB)\end{array}
\end{array}
=
\begin{array}{c|c}
\begin{array}{cccccccc}
0 & & & & & & & \\
1 & 0 & & & & & & \\
2 & 1 & 0 & & & & & \\
3 & 2 & 1 & 0 & & & & \\
4 & 3 & 2 & 1 & 0 & & & \\
5 & 4 & 3 & 2 & 1 & 0 & & \\
6 & 5 & 4 & 3 & 2 & 1 & 0 & \\
1^* & 6 & 5 & 4 & 3 & 2 & 1 & 0 \\
 & 1^* & 6 & 5 & 4 & 3 & 2 & 1 \\
 & & 1^* & 6 & 5 & 4 & 3 & 2 \\
 & & & 1^* & 6 & 5 & 4 & 3 \\
 & & & & 1^* & 6 & 5 & 4 \\
 & & & & & 1^* & 6 & 5 \\
 & & & & & & 1^* & 6 \\
 & & & & & & & 1^*
\end{array} & \begin{array}{c}\alpha\\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \\ \mu(A)\end{array}
\end{array}
\begin{array}{c|c}
\begin{array}{c}0\\1\\2\\3\\4\\5\\6\\1^*\end{array} & \begin{array}{c}\alpha\\ \\ \\ \\ \\ \\ \\ \mu(B)\end{array}
\end{array}
\quad (2.1.1)
$$

На рис. 2.1 приведены в двухмерном цифровом пространстве координат μ^{α}**(A)**, μ^{α}**(B)** геометрические образы сигналов этих угловых множеств. Поскольку $\mu_{00} \supset \mu_{01} \supset \mu_{02} \supset \ldots \supset \mu_{15} \supset \mu_{16}$, то представить их на одном двухмерном пространстве невозможно. Поэтому, строго говоря, это трехмерное пространство, где третья координата содержит угловые множества $\mu_{00}, \ldots, \mu_{16}$.

Для многофазного принципа кодирования оснований систем счисления ЛФ, связывающие сигналы фаз операнда с непрерывными одномерными угловыми множествами, наиболее просты. Еще более простые ЛФ для прерывистых одномерных угловых множеств $\mathbf{M}^{\alpha}_{0}$**(A)**, ... , $\mathbf{M}^{\alpha}_{n-1}$**(A)**, содержащие старшую цифру одноименного непрерывного углового множества.

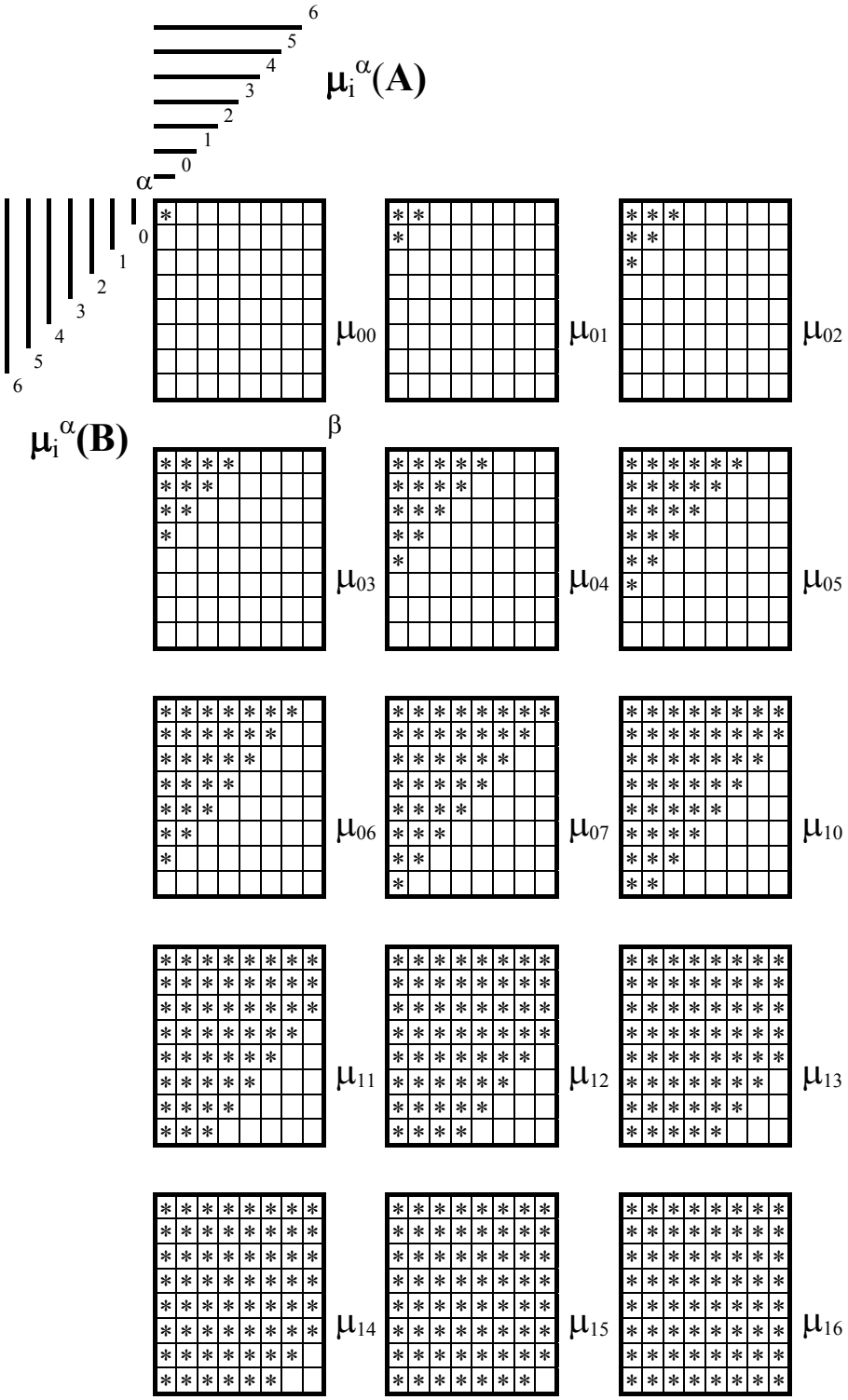


Рис. 2.1

Связь между непрерывными и прерывными угловыми множествами полюса α, а также между сигналами фаз, например операнда **A**, записывается следующим образом:

$\mu^{\alpha}{}_0(\mathbf{A}) = \mathbf{M}^{\alpha}{}_0(\mathbf{A}) = \underline{a}_1\underline{a}_4$; $\mu^{\alpha}{}_1(\mathbf{A}) = \mathbf{M}^{\alpha}{}_1(\mathbf{A}) = \underline{a}_2\underline{a}_4$; $\mu^{\alpha}{}_2(\mathbf{A}) = \mathbf{M}^{\alpha}{}_2(\mathbf{A}) = \underline{a}_3\underline{a}_4$; $\mu^{\alpha}{}_3(\mathbf{A}) = \mathbf{M}^{\alpha}{}_3(\mathbf{A}) = \underline{a}_4$; $\mu^{\alpha}{}_4(\mathbf{A}) = \mathbf{M}^{\alpha}{}_4(\mathbf{A}) \vee \underline{a}_4 = a_1 \vee \underline{a}_4$; $\mu^{\alpha}{}_5(\mathbf{A}) = \mathbf{M}^{\alpha}{}_5(\mathbf{A}) \vee \underline{a}_4 = a_2 \vee \underline{a}_4$; $\mu^{\alpha}{}_6(\mathbf{A}) = \mathbf{M}^{\alpha}{}_6(\mathbf{A}) \vee \underline{a}_4 = a_3 \vee \underline{a}_4$; $\mu^{\alpha}{}_7(\mathbf{A}) = 1^*$.

Тогда ЛФ (2.1.1) могут быть приведены к виду

$$
\begin{array}{c|c|cccccccc|c|c|c|}
\mathbf{00} & \alpha & \mathbf{0} & & & & & & & & & & & 0^* \\
\mathbf{01} & & \mathbf{1} & \mathbf{0} & & & & & & & & & & 0^* \\
\mathbf{02} & & \mathbf{2} & \mathbf{1} & \mathbf{0} & & & & \mathbf{0^*} & & & & & 0^* \\
\mathbf{03} & & \mathbf{3} & \mathbf{2} & \mathbf{1} & \mathbf{0} & & & & & & & & 0^* \\
\mathbf{04} & & \mathbf{4} & \mathbf{3} & \mathbf{2} & \mathbf{1} & \mathbf{0} & & & & \mathbf{0} & \alpha & & 0^* \\
\mathbf{05} & & \mathbf{5} & \mathbf{4} & \mathbf{3} & \mathbf{2} & \mathbf{1} & \mathbf{0} & & & \mathbf{1} & & & 0^* \\
\mathbf{06} & & \mathbf{6} & \mathbf{5} & \mathbf{4} & \mathbf{3} & \mathbf{2} & \mathbf{1} & \mathbf{0} & & \mathbf{2} & & & 0^* \\
\mathbf{07} & = & 1^* & \mathbf{6} & \mathbf{5} & \mathbf{4} & \mathbf{3} & \mathbf{2} & \mathbf{1} & \mathbf{0} & \mathbf{3} & & \vee & 0^* \\
\mathbf{10} & & & 1^* & \mathbf{6} & \mathbf{5} & \mathbf{4} & \mathbf{3} & \mathbf{2} & \mathbf{1} & \mathbf{4} & & & 0^* \\
\mathbf{11} & & & & 1^* & \mathbf{6} & \mathbf{5} & \mathbf{4} & \mathbf{3} & \mathbf{2} & \mathbf{5} & & & 0^* \\
\mathbf{12} & & & & & 1^* & \mathbf{6} & \mathbf{5} & \mathbf{4} & \mathbf{3} & \mathbf{6} & & & 0^* \\
\mathbf{13} & & & & & & 1^* & \mathbf{6} & \mathbf{5} & \mathbf{4} & 1^* & & & \underline{a}_4 \vee \underline{b}_4 \\
\mathbf{14} & & & & & & & 1^* & \mathbf{6} & \mathbf{5} & & \mathbf{M(B)} & & \underline{a}_4 \vee \underline{b}_4 \\
\mathbf{15} & & & & \mathbf{0^*} & & & & 1^* & \mathbf{6} & & & & \underline{a}_4 \vee \underline{b}_4 \\
\mathbf{16} & \mu(\mathbf{AB}) & & & & & & & & 1^* & \mathbf{M(A)} & & & 0^*
\end{array}
\quad .
$$

(2.1.2)

На рис. 2.2 изображены геометрические образы сигналов прерывистых двухмерных угловых множеств $\mathbf{M}^{\alpha}{}_{ii}(\mathbf{AB})$, которые составляют первые части ДНФ логических функций (2.1.2). Прерывистость этих угловых множеств наблюдается в составляющих $\mathbf{M}^{\alpha}{}_{13}$, $\mathbf{M}^{\alpha}{}_{14}$, $\mathbf{M}^{\alpha}{}_{15}$.

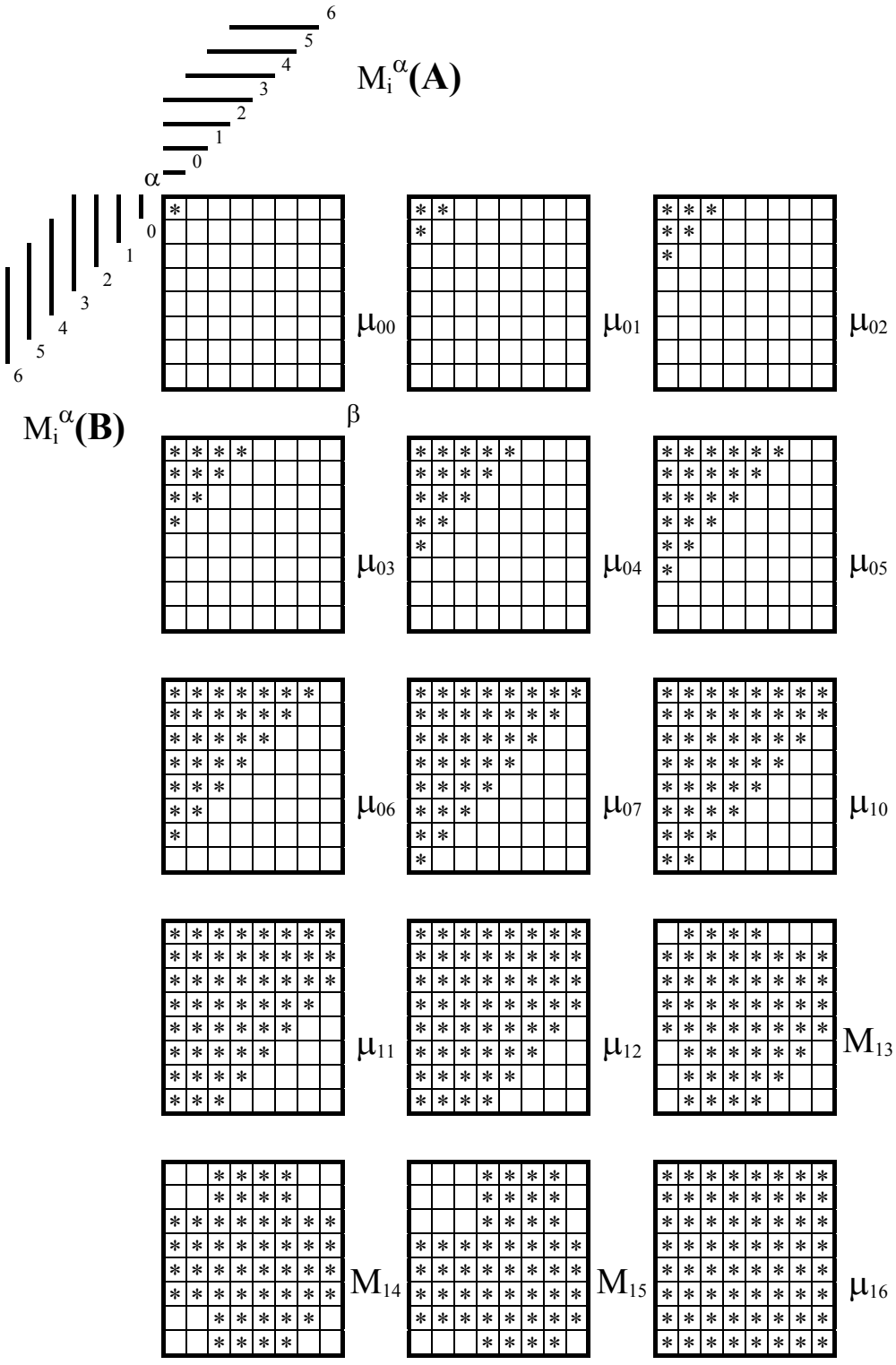

M_i^{α}(A)
M_i^{α}(B)
α
β
μ_{00}
μ_{01}
μ_{02}
μ_{03}
μ_{04}
μ_{05}
μ_{06}
μ_{07}
μ_{10}
μ_{11}
μ_{12}
M_{13}
M_{14}
M_{15}
μ_{16}

Рис. 2.2

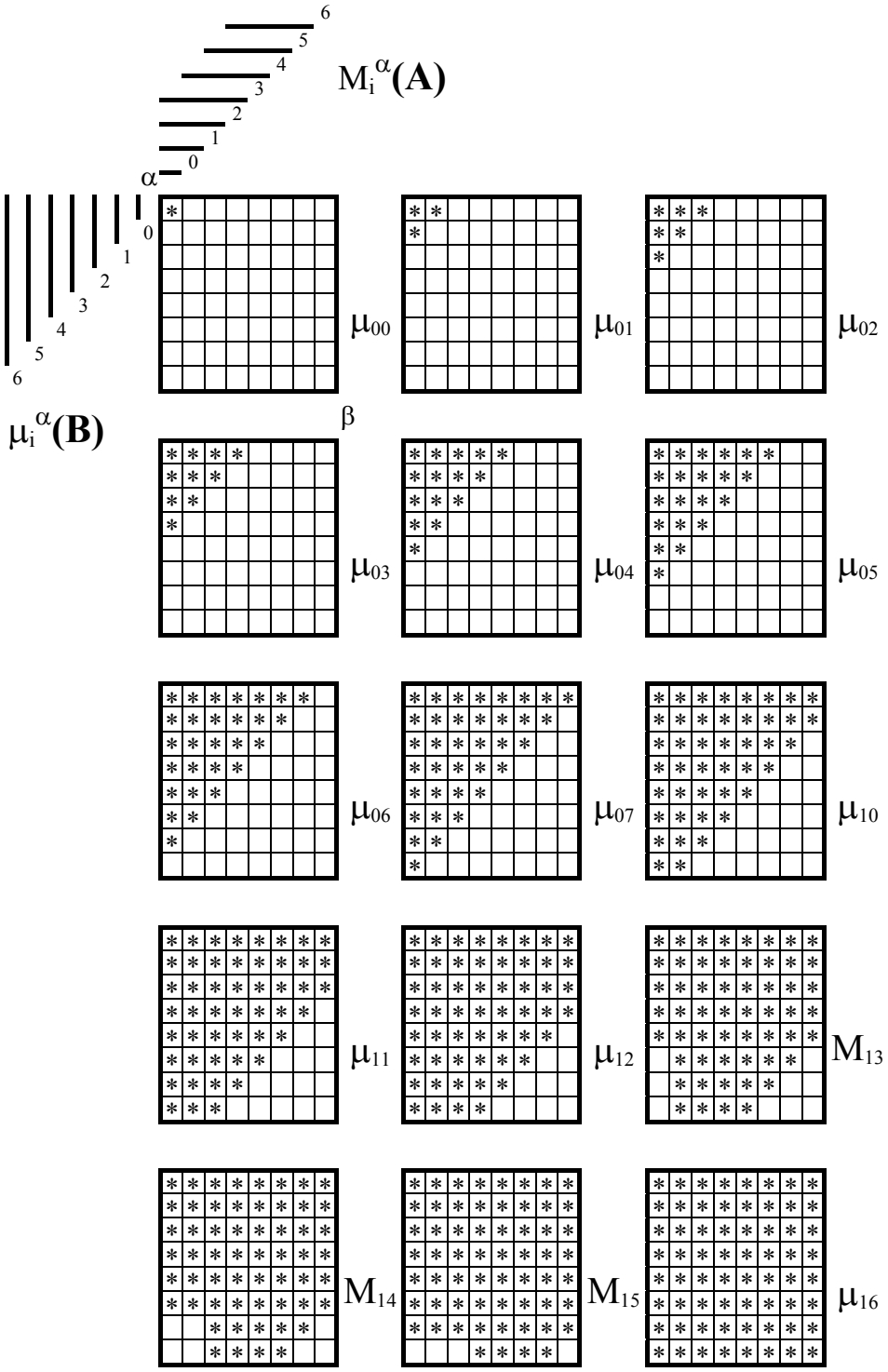
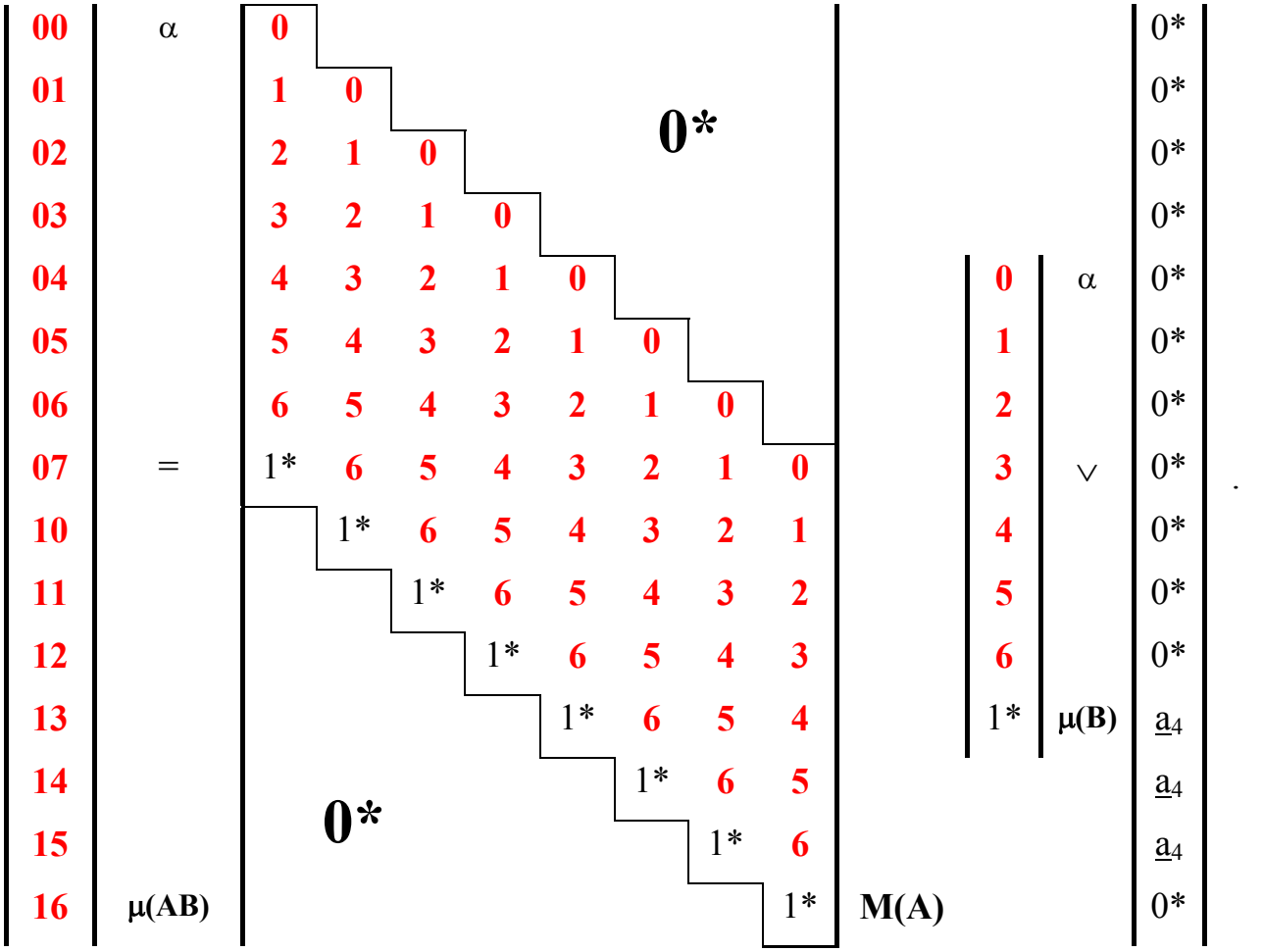


Рис. 2.3

Если, например, операнд **A** представить прерывистыми одномерными угловыми множествами $\mathbf{M}^{\alpha}{}_0\mathbf{(A)}$, ... , $\mathbf{M}^{\alpha}{}_6\mathbf{(A)}$, а операнд **B** – непрерывными угловыми множествами $\boldsymbol{\mu}^{\alpha}{}_0\mathbf{(A)}$, ... , $\boldsymbol{\mu}^{\alpha}{}_6\mathbf{(A)}$, то непрерывные двухмерные угловые множества $\boldsymbol{\mu}^{\alpha}{}_{ii}\mathbf{(AB)}$ можно записать в следующем виде:



(2.1.3)

При этом геометрические образы сигналов прерывистых угловых множеств $\mathbf{M}^{\alpha}_{ii}\mathbf{(AB)}$ (рис. 2.3), образующих первые части ДНФ логических функций, также содержат прерывистые составляющие только в $\mathbf{M}^{\alpha}_{13}$, $\mathbf{M}^{\alpha}_{14}$, $\mathbf{M}^{\alpha}_{15}$.

Из сопоставления рис. 2.2 и 2.3, а также свойств коммутативности операции суммирования очевидно построение аналогичных геометрических образов и записи ЛФ непрерывных угловых множеств $\mu^{\alpha}_{ii}\mathbf{(AB)}$, если операнд **A** задан в непрерывных угловых множествах, а операнд **B** – прерывистых.

Сигналы фаз результата сложения на выходе сумматора при известности непрерывных угловых множеств относительно полюса α двухмерного пространства запишутся следующим образом:

$$q_1\mathbf{(AB)}=\underline{\mu}^{\alpha}_{00}\mathbf{(AB)}\,\mu^{\alpha}_{04}\mathbf{(AB)} \vee \underline{\mu}^{\alpha}_{10}\mathbf{(AB)}\,\mu^{\alpha}_{14}\mathbf{(AB)};$$

$$q_2\mathbf{(AB)}=\underline{\mu}^{\alpha}_{01}\mathbf{(AB)}\,\mu^{\alpha}_{05}\mathbf{(AB)} \vee \underline{\mu}^{\alpha}_{11}\mathbf{(AB)}\,\mu^{\alpha}_{15}\mathbf{(AB)};$$

$$q_3\mathbf{(AB)}=\underline{\mu}^{\alpha}_{02}\mathbf{(AB)}\,\mu^{\alpha}_{06}\mathbf{(AB)} \vee \underline{\mu}^{\alpha}_{12}\mathbf{(AB)};$$

$$q_4\mathbf{(AB)}=\underline{\mu}^{\alpha}_{03}\mathbf{(AB)}\,\mu^{\alpha}_{07}\mathbf{(AB)} \vee \underline{\mu}^{\alpha}_{13}\mathbf{(AB)}, \qquad (2.1.4)$$

а для второго разряда, т.е. для сигнала переноса $P_1=\mu^{\alpha}_{07}\mathbf{(AB)}$, $P_2=P_3=P_4=0^*$.

Наиболее целесообразно в этих ЛФ по минимальным аппаратурным затратам использовать одновременно сигналы одномерных и многомерных угловых множеств относительно полюсов β и α.

Связь между упомянутыми множествами очевидна на примере двухмерных множеств и представляется взаимно обращаемыми зависимостями $\mu^{\beta}_{16}(AB)=\mu^{\alpha}_{00}(A^{\bullet}B^{\bullet})$, $\mu^{\beta}_{15}(AB)=\mu^{\alpha}_{01}(A^{\bullet}B^{\bullet})$ и т.д., т.е. $\mu^{\beta}_{ii}(AB)=\mu^{\alpha}_{kk}(A^{\bullet}B^{\bullet})$, где (ii + kk)=16, а прямые и инверсные сигналы этих множеств связаны простыми соотношениями $\underline{\mu}^{\alpha}_{ii}(AB)=\mu^{\beta}_{(ii-01)}(AB)$ либо $\underline{\mu}^{\beta}_{ii}(AB)=\mu^{\alpha}_{(ii+01)}(AB)$.

Тогда (2.1.4) может быть представлено в виде, где при определении сигналов непрерывных угловых множеств $\mu^{\alpha}_{ii}(AB)$, заполняющих только половину многомерного цифрового пространства, используются две группы одномерных угловых множеств: $\mu^{\alpha}_{i} = \mathbf{M}^{\alpha}_{i}$ (i = 0, 1 , 2 ,3) и $\mu^{\beta}_{i} = \mathbf{M}^{\beta}_{i}$ (i = 7 , 6 ,5), каждая из которых располагается в одной из половин одномерного пространства операнд.

Таким образом, можно записать:

$$q_1(AB)=\underline{\mu}^{\alpha}_{00}(AB)\,\mu^{\alpha}_{04}(AB) \vee \mu^{\beta}_{11}(AB)\,\underline{\mu}^{\beta}_{15}(AB);$$

$$q_2(AB)=\underline{\mu}^{\alpha}_{01}(AB)\,\mu^{\alpha}_{05}(AB) \vee \mu^{\beta}_{12}(AB)\,\underline{\mu}^{\beta}_{16}(AB);$$

$$q_3(AB)=\underline{\mu}^{\alpha}_{02}(AB)\,\mu^{\alpha}_{06}(AB) \vee \mu^{\beta}_{13}(AB);$$

$$q_4(AB)=\underline{\mu}^{\alpha}_{03}(AB)\,\mu^{\alpha}_{07}(AB) \vee \mu^{\beta}_{14}(AB)\,. \qquad (2.1.5)$$

При этом искомые две группы двухмерных угловых множеств могут быть представлены выражениями:

$$\begin{vmatrix} 00 \\ 01 \\ 02 \\ 03 \\ 04 \\ 05 \\ 06 \end{vmatrix} \begin{matrix} \alpha \\ \\ \\ = \\ \\ \\ \mu(AB) \end{matrix} \begin{vmatrix} \mu^{\alpha}_{0} & & & & & & \\ \mu^{\alpha}_{1} & \mu^{\alpha}_{0} & & & & & \\ \mu^{\alpha}_{2} & \mu^{\alpha}_{1} & \mu^{\alpha}_{0} & & & & \\ \mu^{\alpha}_{3} & \mu^{\alpha}_{2} & \mu^{\alpha}_{1} & \mu^{\alpha}_{0} & & & \\ \underline{\mu}^{\beta}_{5} & \mu^{\alpha}_{3} & \mu^{\alpha}_{2} & \mu^{\alpha}_{1} & \mu^{\alpha}_{0} & & \\ \underline{\mu}^{\beta}_{6} & \underline{\mu}^{\beta}_{5} & \mu^{\alpha}_{3} & \mu^{\alpha}_{2} & \mu^{\alpha}_{1} & \mu^{\alpha}_{0} & \\ \underline{\mu}^{\beta}_{7} & \underline{\mu}^{\beta}_{6} & \underline{\mu}^{\beta}_{5} & \mu^{\alpha}_{3} & \mu^{\alpha}_{2} & \mu^{\alpha}_{1} & \mu^{\alpha}_{0} \end{vmatrix} \mathbf{0^*} \begin{matrix} \\ \\ \\ \\ \\ \\ \\ A \end{matrix} \begin{vmatrix} \mu^{\alpha}_{0} \\ \mu^{\alpha}_{1} \\ \mu^{\alpha}_{2} \\ \mu^{\alpha}_{3} \\ \underline{\mu}^{\beta}_{5} \\ \underline{\mu}^{\beta}_{6} \\ \underline{\mu}^{\beta}_{7} \end{vmatrix} \begin{matrix} \\ \\ \\ , \\ \\ \\ \\ \mathbf{B} \end{matrix}$$

$$\begin{vmatrix} 16 \\ 15 \\ 14 \\ 13 \\ 12 \\ 11 \\ 10 \end{vmatrix} \begin{matrix} \beta \\ \\ \\ = \\ \\ \\ \mu(AB) \end{matrix} \begin{vmatrix} \mu^{\beta}_{7} & & & & & & \\ \mu^{\beta}_{6} & \underline{\mu}^{\beta}_{7} & & & & & \\ \mu^{\beta}_{5} & \mu^{\beta}_{6} & \underline{\mu}^{\beta}_{7} & & & & \\ \underline{\mu}^{\alpha}_{3} & \mu^{\beta}_{5} & \mu^{\beta}_{6} & \underline{\mu}^{\beta}_{7} & & & \\ \underline{\mu}^{\alpha}_{2} & \underline{\mu}^{\alpha}_{3} & \mu^{\beta}_{5} & \mu^{\beta}_{6} & \underline{\mu}^{\beta}_{7} & & \\ \underline{\mu}^{\alpha}_{1} & \underline{\mu}^{\alpha}_{2} & \underline{\mu}^{\alpha}_{3} & \mu^{\beta}_{5} & \mu^{\beta}_{6} & \underline{\mu}^{\beta}_{7} & \\ \underline{\mu}^{\alpha}_{0} & \underline{\mu}^{\alpha}_{1} & \underline{\mu}^{\alpha}_{2} & \underline{\mu}^{\alpha}_{3} & \mu^{\beta}_{5} & \mu^{\beta}_{6} & \underline{\mu}^{\beta}_{7} \end{vmatrix} \mathbf{0^*} \begin{matrix} \\ \\ \\ \\ \\ \\ \\ A \end{matrix} \begin{vmatrix} \underline{\mu}^{\beta}_{7} \\ \mu^{\beta}_{6} \\ \mu^{\beta}_{5} \\ \underline{\mu}^{\alpha}_{3} \\ \underline{\mu}^{\alpha}_{2} \\ \underline{\mu}^{\alpha}_{1} \\ \underline{\mu}^{\alpha}_{0} \end{vmatrix} \begin{matrix} \\ \\ \\ , \\ \\ \\ \\ \mathbf{B} \end{matrix} \qquad (2.1.6)$$

либо в более компактной форме записи, где в матрицах для μ^j_i и $\underline{\mu}^j_i$ указаны значения $j = \alpha, \beta$; $i = 0, \ldots, 7$, т.е. $\mu^j_i \equiv i^j$ и $\underline{\mu}^j_i \equiv \underline{i}^j$:

$$
\left|\begin{array}{c|c}
00 & \alpha \\
01 & \\
02 & \\
03 & \\
04 & \\
05 & \\
06 & \mu(AB)
\end{array}\right|
=
\left|\begin{array}{ccccccc}
0^\alpha & & & & & & \\
1^\alpha & 0^\alpha & & & \mathbf{0^*} & & \\
2^\alpha & 1^\alpha & 0^\alpha & & & & \\
3^\alpha & 2^\alpha & 1^\alpha & 0^\alpha & & & \\
\underline{5}^\beta & 3^\alpha & 2^\alpha & 1^\alpha & 0^\alpha & & \\
\underline{6}^\beta & \underline{5}^\beta & 3^\alpha & 2^\alpha & 1^\alpha & 0^\alpha & \\
\underline{7}^\beta & \underline{6}^\beta & \underline{5}^\beta & 3^\alpha & 2^\alpha & 1^\alpha & 0^\alpha
\end{array}\right|_{\mu^j_i(A)}
\left|\begin{array}{c}
0^\alpha \\
1^\alpha \\
2^\alpha \\
3^\alpha \\
\underline{5}^\beta \\
\underline{6}^\beta \\
\underline{7}^\beta
\end{array}\right|_{\mu^j_i(B)},
$$

$$
\left|\begin{array}{c|c}
16 & \beta \\
15 & \\
14 & \\
13 & \\
12 & \\
11 & \\
10 & \mu(AB)
\end{array}\right|
=
\left|\begin{array}{ccccccc}
7^\beta & & & & & & \\
6^\beta & 7^\beta & & & \mathbf{0^*} & & \\
5^\beta & 6^\beta & 7^\beta & & & & \\
\underline{3}^\alpha & 5^\beta & 6^\beta & 7^\beta & & & \\
\underline{2}^\alpha & \underline{3}^\alpha & 5^\beta & 6^\beta & 7^\beta & & \\
\underline{1}^\alpha & \underline{2}^\alpha & \underline{3}^\alpha & 5^\beta & 6^\beta & 7^\beta & \\
\underline{0}^\alpha & \underline{1}^\alpha & \underline{2}^\alpha & \underline{3}^\alpha & 5^\beta & 6^\beta & 7^\beta
\end{array}\right|_{\mu^j_i(A)}
\left|\begin{array}{c}
7^\beta \\
6^\beta \\
5^\beta \\
\underline{3}^\alpha \\
\underline{2}^\alpha \\
\underline{1}^\alpha \\
\underline{0}^\alpha
\end{array}\right|_{\mu^j_i(B)}.
\qquad (2.1.7)
$$

Сигналы двухмерных множеств (2.1.6) и (2.1.7) могут, в отличие от сигналов (2.1.5), предназначенных для прямого выхода на шины устройства, непосредственно представлять результат суммирования **(A+B)**. Это происходит, например, если выход данного сумматора является входом следующего сумматора.

Для синтеза трехвходового сумматора необходимо построить объемную таблицу Пифагора трех слагаемых **(A+B+C)** в трехмерном цифровом пространстве. Она должна будет состоять из n таблиц, первая из которых совпадает с табл.1.11.1 при **C** = 0 , в следующей таблице, где **C** = 1, все результы суммирования табл.1.11.1 будут увеличены на единицу младшего разряда и т.д. вплоть до последней восьмой таблицы, где **C** = 7, и все данные табл. 1.11.1 будут увеличены на семь единиц младшего разряда.

Проводя аналогичные предыдущему выкладки, можно представить ЛФ сигналов двух групп трехмерных непрерывных угловых множеств μ^α_i**(ABC)** (i = 00, ... , 12) и μ^β_i**(ABC)** (i= 25, ... , 14) для операции суммирования.

Эти угловые множества полюсов α и β многомерного цифрового пространства в компактной матричной ДНФ записи равны логическим произведениям двух матриц μ^α**(ABC)** = μ^α**(AB)** μ^α**(C)** и μ^β**(ABC)** = μ^β**(AB)** μ^β**(C)**, что представляется следующим образом:

00	α		00$^{\alpha}$							0$^{\alpha}$	
01			01$^{\alpha}$	00$^{\alpha}$						1$^{\alpha}$	
02			02$^{\alpha}$	01$^{\alpha}$	00$^{\alpha}$					2$^{\alpha}$	
03			03$^{\alpha}$	02$^{\alpha}$	01$^{\alpha}$	00$^{\alpha}$				3$^{\alpha}$	,
04			04$^{\alpha}$	03$^{\alpha}$	02$^{\alpha}$	01$^{\alpha}$	00$^{\alpha}$			5$^{\beta}$	
05		=	05$^{\alpha}$	04$^{\alpha}$	03$^{\alpha}$	02$^{\alpha}$	01$^{\alpha}$	00$^{\alpha}$		6$^{\beta}$	
06			06$^{\alpha}$	05$^{\alpha}$	04$^{\alpha}$	03$^{\alpha}$	02$^{\alpha}$	01$^{\alpha}$	00$^{\alpha}$	7$^{\beta}$	
07			10$^{\beta}$	06$^{\alpha}$	05$^{\alpha}$	04$^{\alpha}$	03$^{\alpha}$	02$^{\alpha}$	01$^{\alpha}$	μ^{j}_{i} (C)	
10			11$^{\beta}$	10$^{\beta}$	06$^{\alpha}$	05$^{\alpha}$	04$^{\alpha}$	03$^{\alpha}$	02$^{\alpha}$		
11			12$^{\beta}$	11$^{\beta}$	10$^{\beta}$	06$^{\alpha}$	05$^{\alpha}$	04$^{\alpha}$	03$^{\alpha}$		
12	μ (ABC)		13$^{\beta}$	12$^{\beta}$	11$^{\beta}$	10$^{\beta}$	06$^{\alpha}$	05$^{\alpha}$	04$^{\alpha}$	μ^{j}_{i} (AB)	(2.1.8)

25	β		16$^{\beta}$							7$^{\beta}$	
24			15$^{\beta}$	16$^{\beta}$						6$^{\beta}$	
23			14$^{\beta}$	15$^{\beta}$	16$^{\beta}$					5$^{\beta}$	
22			13$^{\beta}$	14$^{\beta}$	15$^{\beta}$	16$^{\beta}$				3$^{\alpha}$	.
21		=	12$^{\beta}$	13$^{\beta}$	14$^{\beta}$	15$^{\beta}$	16$^{\beta}$			2$^{\alpha}$	
20			11$^{\beta}$	12$^{\beta}$	13$^{\beta}$	14$^{\beta}$	15$^{\beta}$	16$^{\beta}$		1$^{\alpha}$	
17			10$^{\beta}$	11$^{\beta}$	12$^{\beta}$	13$^{\beta}$	14$^{\beta}$	15$^{\beta}$	16$^{\beta}$	0$^{\alpha}$	
16			06$^{\alpha}$	10$^{\beta}$	11$^{\beta}$	12$^{\beta}$	13$^{\beta}$	14$^{\beta}$	15$^{\beta}$	μ^{j}_{i} (C)	
15			05$^{\alpha}$	06$^{\alpha}$	10$^{\beta}$	11$^{\beta}$	12$^{\beta}$	13$^{\beta}$	14$^{\beta}$		
14	μ (ABC)		04$^{\alpha}$	05$^{\alpha}$	06$^{\alpha}$	10$^{\beta}$	11$^{\beta}$	12$^{\beta}$	13$^{\beta}$	μ^{j}_{i} (AB)	(2.1.9)

Сигналы фаз результата сложения трех операнд и сигналы переноса определяются по логическим зависимостям:

$$q_1(\mathbf{ABC})= \mu^{\alpha}_{04}(3)\,\underline{\mu}^{\alpha}_{00}(3) \vee \underline{\mu}^{\alpha}_{10}(3)\,\underline{\mu}^{\beta}_{15}(3) \vee \mu^{\beta}_{21}(3)\,\underline{\mu}^{\beta}_{25}(3);$$

$$q_2(\mathbf{ABC})= \mu^{\alpha}_{05}(3)\,\underline{\mu}^{\alpha}_{01}(3) \vee \underline{\mu}^{\alpha}_{11}(3)\,\underline{\mu}^{\beta}_{16}(3) \vee \mu^{\beta}_{22}(3);$$

$$q_3(\mathbf{ABC})= \mu^{\alpha}_{06}(3)\,\underline{\mu}^{\alpha}_{02}(3) \vee \underline{\mu}^{\alpha}_{12}(3)\,\underline{\mu}^{\beta}_{17}(3) \vee \mu^{\beta}_{23}(3); \qquad (2.1.10)$$

$$q_4(\mathbf{ABC})= \mu^{\alpha}_{07}(3)\,\underline{\mu}^{\alpha}_{03}(3) \vee \mu^{\beta}_{14}(3)\,\underline{\mu}^{\beta}_{20}(3) \vee \mu^{\beta}_{24}(3);$$

$$P_1(\mathbf{ABC})=\underline{\mu}^{\alpha}_{07}(3),\ P_2(\mathbf{ABC})= \mu^{\beta}_{20}(3),\ P_3(\mathbf{ABC}) = P_4(\mathbf{ABC})=0^*,$$

где с целью упрощения записи в угловых множествах не производится перечисления операнд, а просто указано их число, например, вместо $\mu^{\alpha}{}_{04}$ **(ABC)** записано $\mu^{\alpha}{}_{04}$ **(3)** и т.д.

Для четырех слагаемых **(A+B+C+D)** объемная таблица Пифагора будет составляться из n объемных, только что представленных трехмерных таблиц.

В них каждая последующая будет получаться из предыдущей трехмерной таблицы увеличением результата суммирования на единицу младшего разряда. Тогда ЛФ угловых множеств полюсов α и β для операции суммирования $\mu^{\alpha}{}_{i}$ **(ABCD)** (i= 00, ... , 15) и $\mu^{\beta}{}_{i}$ **(ABCD)** (i= 34, ... , 17) предстанут в следующем виде:

00	α	00^{α}							0^{α}	
01		01^{α}	00^{α}				**0***		1^{α}	
02		02^{α}	01^{α}	00^{α}					2^{α}	
03		03^{α}	02^{α}	01^{α}	00^{α}				3^{α}	
04		04^{α}	03^{α}	02^{α}	01^{α}	00^{α}			$\underline{5}^{\beta}$	,
05		05^{α}	04^{α}	03^{α}	02^{α}	01^{α}	00^{α}		$\underline{6}^{\beta}$	
06	=	06^{α}	05^{α}	04^{α}	03^{α}	02^{α}	01^{α}	00^{α}	$\underline{7}^{\beta}$	
07		07^{α}	06^{α}	05^{α}	04^{α}	03^{α}	02^{α}	01^{α}	$\mu^{j}{}_{i}$**(D)**	
10		10^{α}	07^{α}	06^{α}	05^{α}	04^{α}	03^{α}	02^{α}		
11		11^{α}	10^{α}	07^{α}	06^{α}	05^{α}	04^{α}	03^{α}		
12		12^{α}	11^{α}	10^{α}	07^{α}	06^{α}	05^{α}	04^{α}		
13		$\underline{13}^{\beta}$	12^{α}	11^{α}	10^{α}	07^{α}	06^{α}	05^{α}		
14		$\underline{14}^{\beta}$	$\underline{13}^{\beta}$	12^{α}	11^{α}	10^{α}	07^{α}	06^{α}		
15	μ**(ABCD)**	$\underline{15}^{\beta}$	$\underline{14}^{\beta}$	$\underline{13}^{\beta}$	12^{α}	11^{α}	10^{α}	07^{α}	$\mu^{j}{}_{i}$**(ABC)**	

34	β	25^{β}							7^{β}	
33		24^{β}	25^{β}				**0***		6^{β}	
32		23^{β}	24^{β}	25^{β}					5^{β}	
31		22^{β}	23^{β}	24^{β}	25^{β}				$\underline{3}^{\alpha}$	.
30		21^{β}	22^{β}	23^{β}	24^{β}	25^{β}			$\underline{2}^{\alpha}$	
27		20^{β}	21^{β}	22^{β}	23^{β}	24^{β}	25^{β}		$\underline{1}^{\alpha}$	
26	=	17^{β}	20^{β}	21^{β}	22^{β}	23^{β}	24^{β}	25^{β}	$\underline{0}^{\alpha}$	
25		16^{β}	17^{β}	20^{β}	21^{β}	22^{β}	23^{β}	24^{β}	$\mu^{j}{}_{i}$**(D)**	
24		15^{β}	16^{β}	17^{β}	20^{β}	21^{β}	22^{β}	23^{β}		
23		14^{β}	15^{β}	16^{β}	17^{β}	20^{β}	21^{β}	22^{β}		
22		$\underline{12}^{\alpha}$	14^{β}	15^{β}	16^{β}	17^{β}	20^{β}	21^{β}		
21		$\underline{11}^{\alpha}$	$\underline{12}^{\alpha}$	14^{β}	15^{β}	16^{β}	17^{β}	20^{β}		
20		$\underline{10}^{\alpha}$	$\underline{11}^{\alpha}$	$\underline{12}^{\alpha}$	14^{β}	15^{β}	16^{β}	17^{β}		
17	μ**(ABCD)**	$\underline{07}^{\alpha}$	$\underline{10}^{\alpha}$	$\underline{11}^{\alpha}$	$\underline{12}^{\alpha}$	14^{β}	15^{β}	16^{β}	$\mu^{j}{}_{i}$**(ABC)**	(2.1.11)

Сигналы фаз результата сложения четырех операнд и сигналы переноса определяются следующими логическими выражениями:

q_1**(ABCD)**= μ^{α}_{04} **(4)** $\underline{\mu}^{\alpha}_{00}$ **(4)** $\vee$ μ^{α}_{14} **(4)** $\underline{\mu}^{\alpha}_{10}$ **(4)** $\vee$ μ^{β}_{21} **(4)** $\underline{\mu}^{\beta}_{25}$ **(4)** $\vee$ μ^{β}_{31} **(4)**;
q_2**(ABCD)**= μ^{α}_{05} **(4)** $\underline{\mu}^{\alpha}_{01}$ **(4)** $\vee$ μ^{α}_{15} **(4)** $\underline{\mu}^{\alpha}_{11}$ **(4)** $\vee$ μ^{β}_{22} **(4)** $\underline{\mu}^{\beta}_{26}$ **(4)** $\vee$ μ^{β}_{32} **(4)**;
q_3**(ABCD)**= μ^{α}_{06} **(4)** $\underline{\mu}^{\alpha}_{02}$ **(4)** $\vee$ $\underline{\mu}^{\beta}_{17}$ **(4)** $\underline{\mu}^{\alpha}_{12}$ **(4)** $\vee$ μ^{β}_{23} **(4)** $\underline{\mu}^{\beta}_{27}$ **(4)** $\vee$ μ^{β}_{33} **(4)**;
q_4**(ABCD)**= μ^{α}_{07} **(4)** $\underline{\mu}^{\alpha}_{03}$ **(4)** $\vee$ $\underline{\mu}^{\beta}_{20}$ **(4)** $\underline{\mu}^{\alpha}_{13}$ **(4)** $\vee$ μ^{β}_{24} **(4)** $\underline{\mu}^{\beta}_{30}$ **(4)** $\vee$ μ^{β}_{34} **(4)**;
P_1**(ABCD)**= $\underline{\mu}^{\alpha}_{10}$ **(4)** , P_2**(ABCD)**= μ^{β}_{20} **(4)** , P_3**(ABCD)**= μ^{β}_{30} **(4)** , P_4=0*. (2.1.12)

Из отмеченного выше очевиден порядок дальнейшего построения сумматоров вплоть до (n – 1), где полностью будут использованы все сигналы фаз двух выходных разрядов.

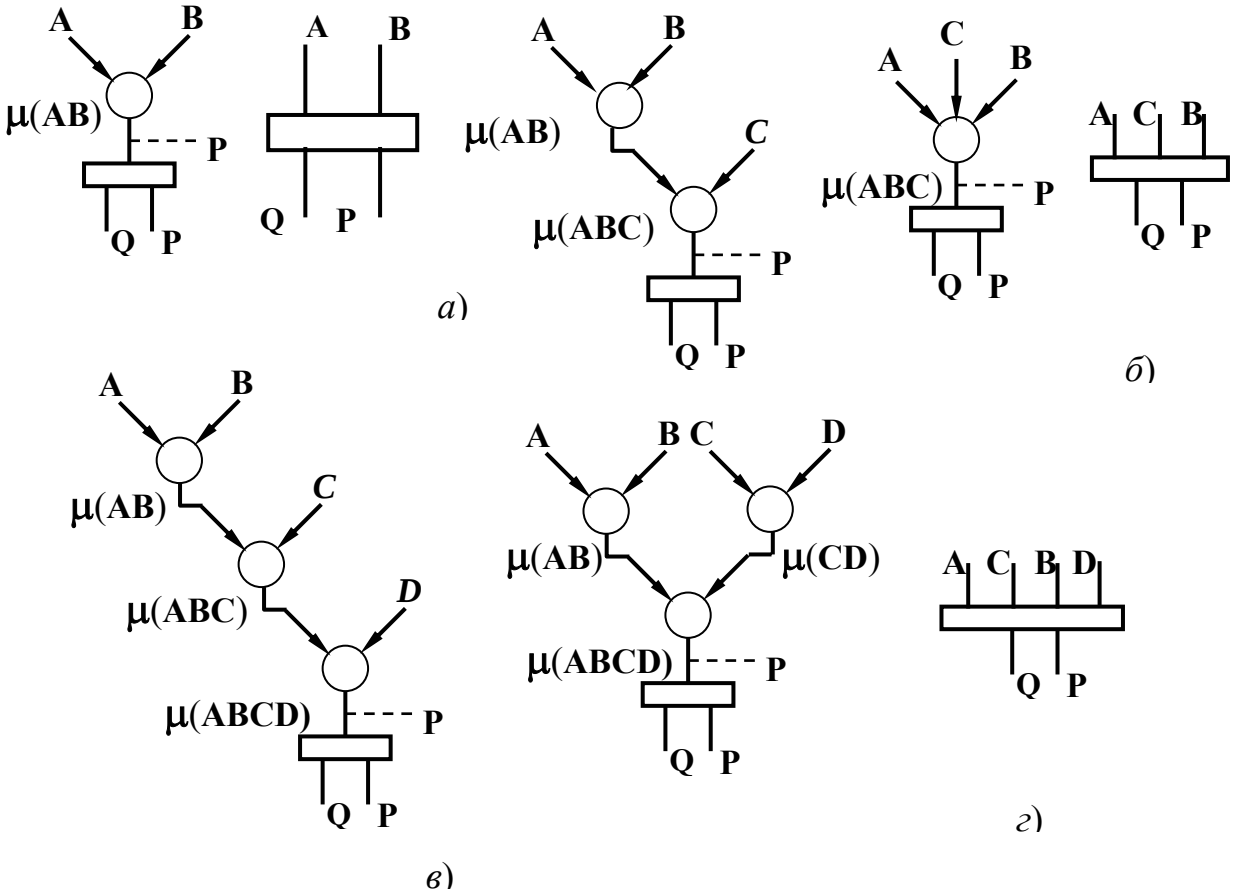


Рис. 2.4

Эти выражения ЛФ позволяют синтезировать многовходовые сумматоры по структурам, обеспечивающим различное быстродействие вплоть до полного распараллеливания операции суммирования. Сказанное поясняется на примерах структур рис. 2.4 для двух, трех и четырехвходовых сумматоров, где выходные сигналы в блоках многомерных угловых множеств формируются из одномерных непрерывных μ_i угловых множеств либо прерывистых $\mathbf{M_i}$, которые в определенной части многомерного цифрового пространства остаются непрерывными. Причем используются непрерывные угловые множества меньшей мерности, чем синтезируемые выходные сигналы.

Представленный здесь алгоритм синтеза многовходовых сумматоров применим для любого закона кодирования оснований позиционных систем счисления, но он дает наибольшую экономию аппаратурных затрат именно при использовании многофазного кода.

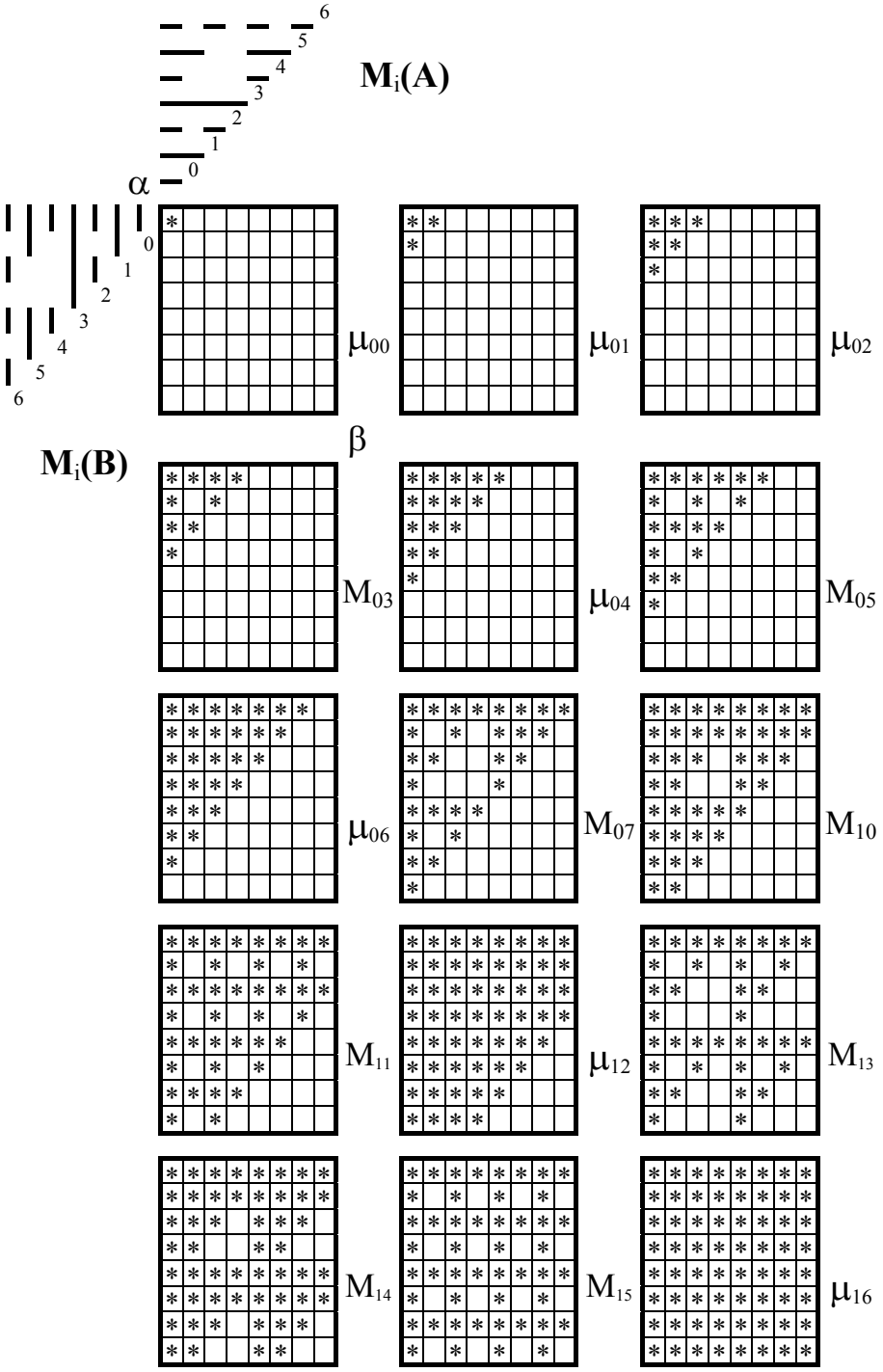


Рис. 2.5

Например, при использовании двоичного кода ЛФ формирования непрерывных одномерных угловых множеств (1.8.1) сложнее, чем при многофазном кодировании. Применение же прерывистых угловых множеств двоичного кода, которые несколько проще непрерывных, но все же сложнее аналогичных множеств

многофазного кода, не позволяет сформировать по ЛФ непрерывные двухмерные множества даже на половине многомерного цифрового пространства.

Это утверждение поясняется рис. 2.5, где из прерывистых угловых множеств двоичного кода операнд $\mathbf{M}^{\alpha}_{i}\mathbf{(A)}$, $\mathbf{M}^{\alpha}_{i}\mathbf{(B)}$ по логическим зависимостям (2.1.1) построены двухмерные множества $\mathbf{M}^{\alpha}_{i}\mathbf{(AB)}$. В этих множествах уже с $\mathbf{M}^{\alpha}_{03}\mathbf{(AB)}$ имеются пустые клетки, что исключает построение на их основе многовходовых сумматоров.

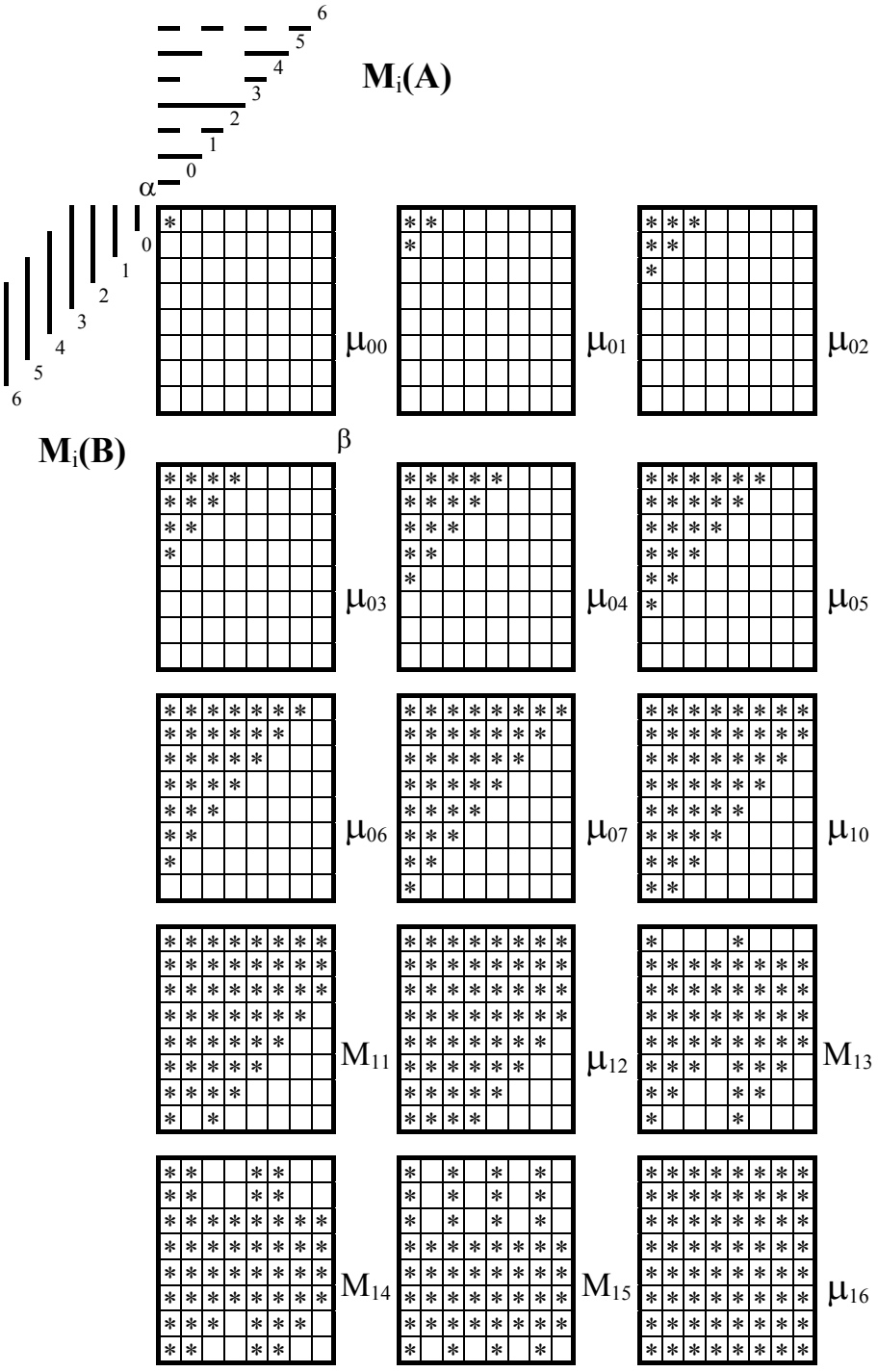


Рис. 2.6

Использование многофазного принципа кодирования хотя бы для одного из операнд многовходового сумматора при двоичном кодировании всех остальных позволяет применять прерывные угловые множества при его синтезе. Для пояснения этого положения обратимся к рис. 2.6, на котором показаны для этого варианта двухмерные угловые множества $\mathbf{M}^{\alpha}_{i}\mathbf{(AB)}$. Эти множества сформированы по (2.1.3) из прерывных угловых множеств операнд двоичного кода **A** и многофазного кода **B**. Из них следует, что двухмерные угловые множества от $\mathbf{M}^{\alpha}_{00}\mathbf{(AB)}$ вплоть до $\mathbf{M}^{\alpha}_{10}\mathbf{(AB)}$ – непрерывные. Это гарантирует построение многовходовых сумматоров по предложенному выше алгоритму.

Несколько слов о неполных, но часто используемых многовходовых сумматорах, например в сумматорах устройств умножения и деления. В некоторых одноразрядных сумматорах этих устройств один из операнд содержит цифры от **0** до i < (**n** – **1**). В матрице логических выражений, соответствующих этому неполному операнду, вместо непрерывного углового множества, характеризуемого цифрой i, записывается логическая единица 1*, а для всех старших множеств – логический нуль 0*. Например, для трехвходового сумматора с неполным операндом **C** (**0**, **1**, **2**) ЛФ трехмерных угловых множеств полюса α будет следующей:

$$\left|\begin{array}{cc} \mathbf{00} & \alpha \\ \mathbf{01} & \\ \mathbf{02} & \\ \mathbf{03} & \\ \mathbf{04} & \\ \mathbf{05} & \\ \mathbf{06} & \\ \mathbf{07} & \mu\mathbf{(ABC)} \end{array}\right| = \left|\begin{array}{cccc} \mathbf{00} & 0^{*} & 0^{*} & \alpha \\ \mathbf{01} & \mathbf{00} & 0^{*} & \\ \mathbf{02} & \mathbf{01} & \mathbf{00} & \\ \mathbf{03} & \mathbf{02} & \mathbf{01} & \\ \mathbf{04} & \mathbf{03} & \mathbf{02} & \\ \mathbf{05} & \mathbf{04} & \mathbf{03} & \\ \mathbf{06} & \mathbf{05} & \mathbf{04} & \\ \mathbf{07} & \mathbf{06} & \mathbf{05} & \mu\mathbf{(AB)} \end{array}\right| \left|\begin{array}{cc} \mathbf{0} & \alpha \\ \mathbf{1} & , \\ 1^{*} & \mu\mathbf{(C)} \end{array}\right| \qquad (2.1.13)$$

а для трехвходового сумматора с неполным операндом **C** (**0**, **1**, **2**, **3**) ЛФ трехмерных угловых множеств полюса α в ней произойдут следующие изменения:

$$\left|\begin{array}{cc} \mathbf{00} & \alpha \\ \mathbf{01} & \\ \mathbf{02} & \\ \mathbf{03} & \\ \mathbf{04} & \\ \mathbf{05} & \\ \mathbf{06} & \\ \mathbf{07} & \mu\mathbf{(ABC)} \end{array}\right| = \left|\begin{array}{ccccc} \mathbf{00} & 0^{*} & 0^{*} & 0^{*} & \alpha \\ \mathbf{01} & \mathbf{00} & 0^{*} & 0^{*} & \\ \mathbf{02} & \mathbf{01} & \mathbf{00} & 0^{*} & \\ \mathbf{03} & \mathbf{02} & \mathbf{01} & \mathbf{00} & \\ \mathbf{04} & \mathbf{03} & \mathbf{02} & \mathbf{01} & \\ \mathbf{05} & \mathbf{04} & \mathbf{03} & \mathbf{02} & \\ \mathbf{06} & \mathbf{05} & \mathbf{04} & \mathbf{03} & \\ \mathbf{07} & \mathbf{06} & \mathbf{05} & \mathbf{04} & \mu\mathbf{(AB)} \end{array}\right| \left|\begin{array}{cc} \mathbf{0} & \alpha \\ \mathbf{1} & \\ \mathbf{2} & \\ 1^{*} & \mu\mathbf{(C)} \end{array}\right| \qquad \text{и т.д.}$$

2.1.1. Синтез сумматоров основания n=2

Основание системы счисления n=2 является общим для любых принципов кодирования оснований систем счисления – все они сходятся при n=2. Поэтому любой алгоритм и все законы кодирования при выполнении арифметических операций могут проверяться на этом хорошо изученном для всех операций основании.

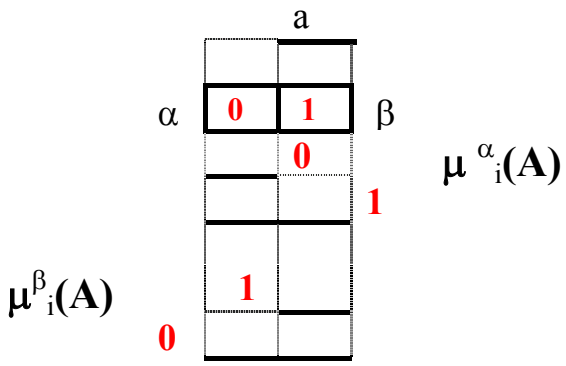


Рис. 2.7

Для одномерных угловых множеств (рис. 2.7) этого основания

$$\mu^{\alpha}_{0}(\mathbf{A}) = \underline{a},\ \mu^{\beta}_{1}(\mathbf{A}) = a,\ \mu^{\alpha}_{1}(\mathbf{A}) = \mu^{\beta}_{0}(\mathbf{A}) = 1^{*}.$$

Двухмерные угловые множества операции **(A+B)** также весьма просты:

$$\mu^{\alpha}_{00}(\mathbf{AB}) = \mu^{\alpha}_{0}(\mathbf{A})\,\mu^{\alpha}_{0}(\mathbf{B}) = \underline{a}\,\underline{b},\ \mu^{\beta}_{10}(\mathbf{AB}) = \mu^{\beta}_{1}(\mathbf{A})\,\mu^{\beta}_{1}(\mathbf{B}) = a\,b. \quad (2.1.1.1)$$

На рис. 2.8 приведены геометрические соотношения между результатом операции суммирования в цифрах натурального ряда **00**, **01**, **10** и двухмерными угловыми множествами $\mu^{\alpha}_{i}(\mathbf{AB})$, $\mu^{\beta}_{i}(\mathbf{AB})$, которые определяют ЛФ результата суммирования **(A+B)** и сигнал переноса

$$q(\mathbf{AB}) = \underline{\mu}^{\alpha}_{00}(\mathbf{2})\,\underline{\mu}^{\beta}_{10}(\mathbf{2}) = a\underline{b} \vee b\underline{a},\ \mathbf{P(AB)} = \mu^{\beta}_{10}(\mathbf{2}) = ab. \quad (2.1.1.2)$$

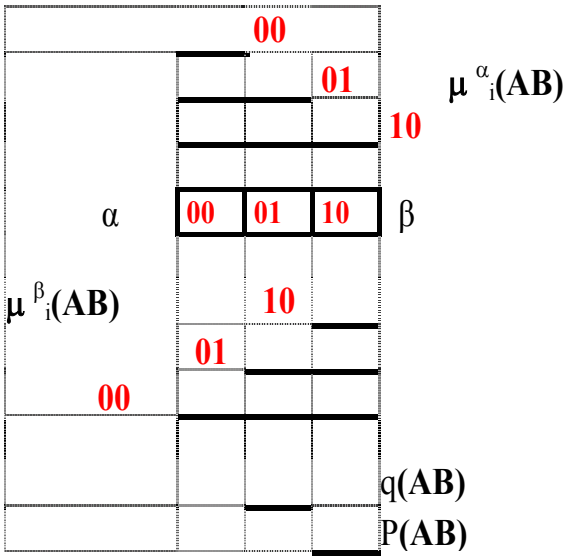


Рис. 2.8

На этом рисунке (и в дальнейшем) жирными линиями выделены только те угловые множества, которые формируют выходные сигналы сумматора.

Трехмерные угловые множества μ_i **(ABC)** операции суммирования запишутся следующим образом:

$$\left|\begin{matrix}\mathbf{00}\\ \mathbf{01}\end{matrix}\right|\begin{matrix}\alpha\\ \mu_i\mathbf{(ABC)}\end{matrix} = \left|\begin{matrix}\underline{a}\ \underline{b} & 0^* \\ (\underline{b}\vee\underline{c})\ \underline{a}\ \underline{b} & \underline{a}\ \underline{b}\end{matrix}\right|\alpha\left|\begin{matrix}\underline{c}\\ 1^*\end{matrix}\right|\begin{matrix}\underline{a}\ \underline{b}\ \underline{c}\\ \underline{c}\ \underline{b}\vee\underline{c}\ \underline{a}\vee\underline{a}\ \underline{b}\end{matrix}\Bigg|,$$

$$\mu^{\beta}_i\mathbf{(ABC)} = \left|\begin{matrix}a\ b\end{matrix}\right|^{\beta}\left|\begin{matrix}c\end{matrix}\right|^{\beta} = abc. \qquad (2.1.1.3)$$

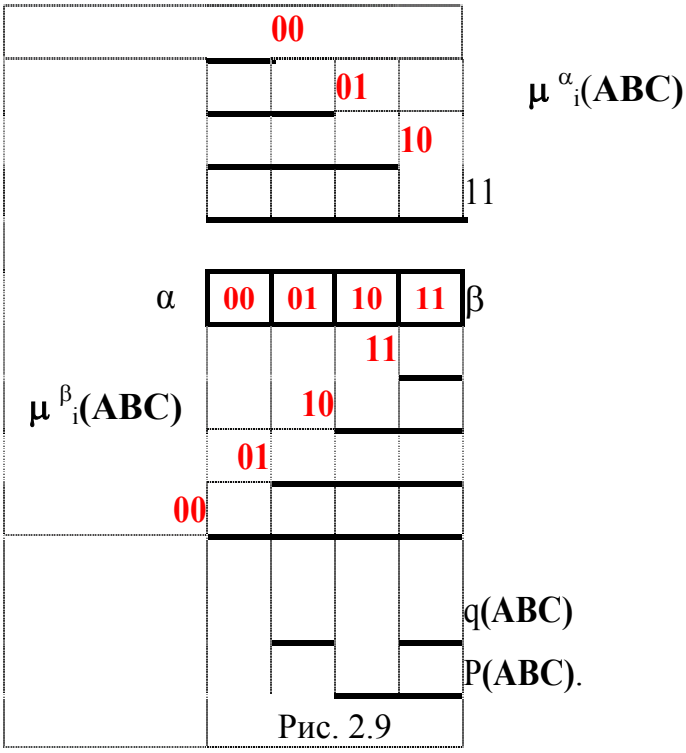


Рис. 2.9

Тогда в соответствии с рис. 2.9 получим результат суммирования

$$\begin{aligned}\mathbf{q(ABC)} &= \underline{\mu}^{\alpha}_{00}\mathbf{(3)}\ \mu^{\alpha}_{01}\mathbf{(3)}\vee\mu^{\beta}_{11}\mathbf{(3)};\\ \mathbf{P(ABC)} &= \underline{\mu}^{\alpha}_{01}\mathbf{(3)}\ .\end{aligned} \qquad (2.1.1.4)$$

Для синтеза сумматора максимального быстродействия необходимо в (2.1.1.4) подставить значения в ДНФ прямых и инверсных сигналов трехмерных угловых множеств $\mu^{\alpha}_{00}\mathbf{(3)}$, $\mu^{\alpha}_{01}\mathbf{(3)}$, $\mu^{\beta}_{11}\mathbf{(3)}$, которые всегда просто определить, зная все многомерные угловые множества полюсов α и β.

Угловые множества полюса α запишутся в следующем виде:

$$\left|\begin{matrix}\mathbf{00}\\ \mathbf{01}\\ \mathbf{10}\\ \mathbf{11}\end{matrix}\right|\begin{matrix}\alpha\\ \\ \\ \mu_i(\mathbf{ABC})\end{matrix} = \left|\begin{matrix}\mathbf{00} & 0^*\\ \mathbf{01} & \mathbf{00}\\ 1^* & \mathbf{01}\\ 0^* & 1^*\end{matrix}\right|\begin{matrix}\alpha\\ \\ \\ \mu_i(\mathbf{AB})\end{matrix}\left|\begin{matrix}\mathbf{0}\\ 1^*\end{matrix}\right|\begin{matrix}=\\ \\ \\ \mu_i(\mathbf{C})\end{matrix}\left|\begin{matrix}\underline{a}\,\underline{b} & 0^*\\ (\underline{a}\vee\underline{b}) & \underline{a}\,\underline{b}\\ 1^* & (\underline{a}\vee\underline{b})\\ 0^* & 1^*\end{matrix}\right|\left|\begin{matrix}c\\ 1^*\end{matrix}\right| = \left|\begin{matrix}\underline{a}\,\underline{b}\,\underline{c}\\ \underline{c}\,\underline{b}\vee\underline{a}\,\underline{c}\vee\underline{a}\,\underline{b}\\ \underline{c}\vee\underline{b}\vee\underline{a}\\ 1^*\end{matrix}\right|.$$

Из этих выражений на основании зависимости $\mu^{\beta}{}_k(\mathbf{ABC}) = \mu^{\alpha}{}_k(\mathbf{A^{\bullet}B^{\bullet}C^{\bullet}})$ можно непосредственно записать угловые множества полюса β:

$$\left|\begin{matrix}\mathbf{11}\\ \mathbf{10}\\ \mathbf{01}\\ \mathbf{00}\end{matrix}\right|\begin{matrix}\beta\\ \\ \\ \mu_i(\mathbf{ABC})\end{matrix} = \left|\begin{matrix}a\,b\,c\\ c\,b\vee a\,c\vee a\,b\\ c\vee b\vee a\\ 1^*\end{matrix}\right|.$$

Из рис. 2.9 нетрудно видеть, что угловые множества полюсов α и β связаны следующими соотношениями:

$$\mu^{\alpha}{}_{00}(\mathbf{ABC}) = \underline{\mu}^{\beta}{}_{01}(\mathbf{ABC}) = \mu^{\beta}{}_{11}(\mathbf{A^{\bullet}B^{\bullet}C^{\bullet}});$$
$$\mu^{\alpha}{}_{01}(\mathbf{ABC}) = \underline{\mu}^{\beta}{}_{10}(\mathbf{ABC}) = \mu^{\beta}{}_{10}(\mathbf{A^{\bullet}B^{\bullet}C^{\bullet}});$$
$$\mu^{\alpha}{}_{10}(\mathbf{ABC}) = \underline{\mu}^{\beta}{}_{11}(\mathbf{ABC}) = \mu^{\beta}{}_{01}(\mathbf{A^{\bullet}B^{\bullet}C^{\bullet}}).$$

Тогда выходные сигналы трехвходового сумматора запишутся следующим образом:

$$q(\mathbf{ABC}) = \underline{a}\,\underline{b}\,c\vee\underline{a}\,b\,\underline{c}\vee a\,\underline{b}\,\underline{c}\vee a\,b\,c;$$
$$P(\mathbf{ABC}) = c\,b\vee a\,c\vee a\,b\ . \qquad (2.1.1.5)$$

Таким образом, проведенный геометрический синтез трехвходового сумматора с использованием угловых множеств операнд для основания n = 2 позволил получить логические выражения, полностью совпадающие с общеизвестными формулами [2.2].

2.1.2. Синтез сумматоров основания n=3

Жесткая критика построения машинной арифметики с использованием системы счисления основания n=3 не позволяет оставить без внимания построение многовходовых сумматоров в этой системе счисления.

Одномерные угловые множества полюса α для основания n=3 (рис. 2.10) представляются следующими выражениями: $\mu^{\alpha}{}_0(\mathbf{A})=\underline{a}_1$, $\mu^{\alpha}{}_1(\mathbf{A})=\underline{a}_2$, $\mu^{\alpha}{}_2(\mathbf{A})=1^*$,

а угловые множества относительно полюса β будут представлены как $\mu^{\beta}{}_{2}(\mathbf{A})=a_2$, $\mu^{\alpha}{}_{1}(\mathbf{A})=a_1$, $\mu^{\beta}{}_{0}(\mathbf{A})=1^*$.

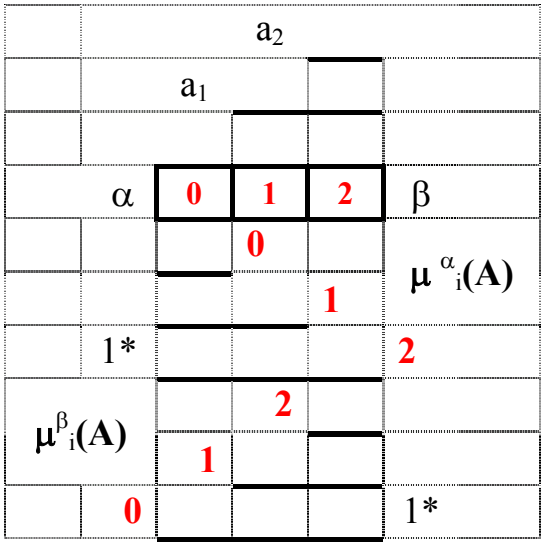


Рис. 2.10

Двухмерные угловые множества $\mu_i(\mathbf{AB})$ полюса α операции суммирования **(A+B)** на основании рис. 2.10 записываются

$$\begin{vmatrix} \mathbf{00} & \alpha & \mathbf{0} & 0^* & 0^* \\ \mathbf{10} & & \mathbf{1} & \mathbf{0} & 0^* \\ \mathbf{02} & = & 1^* & \mathbf{1} & \mathbf{0} \\ \mathbf{10} & & 0^* & 1^* & \mathbf{1} \\ \mathbf{11} & \mu_i(\mathbf{AB}) & 0^* & 0^* & 1^* \end{vmatrix} \begin{vmatrix} \alpha & \mathbf{0} \\ & \mathbf{1} \\ & 1^* \\ \mu_i(\mathbf{A}) & \end{vmatrix} \begin{vmatrix} \alpha & & & \\ & & & \\ \mu_i(\mathbf{B}) & = & & \end{vmatrix} \begin{vmatrix} \underline{a_1} & 0^* & 0^* \\ \underline{a_2} & \underline{a_1} & 0^* \\ 1^* & \underline{a_2} & \underline{a_1} \\ 0^* & 1^* & \underline{a_2} \\ 0^* & 0^* & 1^* \end{vmatrix} \begin{vmatrix} \underline{b_1} \\ \underline{b_2} \\ 1^* \end{vmatrix} = \begin{vmatrix} \underline{a_1} \vee \underline{b_1} \\ \underline{a_2}\,\underline{b_1} \vee \underline{a_1}\,\underline{b_2} \\ \underline{b_1} \vee \underline{a_2}\,\underline{b_2} \vee \underline{a_1} \\ \underline{b_2} \vee \underline{a_2} \\ 1^* \end{vmatrix}, \quad (2.1.2.1)$$

а с учетом зависимости $\mu^{\beta}{}_{k}(\mathbf{AB})= \mu^{\alpha}{}_{k}(\mathbf{A^{\bullet}B^{\bullet}})$ аналогичные угловые множества полюса β имеют вид

$$\begin{vmatrix} \mathbf{11} & \beta & a_2 \vee b_2 \\ \mathbf{10} & & a_1\,b_2 \vee a_2\,b_1 \\ \mathbf{02} & = & b_2 \vee a_1 b_1 \vee a_2 \\ \mathbf{01} & & b_1 \vee a_1 \\ \mathbf{00} & \mu_i(\mathbf{AB}) & 1^* \end{vmatrix}. \quad (2.1.2.2)$$

В соответствии с графическим представлением двухвходовой операции суммирования (рис. 2.11) видно, что здесь достаточно знания четырех угловых множеств $\mu^{\alpha}{}_{00}(\mathbf{2})$, $\mu^{\alpha}{}_{02}(\mathbf{2})$, $\mu^{\beta}{}_{11}(\mathbf{2})$, $\mu^{\beta}{}_{10}(\mathbf{2})$, которые позволяют определить выходные сигналы двухвходового сумматора:

$$q_1(\mathbf{AB}) = \underline{\mu}^{\beta}_{10}(2)\,\underline{\mu}^{\alpha}_{00}(2) \vee \mu^{\beta}_{11}(2);$$

$$q_2(\mathbf{AB}) = \underline{\mu}^{\alpha}_{01}(2)\,\underline{\mu}^{\beta}_{10}(2);$$

$$P_1(\mathbf{AB}) = \mu^{\beta}_{10}(2),\ P_2(\mathbf{AB}) = 0^*. \qquad (2.1.2.3)$$

Для синтеза сумматора максимального быстродействия в (2.1.2.3) необходимо подставить значения прямых и инверсных сигналов четырех угловых множеств $\mu^{\alpha}_{00}(2) = \mu^{\beta}_{01}(2)$, $\mu^{\beta}_{11}(2) = \underline{\mu}^{\alpha}_{10}(2)$, $\mu^{\alpha}_{01}(2) = \underline{\mu}^{\beta}_{02}(2)$, $\mu^{\beta}_{10}(2) = \underline{\mu}^{\alpha}_{02}(2)$, которые непосредственно определяются из (2.1.2.1) и (2.1.2.2).

Выходные сигналы двухвходового сумматора максимального быстродействия определяются логическими зависимостями:

$$q_1(\mathbf{AB}) = \underline{b}_1 a_1 \vee \underline{a}_2 \underline{b}_2 b_1 \vee \underline{a}_2 \underline{b}_2 a_1 \vee \underline{a}_1 b_1 \vee a_2 b_2;$$

$$q_2(\mathbf{AB}) = b_2 \underline{b}_1 \vee b_2 a_1 \vee a_1 b_1 \underline{a}_2 \underline{b}_2 \vee a_2 \underline{b}_1 \vee a_2 \underline{a}_1;$$

$$P_1(\mathbf{AB}) = a_1 b_2 \vee a_2 b_1,\ P_2(AB) = 0^*. \qquad (2.1.2.4)$$

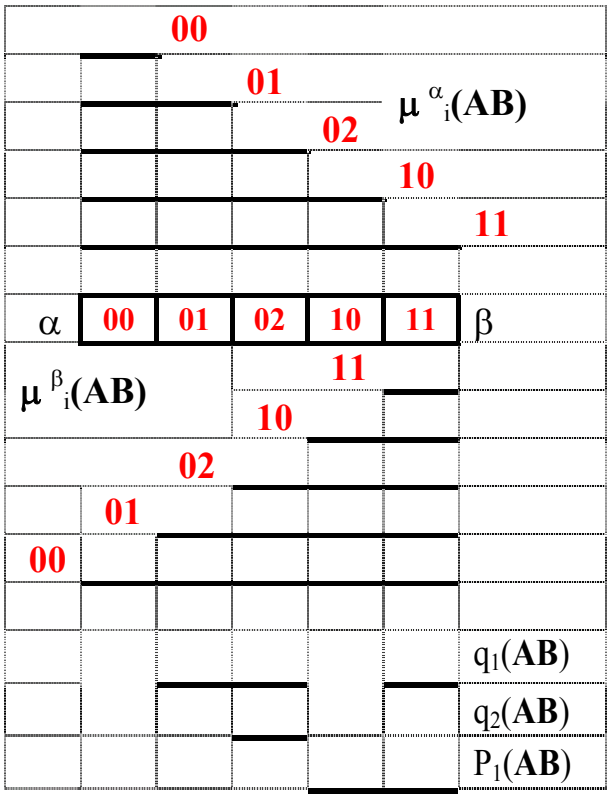


Рис. 2.11

Трехмерные угловые множества $\mu_i(\mathbf{ABC})$ полюса α операции суммирования **(A+B+C)** записываются следующим образом:

$$\left|\begin{array}{ll} \mathbf{00} & \alpha \\ \mathbf{01} & \\ \mathbf{02} & \\ \mathbf{10} & = \\ \mathbf{11} & \\ \mathbf{12} & \\ \mathbf{20} & \mu_i(\mathbf{ABC}) \end{array}\right| \left|\begin{array}{lll} \mathbf{00} & 0^* & 0^* \\ \mathbf{01} & \mathbf{00} & 0^* \\ \mathbf{02} & \mathbf{01} & \mathbf{00} \\ \mathbf{10} & \mathbf{02} & \mathbf{01} \\ 1^* & \mathbf{10} & \mathbf{02} \\ 0^* & 1^* & \mathbf{10} \\ 0^* & 0^* & 1^* \end{array}\right| \left|\begin{array}{ll} \alpha & \\ & \\ & \\ \mathbf{0} & \alpha \\ \mathbf{1} & = \\ 1^* & \mu_i(\mathbf{A}) \\ & \\ \mu_i(\mathbf{AB}) & \end{array}\right| \left|\begin{array}{l} \underline{\mathbf{a}_1}\underline{\mathbf{b}_1}\underline{\mathbf{c}_1} \\ \underline{\mathbf{a}_2}\underline{\mathbf{b}_2}\underline{\mathbf{c}_1} \vee \underline{\mathbf{a}_1}\underline{\mathbf{b}_2}\underline{\mathbf{c}_1} \vee \underline{\mathbf{a}_1}\underline{\mathbf{b}_1}\underline{\mathbf{c}_2} \\ \underline{\mathbf{b}_2}\underline{\mathbf{c}_1} \vee \underline{\mathbf{a}_2}\underline{\mathbf{b}_2}\underline{\mathbf{c}_1} \vee \underline{\mathbf{a}_1}\underline{\mathbf{c}_1} \vee \underline{\mathbf{a}_2}\underline{\mathbf{b}_1}\underline{\mathbf{c}_2} \vee \underline{\mathbf{a}_1}\underline{\mathbf{b}_2}\underline{\mathbf{c}_2} \vee \underline{\mathbf{a}_1}\underline{\mathbf{b}_1} \\ \underline{\mathbf{b}_2}\underline{\mathbf{c}_1} \vee \underline{\mathbf{a}_2}\underline{\mathbf{c}_1} \vee \underline{\mathbf{b}_1}\underline{\mathbf{c}_2} \vee \underline{\mathbf{a}_2}\underline{\mathbf{b}_2}\underline{\mathbf{c}_2} \vee \underline{\mathbf{a}_1}\underline{\mathbf{c}_2} \vee \underline{\mathbf{a}_2}\underline{\mathbf{b}_1} \vee \underline{\mathbf{a}_1}\underline{\mathbf{b}_2} \\ \underline{\mathbf{c}_1} \vee \underline{\mathbf{b}_2}\underline{\mathbf{c}_2} \vee \underline{\mathbf{a}_1}\underline{\mathbf{c}_2} \vee \underline{\mathbf{b}_1} \vee \underline{\mathbf{a}_2}\underline{\mathbf{b}_2} \vee \underline{\mathbf{a}_1} \\ \underline{\mathbf{c}_2} \vee \underline{\mathbf{b}_2} \vee \underline{\mathbf{a}_2} \\ \mathbf{1}^* \end{array}\right| , \quad (2.1.2.5)$$

а на основании равенства $\mu^{\beta}_{k}(\mathbf{ABC}) = \mu^{\alpha}_{k'}(\mathbf{A}^{\bullet}\mathbf{B}^{\bullet}\mathbf{C}^{\bullet})$ аналогичные угловые множества полюса β имеют вид

$$\left|\begin{array}{ll} \mathbf{20} & \beta \\ \mathbf{12} & \\ \mathbf{11} & \\ \mathbf{10} & = \\ \mathbf{02} & \\ \mathbf{01} & \\ \mathbf{00} & \mu_i(\mathbf{ABC}) \end{array}\right| \left|\begin{array}{l} a_2b_2c_2 \\ a_1b_1c_2 \vee a_2b_1c_2 \vee a_2b_2c_1 \\ b_1c_2 \vee a_2b_1c_2 \vee a_2c_2 \vee a_1b_2c_1 \vee a_2b_1c_1 \vee a_2b_2 \\ b_1c_2 \vee a_1c_2 \vee b_2c_1 \vee a_1b_1c_1 \vee a_2c_1 \vee a_1b_2 \vee a_2b_1 \\ c_2 \vee b_1c_1 \vee a_2c_1 \vee b_2 \vee a_1b_1 \vee a_2 \\ c_1 \vee b_1 \vee a_1 \\ 1^* \end{array}\right| . \quad (2.1.2.6)$$

В соответствии с графическим представлением трехвходовой операции суммирования (рис. 2.12) для многоуровневого блока трехвходового сумматора достаточно определения шести угловых множеств: $\mu^{\alpha}_{00}(\mathbf{3})$, $\mu^{\alpha}_{01}(\mathbf{3})$, $\mu^{\alpha}_{02}(\mathbf{3})$, $\mu^{\beta}_{20}(\mathbf{3})$, $\mu^{\beta}_{12}(\mathbf{3})$, $\mu^{\beta}_{11}(\mathbf{3})$. На этом рисунке и в дальнейшем будем представлять графически только те угловые множества, которые формируют выходные сигналы многовходового сумматора.

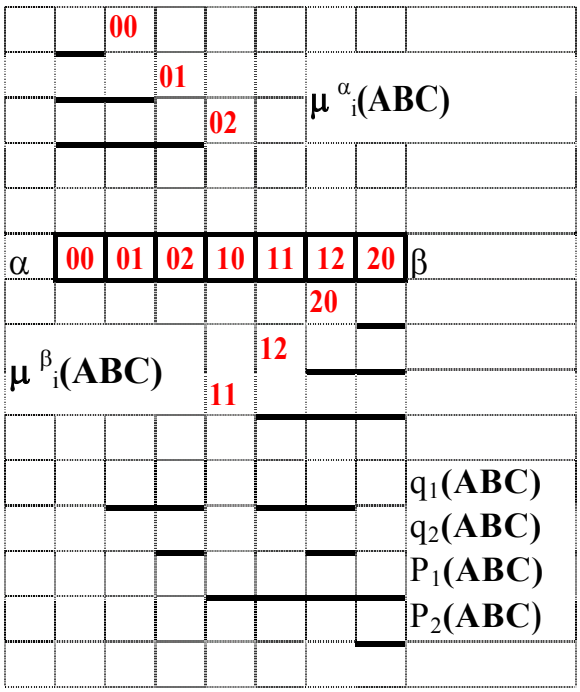


Рис. 2.12

Прямые и инверсные сигналы этих угловых множеств позволяют определить выходные сигналы трехвходового сумматора в виде

$$q_1(\mathbf{ABC}) = \mu^{\alpha}_{02}(3)\,\underline{\mu}^{\alpha}_{00}(3) \vee \mu^{\beta}_{11}(3)\,\underline{\mu}^{\beta}_{20}(3);$$
$$q_2(\mathbf{ABC}) = \mu^{\alpha}_{02}(3)\,\underline{\mu}^{\alpha}_{01}(3) \vee \mu^{\beta}_{12}(3)\,\underline{\mu}^{\beta}_{20}(3);$$
$$P_1(\mathbf{ABC}) = \underline{\mu}^{\alpha}_{02}(3),\ P_2(\mathbf{ABC}) = \mu^{\beta}_{02}(3). \qquad (2.1.2.7)$$

Для синтеза сумматора максимального быстродействия необходимо в (2.1.2.7) подставить значения прямых и инверсных сигналов шести угловых множеств, которые на основании соотношений

$$\mu^{\alpha}_{00}(3) = \underline{\mu}^{\beta}_{01}(3)\ ,\ \mu^{\beta}_{20}(3) = \underline{\mu}^{\alpha}_{12}(3);$$
$$\mu^{\alpha}_{01}(3) = \underline{\mu}^{\beta}_{02}(3)\ ,\ \mu^{\beta}_{12}(3) = \underline{\mu}^{\alpha}_{11}(3);$$
$$\mu^{\alpha}_{02}(3) = \underline{\mu}^{\beta}_{10}(3)\ ,\ \mu^{\beta}_{11}(3) = \underline{\mu}^{\alpha}_{10}(3)$$

определяются из (2.1.2.5) и (2.1.2.6).

Эти подстановки приводят к записи в ДНФ результата суммирования:

$$q_1(\mathbf{ABC}) = \underline{a_2}\underline{b_1}\underline{c_2}c_1 \vee \underline{a_1}\underline{b_2}\underline{c_2}c_1 \vee \underline{a_1}\underline{b_1}c_1 \vee \underline{a_2}\underline{b_2}\underline{c_2}b_1 \vee \underline{a_1}b_1\underline{c_1} \vee \underline{a_1}\underline{b_2}\underline{c_2}b_1 \vee$$
$$\vee\ \underline{b_1}\underline{c_1}a_1 \vee \underline{a_2}\underline{b_2}\underline{c_1}a_1 \vee \underline{a_2}\underline{b_1}\underline{c_2}a_1 \vee a_1b_1c_1\underline{c_2} \vee a_2b_1c_1\underline{c_2} \vee a_2b_2\underline{c_2} \vee$$
$$\vee\ a_1b_1c_2\underline{b_2} \vee a_2c_2\underline{b_2} \vee a_2b_1c_1\underline{b_2} \vee b_2c_2\underline{a_2} \vee a_1b_1c_2\underline{a_2} \vee a_1b_2c_1\underline{a_2};$$
$$q_2(\mathbf{ABC}) = \underline{b_1}\underline{c_1}c_2 \vee \underline{a_2}\underline{b_2}\underline{c_1}c_2 \vee \underline{a_1}\underline{c_1}c_2 \vee \underline{a_1}b_1c_2 \vee \underline{a_2}\underline{b_1}\underline{c_2}b_2c_1 \vee$$
$$\vee\ \underline{a_1}\underline{b_1}b_2c_1 \vee \underline{a_2}\underline{b_1}\underline{c_2}a_1c_1 \vee \underline{b_1}\underline{c_1}b_2 \vee \underline{a_2}\underline{c_1}b_2 \vee \underline{a_2}\underline{b_1}\underline{c_2}b_2 \vee \underline{a_1}\underline{b_1}b_2 \vee$$
$$\vee\ \underline{a_2}\underline{b_2}\underline{c_2}a_1b_1 \vee \underline{b_1}\underline{c_1}a_2 \vee \underline{a_1}\underline{c_1}a_2 \vee \underline{a_1}\underline{b_2}\underline{c_2}a_2 \vee \underline{a_1}\underline{b_1}a_2;$$
$$P_1(\mathbf{ABC}) = b_1c_2 \vee a_1c_2 \vee b_2c_1 \vee a_1b_1c_1 \vee a_2c_1 \vee a_1b_2 \vee a_2b_1;\ P_2(ABC) = a_2b_2c_2. \qquad (2.1.2.8)$$

Четырехмерные угловые множества полюсов α и β операции суммирования **(A+B+C+D)** на основании (2.1.2.5) и (2.1.2.6) записываются следующим образом:

$$\left|\begin{array}{l}\mathbf{00}\\ \mathbf{01}\\ \mathbf{02}\\ \mathbf{10}\\ \mathbf{11}\\ \mathbf{12}\\ \mathbf{20}\\ \mathbf{21}\\ \mathbf{22}\end{array}\right|_{\mu_i(\mathbf{ABCD})}^{\alpha} = \left|\begin{array}{lll}\mathbf{00} & 0^* & 0^*\\ \mathbf{01} & \mathbf{00} & 0^*\\ \mathbf{02} & \mathbf{01} & \mathbf{00}\\ \mathbf{10} & \mathbf{02} & \mathbf{01}\\ \mathbf{11} & \mathbf{10} & \mathbf{02}\\ \mathbf{12} & \mathbf{11} & \mathbf{10}\\ 1^* & \mathbf{12} & \mathbf{11}\\ 0^* & 1^* & \mathbf{12}\\ 0^* & 0^* & 1^*\end{array}\right|_{\mu_i(\mathbf{ABC})}^{\alpha} \left|\begin{array}{l}\mathbf{0}\\ \mathbf{1}\\ 1^*\end{array}\right|_{\mu_i(\mathbf{D})}^{\alpha} \left|\begin{array}{l}\mathbf{22}\\ \mathbf{21}\\ \mathbf{20}\\ \mathbf{12}\\ \mathbf{11}\\ \mathbf{10}\\ \mathbf{02}\\ \mathbf{01}\\ \mathbf{00}\end{array}\right|_{\mu_i(\mathbf{ABCD})}^{\beta} \qquad (2.1.2.9)$$

$$\left|\begin{array}{lll}\mathbf{20} & 0^* & 0^*\\ \mathbf{12} & \mathbf{20} & 0^*\\ \mathbf{11} & \mathbf{12} & \mathbf{20}\\ \mathbf{10} & \mathbf{11} & \mathbf{12}\\ \mathbf{02} & \mathbf{10} & \mathbf{11}\\ \mathbf{01} & \mathbf{02} & \mathbf{10}\\ 1^* & \mathbf{01} & \mathbf{02}\\ 0^* & 1^* & \mathbf{01}\\ 0^* & 0^* & 1^*\end{array}\right|_{\mu_i(\mathbf{ABC})}^{\beta} \left|\begin{array}{l}\mathbf{2}\\ \mathbf{1}\\ 1^*\end{array}\right|_{\mu_i(\mathbf{D})}^{\beta} \qquad (2.1.2.10)$$

В соответствии с графическим представлением четырехвходовой операции суммирования (рис. 2.13) для многоуровневого сумматора достаточно опреде-

ления восьми угловых множеств: $\mu^{\alpha}_{00}(4)$, $\mu^{\alpha}_{01}(4)$, $\mu^{\alpha}_{02}(4)$, $\mu^{\alpha}_{10}(4)$, $\mu^{\beta}_{22}(4)$, $\mu^{\beta}_{21}(4)$, $\mu^{\beta}_{20}(4)$, $\mu^{\beta}_{12}(4)$.

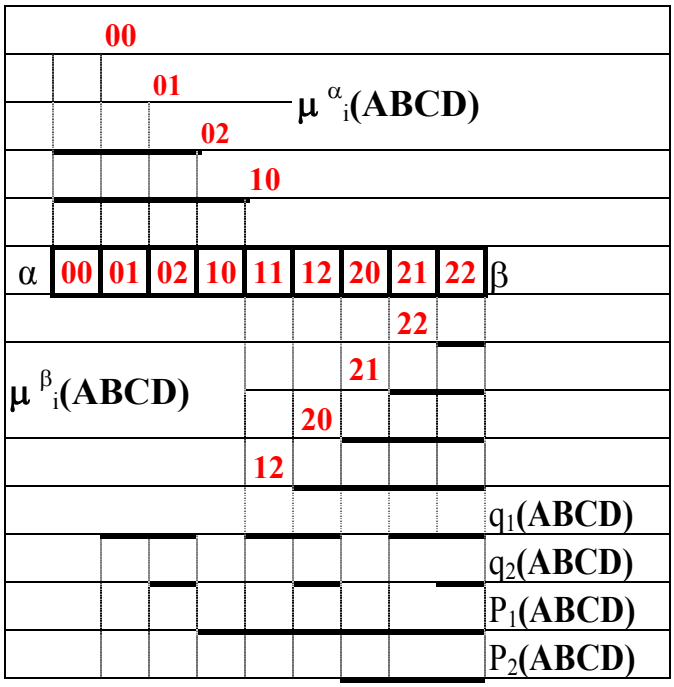


Рис. 2.13

Прямые и инверсные сигналы этих угловых множеств являются аргументами выходных сигналов четырехвходового сумматора:

$$q_1(\mathbf{ABCD}) = \mu^{\alpha}_{02}(4)\,\underline{\mu}^{\alpha}_{00}(4) \vee \underline{\mu}\,(4)\,\underline{\mu}^{\alpha}_{10}(4) \vee \mu^{\beta}_{21}(4)\ ;$$
$$q_2(\mathbf{ABCD}) = \mu^{\alpha}_{02}(4)\,\underline{\mu}^{\alpha}_{01}(4) \vee \underline{\mu}^{\beta}_{20}(4)\,\mu^{\beta}_{12}(4) \vee \mu^{\beta}_{22}(4)\ ;$$
$$P_1(\mathbf{ABCD}) = \underline{\mu}^{\alpha}_{01}(4),\ P_2(\mathbf{ABCD}) = \mu^{\beta}_{20}(4). \qquad (2.1.2.11)$$

Синтез более быстродействующего четырехвходового сумматора возможно реализовать на основе первоначального формирования, например двухмерных угловых множеств $\mu_i(\mathbf{AB})$, $\mu_i(\mathbf{CD})$ операции суммирования с последующим определением четырехмерных угловых множеств полюсов α и β по выражениям:

$$\begin{array}{|c|c|} \hline \mathbf{00} & \alpha \\ \mathbf{01} & \\ \mathbf{02} & = \\ \mathbf{10} & \mu_i(\mathbf{ABCD}) \\ \hline \end{array} \quad \begin{array}{|cccc|c|} \hline \mathbf{00} & 0^* & 0^* & 0^* & \alpha \\ \mathbf{01} & \mathbf{00} & 0^* & 0^* & \\ \mathbf{02} & \mathbf{01} & \mathbf{00} & 0^* & \\ \mathbf{10} & \mathbf{02} & \mathbf{01} & \mathbf{00} & \mu_i(\mathbf{AB}) \\ \hline \end{array} \quad \begin{array}{|c|c|} \hline \mathbf{00} & \alpha \\ \mathbf{01} & \\ \mathbf{02} & , \\ \mathbf{10} & \mu_i(\mathbf{CD}) \\ \hline \end{array} \qquad (2.1.2.12)$$

$$\begin{array}{|c|c|} \hline \mathbf{22} & \beta \\ \mathbf{21} & \\ \mathbf{20} & = \\ \mathbf{12} & \mu_i(\mathbf{ABCD}) \\ \hline \end{array} \quad \begin{array}{|cccc|c|} \hline \mathbf{11} & 0^* & 0^* & 0^* & \beta \\ \mathbf{10} & \mathbf{11} & 0^* & 0^* & \\ \mathbf{02} & \mathbf{10} & \mathbf{11} & 0^* & \\ \mathbf{01} & \mathbf{02} & \mathbf{10} & \mathbf{11} & \mu_i(\mathbf{AB}) \\ \hline \end{array} \quad \begin{array}{|c|c|} \hline \mathbf{11} & \beta \\ \mathbf{10} & \\ \mathbf{02} & . \\ \mathbf{01} & \mu_i(\mathbf{CD}) \\ \hline \end{array} \qquad (2.1.2.13)$$

Для синтеза сумматора максимального быстродействия необходимо в выражения (2.1.2.11) подставить значения прямых и инверсных сигналов восьми угловых множеств, которые на основании соотношений $\mu^{\alpha}_{00}(4) = \underline{\mu}^{\beta}_{01}(4)$, $\mu^{\alpha}_{01}(4) = \underline{\mu}^{\beta}_{02}(4)$, $\mu^{\alpha}_{02}(4) = \underline{\mu}^{\beta}_{10}(4)$, $\mu^{\alpha}_{10}(4) = \underline{\mu}^{\beta}_{11}(4)$, $\mu^{\beta}_{22}(4) = \underline{\mu}^{\alpha}_{21}(4)$, $\mu^{\beta}_{21}(4) = \underline{\mu}^{\alpha}_{20}(4)$, $\mu^{\beta}_{20}(4) = \underline{\mu}^{\alpha}_{12}(4)$, $\mu^{\beta}_{12}(4) = \underline{\mu}^{\alpha}_{11}(4)$ определяются непосредственно из (2.1.2.9) и (2.1.2.10).

Из-за громоздкости этих выражений в ДНФ, но в то же время тривиальности их получения приводить эти зависимости не будем.

Заметим, что при синтезе сумматоров основания системы счисления n=3 не отмечено каких-либо изъянов по сравнению с предыдущим синтезом. Увеличение быстродействия и большая многовходовость в разряде достигаются некоторым усложнением логических выражений, но ведь это цена быстродействия. Здесь один "недостаток" – нечетность основания системы счисления. Этот "недостаток" не позволяет формировать сигналы переноса непосредственно из старших разрядов сигналов операнд и результата суммирования, как это выполнено в [2.3]. Однако при использовании здесь угловых множеств операнд и промежуточных многомерных угловых множеств в этом нет необходимости: сигналы переноса и есть сами многомерные угловые множества.

Окончательный вывод о целесообразности использовать это основание системы счисления оставим до дальнейшего анализа других вариантов.

2.1.3. Синтез сумматоров двухфазного кодирования основания n=4

Двухфазный принцип кодирования основания n=4 неизбыточен и представляет альтернативу двоичному кодированию этого основания, а также может служить основой построения систем счисления еще большего основания.

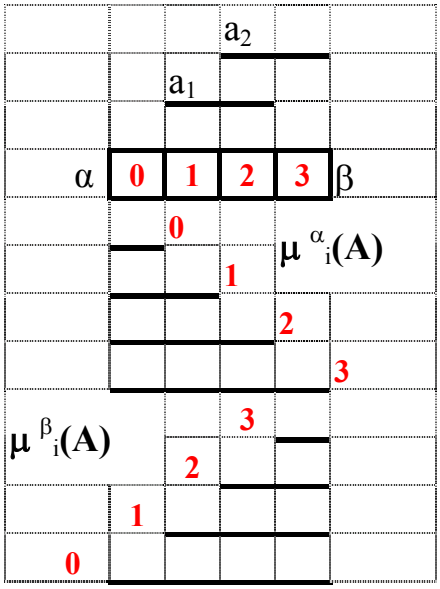


Рис. 2.14

Одномерные непрерывные угловые множества $\mu_i(\mathbf{A})$ полюса α, которые приведены на рис. 2.14, определяются простыми зависимостями $\mu^{\alpha}_0(\mathbf{A}) = \underline{a}_1\underline{a}_2$, $\mu^{\alpha}_1(\mathbf{A}) = \underline{a}_2$, $\mu^{\alpha}_2(\mathbf{A}) = a_1 \vee \underline{a}_2$, а аналогичные угловые множества полюса β, связанные известными соотношениями $\mu^{\beta}_k(\mathbf{A}) = \mu^{\alpha}_{k'}(\mathbf{A}^{\bullet})$ с множествами полюса α, определяются зависимостями $\mu^{\beta}_3(\mathbf{A}) = \underline{a}_1 a_2$, $\mu^{\beta}_2(\mathbf{A}) = a_2$, $\mu^{\beta}_1(\mathbf{A}) = a_1 \vee a_2$, $\mu^{\beta}_3(\mathbf{A}) = 1^*$.

Двухмерные непрерывные угловые множества полюса α и полюса β операции суммирования $(\mathbf{A+B})$ связаны соотношениями $\mu^{\beta}_k(\mathbf{AB}) = \mu^{\alpha}_{k'}(\mathbf{A}^{\bullet}\mathbf{B}^{\bullet})$ и определяются зависимостями:

$$\left|\begin{array}{c|c} \mathbf{00} & \alpha \\ \mathbf{01} & \\ \mathbf{02} & \\ \mathbf{03} & \\ \mathbf{10} & \\ \mathbf{11} & \\ \mathbf{12} & \mu(\mathbf{AB}) \end{array}\right| = \left|\begin{array}{cccc|c} \mathbf{0} & 0^* & 0^* & 0^* & \alpha \\ \mathbf{1} & \mathbf{0} & 0^* & 0^* & \\ \mathbf{2} & \mathbf{1} & \mathbf{0} & 0^* & \\ 1^* & \mathbf{2} & \mathbf{1} & \mathbf{0} & \\ 0^* & 1^* & \mathbf{2} & \mathbf{1} & \\ 0^* & 0^* & 1^* & \mathbf{2} & \\ 0^* & 0^* & 0^* & 1^* & \mu(\mathbf{A}) \end{array}\right| \left|\begin{array}{c|c} \mathbf{0} & \alpha \\ \mathbf{1} & \\ \mathbf{2} & \\ 0^* & \mu(\mathbf{B}) \end{array}\right| = \left|\begin{array}{l} \underline{a}_1\underline{a}_2\underline{b}_1\underline{b}_2 \\ \underline{a}_2\underline{b}_1\underline{b}_2 \vee \underline{a}_1\underline{a}_2\underline{b}_2 \\ a_1\underline{b}_1\underline{b}_2 \vee \underline{a}_2\underline{b}_2 \vee \underline{a}_1\underline{a}_2 b_1 \\ \underline{b}_1\underline{b}_2 \vee a_1\underline{b}_2 \vee \underline{a}_2 b_1 \vee \underline{a}_1\underline{a}_2 \\ \underline{b}_2 \vee a_1 b_1 \vee \underline{a}_2 \\ b_1 \vee \underline{b}_2 \vee a_1 \vee \underline{a}_2 \\ 1^* \end{array}\right|, \qquad (2.1.3.1)$$

$$\left|\begin{array}{c|c} \mathbf{00} & \beta \\ \mathbf{01} & \\ \mathbf{02} & \\ \mathbf{03} & \\ \mathbf{10} & \\ \mathbf{11} & \\ \mathbf{12} & \mu(\mathbf{AB}) \end{array}\right| = \left|\begin{array}{l} \underline{a}_1 a_2 \underline{b}_1 b_2 \\ a_2\underline{b}_1 b_2 \vee \underline{a}_1 a_2 b_2 \\ a_1\underline{b}_1 b_2 \vee a_2 b_2 \vee \underline{a}_1 a_2 b_1 \\ \underline{b}_1 b_2 \vee a_1 b_2 \vee a_2 b_1 \vee \underline{a}_1 a_2 \\ b_2 \vee a_1 b_1 \vee a_2 \\ b_1 \vee b_2 \vee a_1 \vee a_2 \\ 1^* \end{array}\right|. \qquad (2.1.3.2)$$

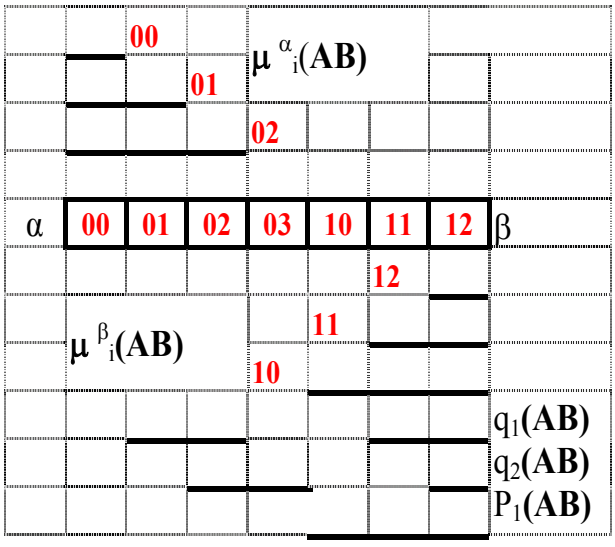


Рис. 2.15

В соответствии с графическим представлением двухвходовой операции суммирования (рис. 2.15) для определения выходных сигналов сумматора необходимо знание прямых и инверсных сигналов шести угловых множеств: $\mu^{\alpha}_{00}(\mathbf{AB})$, $\mu^{\alpha}_{01}(\mathbf{AB})$, $\mu^{\alpha}_{02}(\mathbf{AB})$, $\mu^{\beta}_{12}(\mathbf{AB})$, $\mu^{\beta}_{11}(\mathbf{AB})$, $\mu^{\beta}_{10}(\mathbf{AB})$.

Тогда выходные сигналы сумматора могут быть записаны следующим образом:

$$q_1(\mathbf{AB})=\mu^{\alpha}_{02}(\mathbf{2})\,\underline{\mu}^{\alpha}_{00}(\mathbf{2}) \vee \mu^{\beta}_{11}(\mathbf{2});$$

$$q_2(\mathbf{AB})=\underline{\mu}^{\beta}_{10}(\mathbf{2})\underline{\mu}^{\alpha}_{01}(\mathbf{2}) \vee \mu^{\beta}_{12}(\mathbf{2});$$

$$P_1(\mathbf{2})=\mu^{\beta}_{10}(\mathbf{2}),P_2(\mathbf{2})=0^*. \qquad (2.1.3.3)$$

Для синтеза сумматора максимального быстродействия необходимо в (2.1.3.3) подставить значения прямых и инверсных сигналов шести угловых множеств, которые на основании соотношений

$$\mu^{\alpha}_{00}(\mathbf{AB}) = \underline{\mu}^{\beta}_{10}(\mathbf{2}),\quad \mu^{\beta}_{12}(\mathbf{2}) = \underline{\mu}^{\alpha}_{11}(\mathbf{2});$$
$$\mu^{\alpha}_{01}(\mathbf{AB}) = \underline{\mu}^{\beta}_{02}(\mathbf{2}),\quad \mu^{\beta}_{11}(\mathbf{2}) = \underline{\mu}^{\alpha}_{10}(\mathbf{2});$$
$$\mu^{\alpha}_{02}(\mathbf{AB}) = \underline{\mu}^{\beta}_{03}(\mathbf{2}),\quad \mu^{\beta}_{10}(\mathbf{2}) = \underline{\mu}^{\alpha}_{03}(\mathbf{2})$$

определяются непосредственно из (2.1.3.1) и (2.1.3.2), тогда выходные сигналы сумматора будут записаны

$$q_1(\mathbf{AB}) = \underline{a_2}\underline{b_2}b_1 \vee \underline{a_1}\underline{a_2}b_1 \vee a_1\underline{b_1}\underline{b_2} \vee a_1\underline{a_2}\underline{b_2} \vee a_2\underline{b_1}b_2 \vee \underline{a_1}a_2b_2\,;$$
$$q_2(\mathbf{AB}) = \underline{a_2}b_1b_2 \vee \underline{a_1}\underline{a_2}b_2 \vee a_1b_1\underline{b_2} \vee a_1\underline{a_2}b_1 \vee \underline{b_1}\underline{b_2}a_2 \vee a_1a_2\underline{b_2} \vee \underline{a_1}a_2\underline{b_1}b_2\,;$$
$$P_1(\mathbf{AB}) = a_1\underline{b_1}b_2 \vee a_2b_2 \vee \underline{a_1}a_2b_1. \qquad (2.1.3.4)$$

Трехмерные угловые множества $\mu(\mathbf{ABC})$ полюсов α и β операции суммирования с учетом (2.1.3.1) и (2.1.3.2) запишутся следующим образом:

$$\begin{vmatrix}\mathbf{00}\\ \mathbf{01}\\ \mathbf{02}\\ \mathbf{03}\\ \mathbf{10}\\ \mathbf{11}\\ \mathbf{12}\\ \mathbf{13}\\ \mathbf{20}\\ \mathbf{21}\end{vmatrix}^{\alpha}_{\mu(\mathbf{ABC})} = \begin{vmatrix}\mathbf{00} & 0^* & 0^* & 0^*\\ \mathbf{01} & \mathbf{00} & 0^* & 0^*\\ \mathbf{02} & \mathbf{01} & \mathbf{00} & 0^*\\ \mathbf{03} & \mathbf{02} & \mathbf{01} & \mathbf{00}\\ \mathbf{10} & \mathbf{03} & \mathbf{02} & \mathbf{01}\\ \mathbf{11} & \mathbf{10} & \mathbf{03} & \mathbf{02}\\ 1^* & \mathbf{11} & \mathbf{10} & \mathbf{03}\\ 0^* & 1^* & \mathbf{11} & \mathbf{10}\\ 0^* & 0^* & 1^* & \mathbf{11}\\ 0^* & 0^* & 0^* & 1^*\end{vmatrix}^{\alpha}_{\mu(\mathbf{AB})} \begin{vmatrix}\mathbf{0}\\ \mathbf{1}\\ \mathbf{2}\\ 1^*\end{vmatrix}^{\alpha}_{\mu(\mathbf{C})}, \qquad (2.1.3.5)$$

$$\begin{vmatrix}\mathbf{21}\\ \mathbf{20}\\ \mathbf{13}\\ \mathbf{12}\\ \mathbf{11}\\ \mathbf{10}\\ \mathbf{03}\\ \mathbf{02}\\ \mathbf{01}\\ \mathbf{00}\end{vmatrix}^{\beta}_{\mu(\mathbf{ABC})} = \begin{vmatrix}\mathbf{12} & 0^* & 0^* & 0^*\\ \mathbf{11} & \mathbf{12} & 0^* & 0^*\\ \mathbf{10} & \mathbf{11} & \mathbf{12} & 0^*\\ \mathbf{03} & \mathbf{10} & \mathbf{11} & \mathbf{12}\\ \mathbf{02} & \mathbf{03} & \mathbf{10} & \mathbf{11}\\ \mathbf{01} & \mathbf{02} & \mathbf{03} & \mathbf{10}\\ 1^* & \mathbf{01} & \mathbf{02} & \mathbf{03}\\ 0^* & 1^* & \mathbf{01} & \mathbf{02}\\ 0^* & 0^* & 1^* & \mathbf{01}\\ 0^* & 0^* & 0^* & 1^*\end{vmatrix}^{\beta}_{\mu(\mathbf{AB})} \begin{vmatrix}\mathbf{3}\\ \mathbf{2}\\ \mathbf{1}\\ 1^*\end{vmatrix}^{\beta}_{\mu(\mathbf{C})}. \qquad (2.1.3.6)$$

В соответствии с графическим представлением трехвходовой операции суммирования (рис. 2.16) для выполнения многоуровнего блока суммирования достаточно знания только девяти угловых множеств: $\mu^{\alpha}_{00}(ABC)$, ... , $\mu^{\alpha}_{10}(ABC)$, $\mu^{\beta}_{21}(ABC)$, ... , $\mu^{\beta}_{12}(ABC)$.

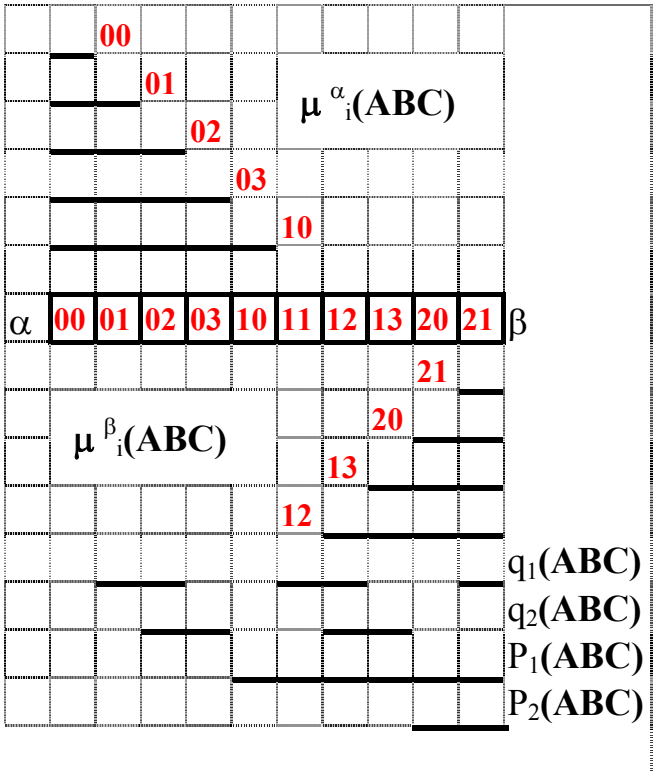


Рис. 2.16

Прямые и инверсные сигналы этих угловых множеств позволяют определить выходные сигналы сумматора в виде

$$q_1(ABC) = \underline{\mu}^{\alpha}_{00}(3)\,\mu^{\alpha}_{02}(3) \vee \underline{\mu}^{\alpha}_{10}(3)\,\underline{\mu}^{\beta}_{13}(3) \vee \mu^{\beta}_{21}(3);$$
$$q_2(ABC) = \underline{\mu}^{\alpha}_{01}(3)\,\mu^{\alpha}_{03}(3) \vee \mu^{\beta}_{12}(3)\,\underline{\mu}^{\beta}_{20}(3);$$
$$P_1(ABC) = \mu^{\beta}_{10}(ABC),\ P_2(ABC) = \mu^{\beta}_{20}(ABC). \qquad (2.1.3.7)$$

Для синтеза сумматора максимального быстродействия необходимо в (2.1.3.7) подставить значения прямых и инверсных сигналов девяти угловых множеств, которые на основании соотношений $\mu^{\alpha}_{00}(ABC) = \underline{\mu}^{\beta}_{01}(ABC)$, ... , $\mu^{\alpha}_{10}(ABC) = \underline{\mu}^{\beta}_{10}(ABC)$, $\mu^{\beta}_{21}(ABC) = \underline{\mu}^{\alpha}_{20}(ABC)$, ... , $\mu^{\beta}_{12}(ABC) = \underline{\mu}^{\alpha}_{11}(ABC)$ определяются из (2.1.3.5) и (2.1.3.6).

Запись этих зависимостей в ДНФ не вызывает каких-либо сложностей, но из-за громоздкости этих выражений их приводить не будем.

Из рассмотренного выше очевидна процедура получения угловых множеств полюсов α и β для четырех и пяти входовых сумматоров. Поэтому пропустим

представление логических выражений одномерных угловых множеств полюсов и операции суммирования для четырех и пяти входовых сумматоров, которые весьма простым образом выводятся на основании графических представлений этих угловых множеств.

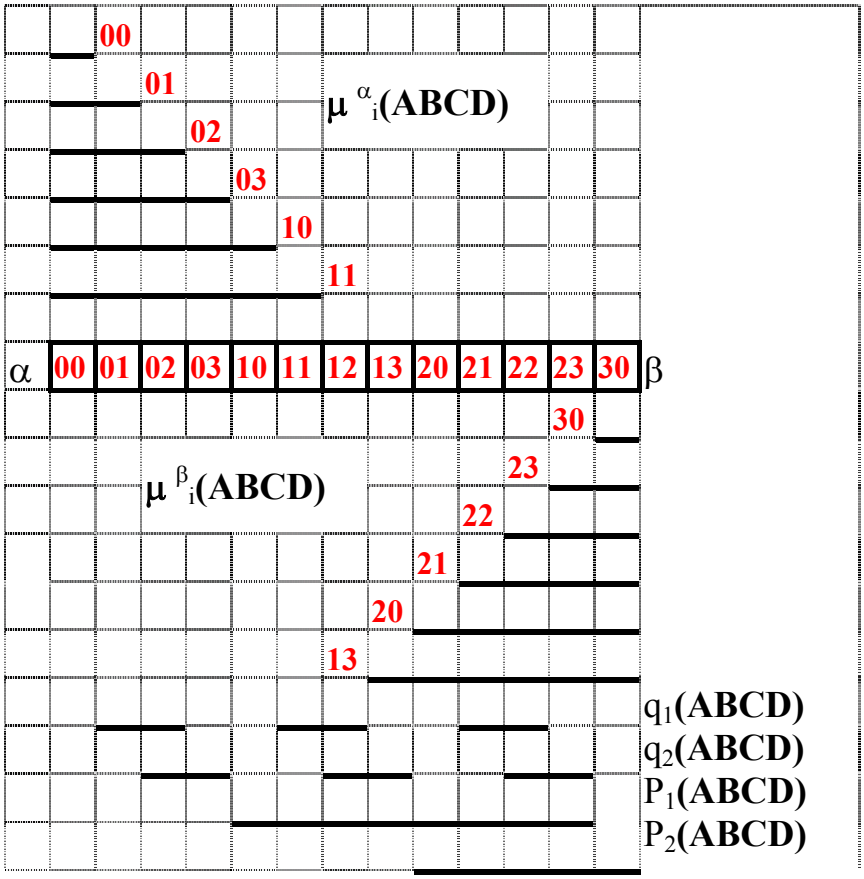


Рис. 2.17

Тогда на основании графического представления четырехвходовой операции суммирования (рис. 2.17) необходимо определение двенадцати угловых множеств $\mu^{\alpha}_{00}(ABCD)$, ... , $\mu^{\alpha}_{11}(ABCD)$, $\mu^{\beta}_{30}(ABCD)$, ... , $\mu^{\beta}_{13}(ABCD)$, инверсные и прямые сигналы которых позволяют определить выходные сигналы сумматора как

$$q_1(ABCD) = \underline{\mu}^{\alpha}_{00}(4)\,\mu^{\alpha}_{02}(4) \vee \underline{\mu}^{\alpha}_{10}(4)\,\underline{\mu}^{\beta}_{13}(4) \vee \mu^{\beta}_{21}(4)\,\underline{\mu}^{\beta}_{23}(4);$$

$$q_2(ABCD) = \underline{\mu}^{\alpha}_{01}(4)\,\mu^{\alpha}_{03}(4) \vee \underline{\mu}^{\alpha}_{11}(4)\,\underline{\mu}^{\beta}_{20}(4) \vee \mu^{\beta}_{22}(4)\,\underline{\mu}^{\beta}_{30}(4);$$

$$P_1(ABCD) = \underline{\mu}^{\alpha}_{03}(4)\,\underline{\mu}^{\beta}_{30}(4)\ ,\ P_2(ABCD) = \mu^{\beta}_{20}(4). \qquad (2.1.3.8)$$

Аналогичным образом для пятивходового сумматора требуется знать пятнадцать угловых множеств $\mu^{\alpha}_{00}(\mathbf{ABCDE})$,... , $\mu^{\alpha}_{13}(\mathbf{ABCDE})$, $\mu^{\beta}_{33}(\mathbf{ABCDE})$, ... , $\mu^{\beta}_{21}(\mathbf{ABCDE})$, которые необходимы для определения выходных сигналов сумматора

$$q_1(\mathbf{ABCDE}) = \underline{\mu}^{\alpha}_{00}(5)\mu^{\alpha}_{02}(5) \vee \underline{\mu}^{\alpha}_{10}(5)\mu^{\alpha}_{12}(5) \vee \mu^{\beta}_{21}(5)\underline{\mu}^{\beta}_{23}(5) \vee \mu^{\beta}_{31}(5)\underline{\mu}^{\beta}_{33}(5),$$

$$q_2(\mathbf{ABCDE}) = \underline{\mu}^{\alpha}_{01}(5)\mu^{\alpha}_{03}(5) \vee \underline{\mu}^{\alpha}_{11}(5)\mu^{\alpha}_{13}(5) \vee \mu^{\beta}_{22}(5)\underline{\mu}^{\beta}_{30}(5) \vee \mu^{\beta}_{32}(5),$$

$$P_1(\mathbf{ABCDE}) = \underline{\mu}^{\beta}_{30}(5)\underline{\mu}^{\alpha}_{03}(5), \; P_2(\mathbf{ABCDE}) = \underline{\mu}^{\alpha}_{13}(5). \qquad (2.1.3.9)$$

Логические зависимости (2.1.3.3), (2.1.3.7) – (2.1.3.9) позволяют строить двух-, трех-, четырех- и пятивходовые сумматоры предельного быстродействия при двухфазном кодировании основания системы счисления n = 4.

В заключение раздела синтеза многовходовых сумматоров, где число операнд больше трех, необходимо отметить следующее. Представленный материал нельзя считать полным, поскольку нами не рассмотрены варианты, когда один или несколько операндов сумматора меняют свои знаки. Например, многовходовой сумматор (**A** + **B** + **C** + **D** + **E**) в результате смены знаков ряда операнд должен будет выполнять функции многовходовой операции (**A** + **B** +**C** – **D** – **E**). Каким образом при этом изменятся геометрические образы сложных первообразных логических функций, как меняются сигналы переноса и заема? Какие основания систем счисления и коды наиболее оптимальны для выполнения таких арифметических операций?

Не представлены в разделе также синтез суммирующих блоков больших оснований систем счисления и синтез многовходовых сумматоров на основе базовых фигур двухвходового сумматора. В последних можно реализовать покрытия их многомерных геометрических образов, используя симметрию многомерного цифрового пространства, базовыми фигурами двухвходового сумматора, например операнд **A** и **B**.

Для ответа на эти вопросы необходимо было бы увеличить объем книги. Поэтому раздел не может претендовать на полное изложение этих вопросов. В нем изложены лишь те материалы, которые будут востребованы в последующих главах книги.

Это условие будет также выполняться дальше в этой и третьей главе, в которых излагаются задачи синтеза других арифметических блоков, делителей частоты, управляемых делителей-счетчиков, а также рассматриваются вопросы использования контролеспособных кодов позиционных систем счисления.

2.2. Синтез устройств умножения

Устройства умножения широко используются в цифровой технике и в значительной степени определяют быстродействие математических операций, выполняемых в этих системах. В общеизвестных устройствах двоичной системы счисления [2.4, 2.5] результат операции умножения формируется как сумма частичных произведений множимого или его частей на цифры множителя. В этих устройствах основные аппаратные средства для реализации алгоритмов умножения состоят из блоков, осуществляющих сложение, и блоков, осуществляющих хранение чисел операнд и результата сложения, а также их сдвига [2.4], либо из блоков, осуществляющих параллельное сложение во всех разрядах результата умножения [2.5]. Отличительной особенностью этих устройств является то, что они имеют большие аппаратурные затраты, несмотря на меры по ускорению операции умножения, невысокое быстродействие. Непосредственное применение таких устройств в системах, где применяются многофазные коды, потребует установки на входе и выходе устройства умножения преобразователей из одного кода в другой, что не способствует снижению аппаратурных затрат и повышению быстродействия. При этом также очевидно, что устройства с большим основанием систем счисления более быстродействующие и переход к системе счисления с основанием два нецелесообразен.

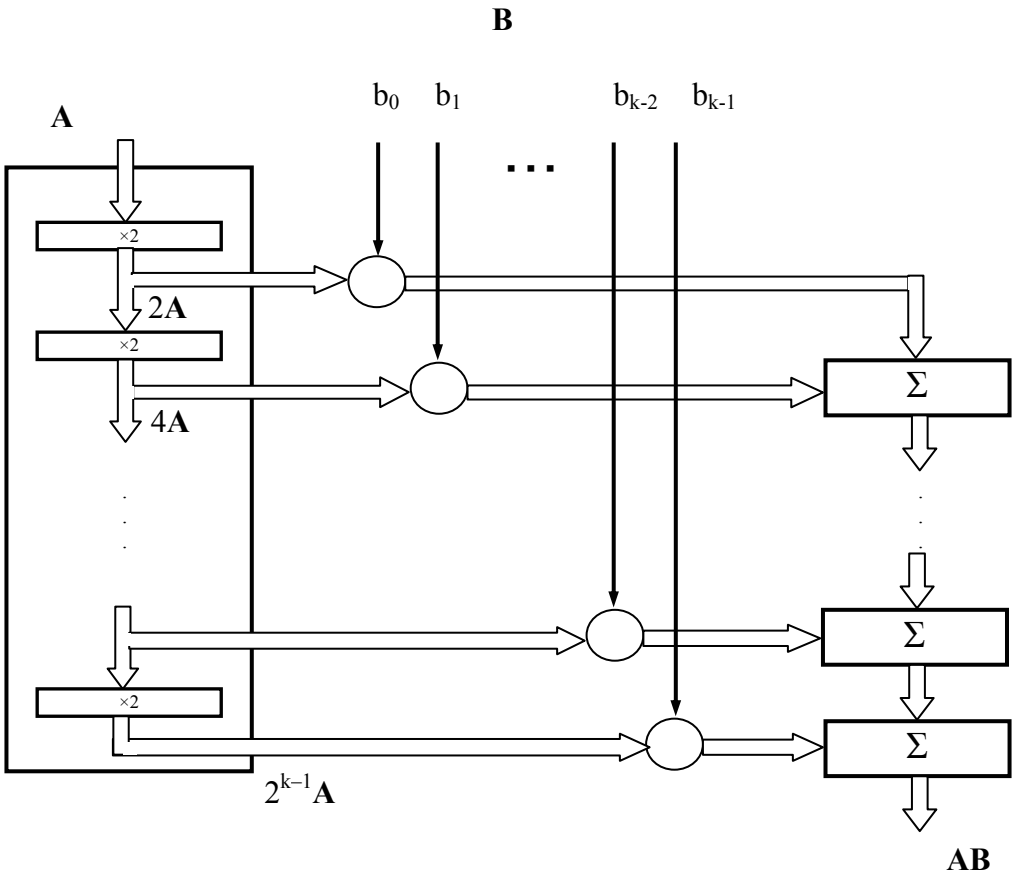


Рис. 2.18

Поскольку все вычислительные машины выполняются в двоичной системе счисления, а многофазный код является принадлежностью электроприводов, то существует потребность объединения составных частей такого комплекса в единую систему без промежуточных преобразований одного кода в другой. Эта задача была решена в [2.6], где предложена схема блока умножения (рис. 2.18), которая не требует преобразования кодов. В этой схеме одно число, например **A,** поступает в многофазном коде, а другое **B** – в двоичном коде, что позволяет управлять электроприводом непосредственно от внешнего двоичного сигнала.

Первый операнд **A** в многофазном коде, число разрядов которого S**,** проходит через последовательно соединенные блоки умножения на два (×2), число которых равно разрядности k второго операнда **B** (b_0, ... , b_{k-1}).

Сигналы второго операнда пропускают через соответствующие вентили выходные сигналы 2**A,** 4**A,** ... **,** 2^{k-1}**A** блоков умножения на входы последовательно соединенных многоразрядных блоков суммирования Σ, число которых также равно k. Таким образом, все входные и выходные сигналы блоков суммирования будут представлены в многофазном коде.

Выполнение одноразрядного умножителя на два будет отличаться для каждого из значений числа фаз m. Однако сам принцип синтеза этих умножителей одинаков и может быть пояснен на примере одного из них. Пусть это будет представлено для m=4.

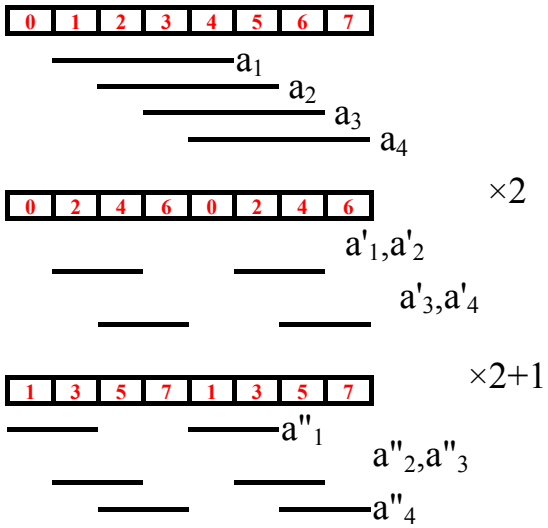


Рис. 2.19

На рис. 2.19 приведены соотношения одноразрядных сигналов этого кода a_1, ... , a_4, умноженных на два – a'_1, ... , a'_4, а также увеличенных на единицу при наличии сигнала переноса p с предыдущего разряда результата умножения – a''_1, ... , a''_4. Связь выходных сигналов a''_1, ... , a''_4 с входными a_1, ... , a_4; p определяется простыми логическими выражениями:

$$a''_1=(a_1 \otimes a_3)\,\underline{p} \vee \underline{(a_1 \otimes a_3)}\,p;$$
$$a''_2=(a_1 \otimes a_3);$$
$$a''_3=(a_2 \otimes a_4)\,\underline{p} \vee (a_1 \otimes a_3)\,p;$$
$$a''_4=(a_2 \otimes a_4). \qquad (2.2.1)$$

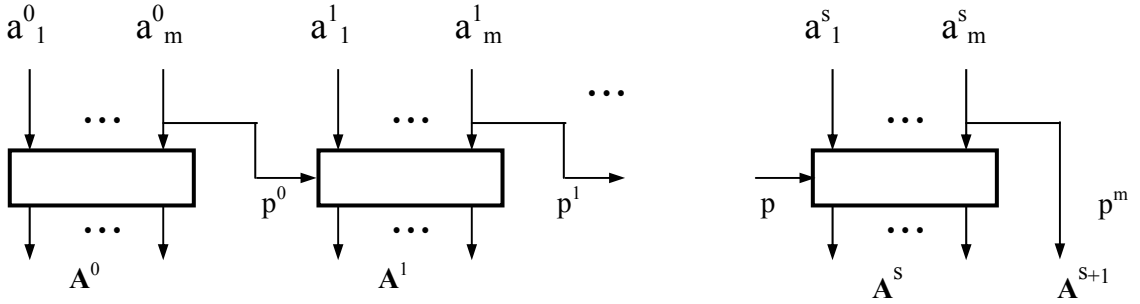


Рис. 2.20

Первый разряд каждого многоразрядного умножителя на два (рис. 2.20) не имеет входного сигнала переноса p и его выполнение определяется первыми составляющими (2.2.1). Прохождение сигнала переноса по последующим разрядам здесь не происходит, и его действие заканчивается на следующем разряде после исходного. Число разрядов по мере спуска по дереву умножителей на два постепенно возрастает. Причем последний разряд в этой цепочке также постепенно усложняется до появления сигнала m фазы, когда возникает сигнал переноса в последующий разряд. Увеличение разрядов умножителей на два должно отслеживаться в схемах многоразрядных сумматоров по мере синхронного спуска по дереву сумматоров. Выполнение таких сумматоров очевидно из предыдущих разделов.

Более высокое быстродействие может быть получено в матричных блоках умножения [2.1], где используются одноразрядные матричные умножители и сумматоры, работающие с обычным цифровым кодом основания больше двух, например n =10.

Для использования такого умножения блока в нашем случае необходимо преобразование многофазного кода в обычный цифровой код, а после проведения операции умножения требуется выполнить обратное преобразование. Следует отметить, что преобразование кодов здесь проще, чем при использовании двоичного представления больших оснований систем счисления. Одноразрядные матричные умножители и сумматоры в этих устройствах содержат квадратную матрицу размерами $n \times n$, в узлах которой расположены двухвходовые элементы И, выходные шины которых соединены с выходными шинами через элементы ИЛИ. Отличительной особенностью одноразрядного сумматора и умножителя здесь является высокое быстродействие, что определяет быстродействие всего устройства умножения. Вместе с тем его реализация сопровождается значительными аппаратурными затратами, поскольку все операции производятся с единичными цифровыми множествами.

Принципы построения матричных устройств умножения [2.1] были использованы нами в устройствах, работающих непосредственно в многофазных кодах [2.7]. Благодаря симметрии сигналов многофазного кода, использованию множеств, охватывающих большие цифровые области пространства, здесь удалось при высоком быстродействии уменьшить затраты оборудования примерно в два раза. Еще больших успехов в сокращении оборудования можно достигнуть при использовании в устройствах умножения генератора кратностей.

Сущность хорошо известного метода кратных множимого [2.9] заключается в том, что при умножении на цифру $\mathbf{b}_i$ в n-ичной системе счисления частичное произведение формируется как сумма сложений, где имеет смысл заранее подготовить все возможные произведения x×a, где x=1, 2, ... , (n – 1) и, проанализировав текущее значение $\mathbf{b}_i$, выбрать одну из (n – 1) заготовок.

Синтез устройства умножения, которое применимо для любой системы счисления, поясняется структурной схемой рис. 2.21 на примере системы счисления основания n=8 при его представлении в многофазном коде.

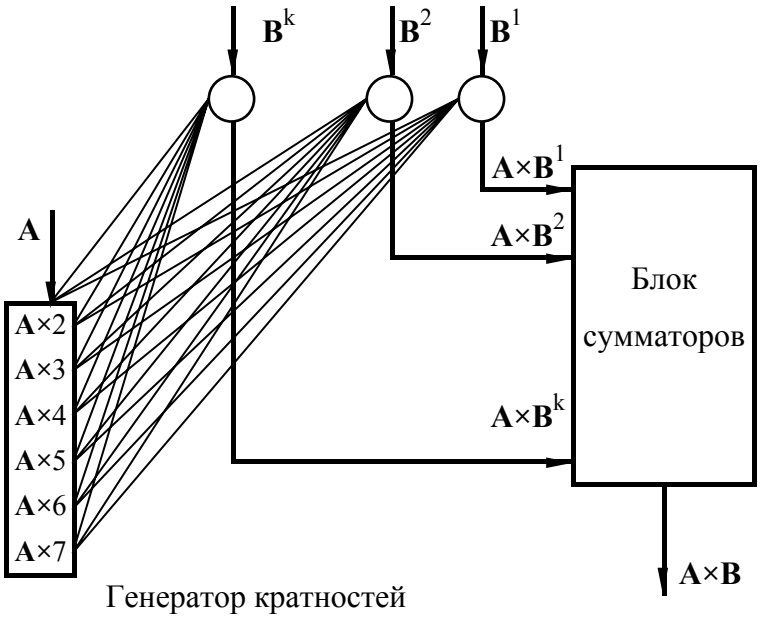


Рис. 2.21

Генератор кратностей осуществляет заготовку всех произведений операнда **A** на x=1, 2, ... , 7, а каждый разряд второго операнда **B** в соответствии со своим значением x посылает в блок сумматоров произведение **A**×x. Оптимизация всего устройства умножения заключается здесь лишь в оптимизации генератора кратностей и многовходовых сумматоров.

Примем следующие обозначения. Операнды обозначаются заглавными буквами **A** и **B**. Если у заглавной буквы установлен индекс, например $\mathbf{A}^k$, то это означает k-й разряд числа **A**. Строчные буквы с индексами внизу обозначают, как и прежде, сигналы многофазного кода в пределах одного разряда. Результат умножения на константу "два" будем обозначать $\mathbf{C}^k$, на "три" – $\mathbf{D}^k$, на "четыре" – $\mathbf{H}^k$, на "пять" – $\mathbf{F}^k$, на "шесть" – $\mathbf{R}^k$, на "семь" – $\mathbf{S}^k$.

Для синтеза устройства необходимо знать таблицы умножения и сложения разряда для конкретной системы счисления.

Результат умножения для первого разряда очевиден из таблицы умножения для всех констант и представлен графически на рис. 2.22.

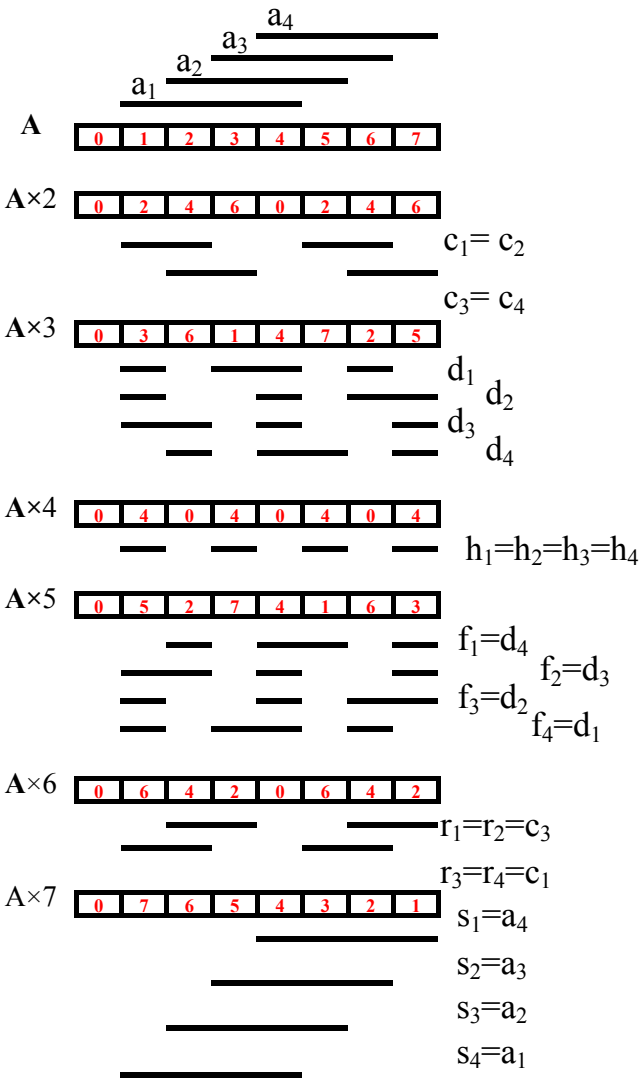


Рис. 2.22

Сигналы, представленные на рис. 2.22, определяются по следующим логическим зависимостям:

$$
\begin{gathered}
c_1= c_2= (a_1 \otimes a_3);\\
c_3= c_4= (a_2 \otimes a_4);\\
d_1= a_1\underline{a}_2 \vee a_1a_3 \vee \underline{a}_2a_3;\\
d_2= a_1\underline{a}_2 \vee a_1a_4 \vee \underline{a}_2a_4;\\
d_3= a_1\underline{a}_3 \vee a_1a_4 \vee \underline{a}_3a_4;\\
d_4= a_2\underline{a}_3 \vee a_2a_4 \vee \underline{a}_3a_4;\\
h_1= ...= h_4= (a_1 \otimes a_2)\,(a_3 \otimes a_4);\\
f_1=d_4,\ f_2=d_3,\ f_3=d_2,\ f_4=d_1;\\
r_1=r_2=c_3;\ r_3=r_4=c_1;\\
s_1=a_4,\ s_2=a_3,\ s_3=a_2,\ s_4=a_1.
\end{gathered}
\qquad (2.2.2)
$$

Выполнение операции умножения на константу "два" было рассмотрено выше и не требует дополнительных пояснений.

Умножение на константу "три" для второго разряда результата умножения представляется табл. 2.2.1, где "единицы" результата умножения во втором разряде суммируются с "восьмерками" (переносами) с первого разряда этой же операции умножения.

Таблица 2.2.1

	Перенос с $\mathbf{A}^1$							
$\mathbf{A}^2\times3$	**0**	**0**	**0**	**1**	**1**	**1**	**2**	**2**
00	0	0	0	1	1	1	2	2
03	3	3	3	4	4	4	5	5
06	6	6	6	7	7	7	10	10
11	11	11	11	12	12	12	13	13
14	14	14	14	15	15	15	16	16
17	17	17	17	20	20	20	21	21
22	22	22	22	23	23	23	24	24
25	25	25	25	26	26	26	27	27

Результат этой двойной операции (умножения и суммирования) представлен графически на рис. 2.22,*а* для сигналов $d^2_1 - d^2_4$ и цифр переноса P^2_d в третий разряд устройства.

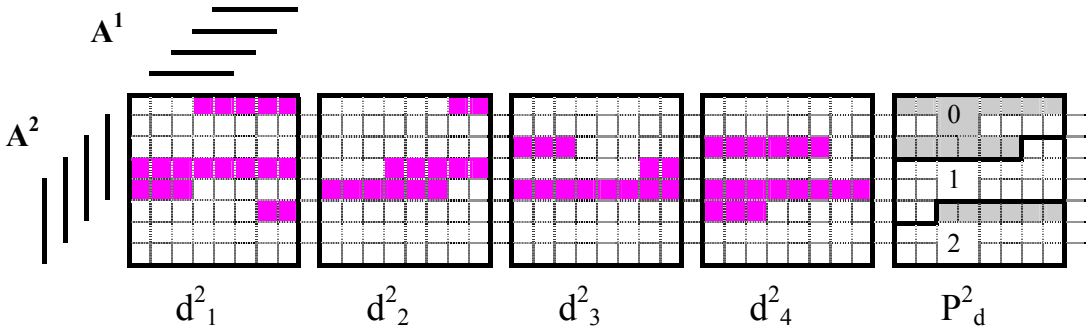


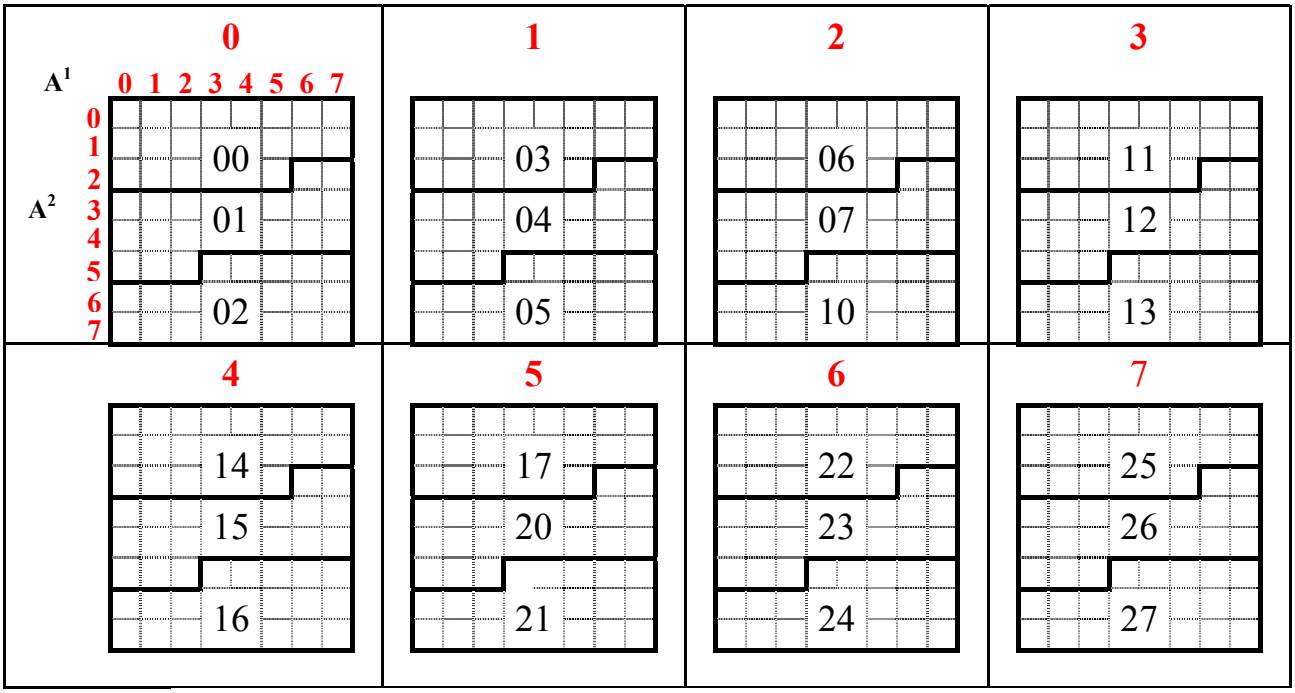
Рис. 2.22, *а*

Из рис. 2.22, *а* видно, что геометрические образы сигналов $d^2_1 - d^2_4$ на второй половине двухмерного цифрового пространства равны инверсии этих образов первой половины пространства. Следовательно, в дальнейшем можно изображать только одну половину геометрических образов этих сигналов, поскольку вторая половина этих образов очевидна.

Проделав эти же двойные операции в третьем разряде, можно получить цифровые множества сигналов $d^3_1 - d^3_4$ и переноса P^3_d в четвертый разряд устройства.

Для этого построим трехмерную табл. 2.2.1', где «единицы» результата умножения в третьем разряде суммируются с «восьмерками» P^2_d, поступающими со второго разряда этой операции умножения.

Таблица 2.2.1



Эта процедура построения таблицы и на ее основе геометрических образов соответствующих сигналов выполняется следующим образом.

Геометрические образы сигналов d^3_1 – d^3_4 будем представлять только на первой половине трехмерного цифрового пространства (цифры **0 – 3** третьего разряда $\mathbf{A}^3$), а образ сигнала переноса P^3_d, поскольку он не имеет симметрии в этом пространстве, будем представлять полностью.

Рассмотрим вначале геометрический образ сигнала d^3_1. Для цифры **0** ($\mathbf{A}^3$) умножение на «три» остается без последствий и сигнал переноса P^2_d (рис. 2.22, *а*) полностью определяет в таблице результат умножения на константу «три» для третьего разряда генератора кратностей.

Для цифры **1** ($\mathbf{A}^3$) умножение на «три» дает результат **03** и сигнал переноса P^2_d, который с ней суммируется и полностью определяет результат умножения на константу «три» в третьем разряде генератора кратностей и т.д.

Учитывая, что $d_1 = \mathbf{1} \vee \mathbf{2} \vee \mathbf{3} \vee \mathbf{4}$, $d_2 = \mathbf{2} \vee \mathbf{3} \vee \mathbf{4} \vee \mathbf{5}$, $d_3 = \mathbf{3} \vee \mathbf{4} \vee \mathbf{5} \vee \mathbf{6}$, $d_4 = \mathbf{4} \vee \mathbf{5} \vee \mathbf{6} \vee \mathbf{7}$, геометрические образы всех этих сигналов изображаются на рис. 2.22б в трехмерном цифровом пространстве ($\mathbf{A}^1$, $\mathbf{A}^2$, $\mathbf{A}^3$).

Таким же образом определяется из этой таблицы геометрический образ сигнала переноса P^3_d, который также изображен на рис. 2.22б.

В дальнейшем описании работы генератора кратностей для мерности пространства больше трех подобные детали в построении геометрических образов выходных сигналов генератора кратностей из-за их очевидности будем опускать.

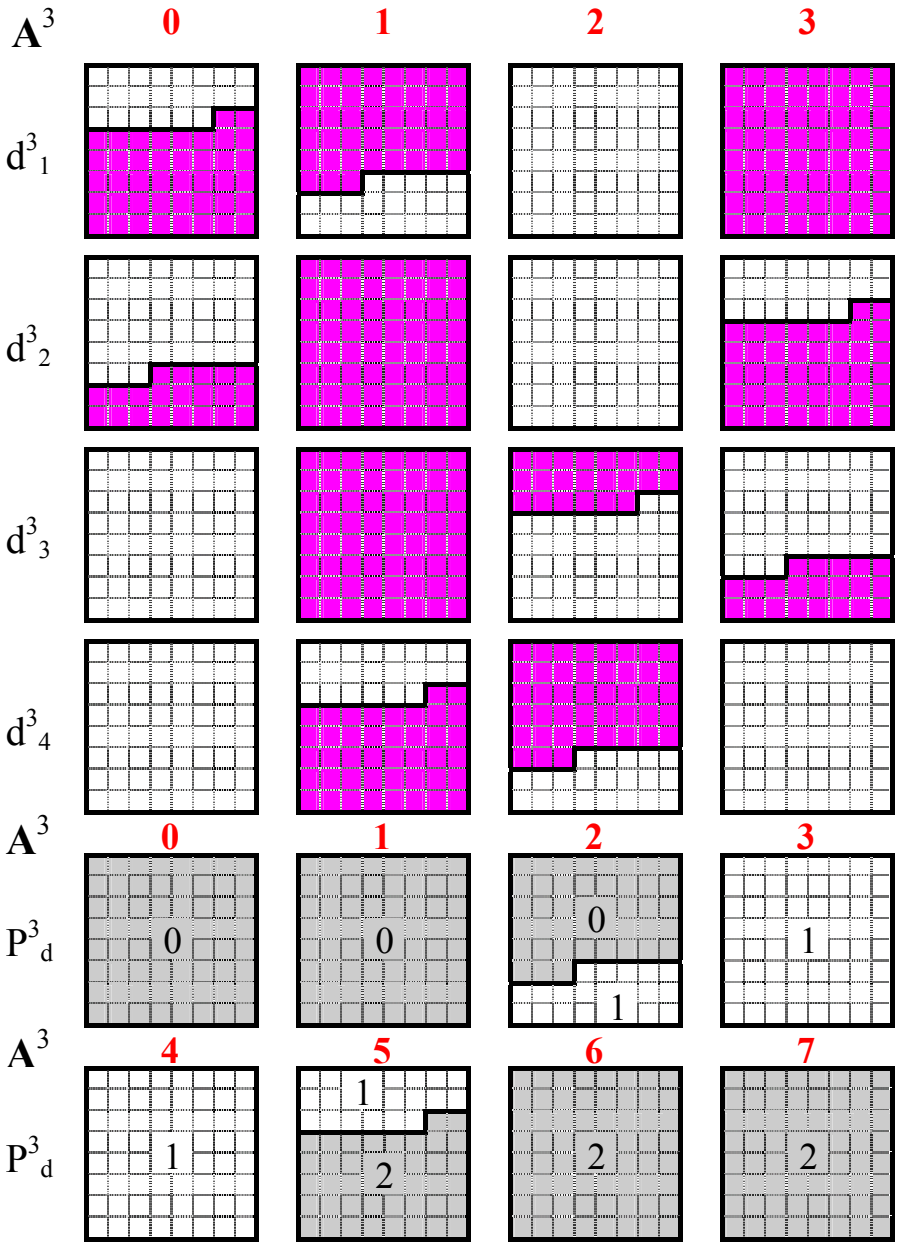


Рис. 2.22, *б*

При этом геометрические образы всех выходных сигналов генератора кратностей в трехмерном цифровом пространстве $(\mathbf{A}^1, \mathbf{A}^2, \mathbf{A}^3)$ будем представлять также послойно и термин «послойно» в дальнейшем упоминать не будем.

Результат этих операций для k-го разряда устройства в матричной форме запишутся следующим образом:

$$\mathbf{D}^k = \mathbf{M}^k_d \left| \begin{matrix} \mathbf{0} \\ \cdot \\ \cdot \\ \cdot \\ \mathbf{7} \end{matrix} \right| \begin{matrix} k \\ , \\ \\ \\ \mathbf{A} \end{matrix}$$

где

$$\mathbf{M}^{k}_{D} = \left|\begin{array}{cccccccc|c} m_1 & m_2 & 0^* & 1^* & \underline{m_1} & \underline{m_2} & 1^* & 0^* & k \\ \underline{m_2} & 1^* & 0^* & m_1 & m_2 & 0^* & 1^* & \underline{m_1} & \\ 0^* & 1^* & \underline{m_1} & \underline{m_2} & 1^* & 0^* & m_1 & m_2 & \cdot \\ 0^* & m_1 & m_2 & 0^* & 1^* & \underline{m_1} & \underline{m_2} & 1^* & \mathbf{D} \end{array}\right| \qquad (2.2.3)$$

Матрица цифровых множеств $\mathbf{M}^{k}_{D}$ определяется по следующей записи:

для k= 2 $m_1 = (3 \vee \ldots \vee 7)^1$; $m_2 = (0 \vee \ldots \vee 5)^1$, а для k= 3 $m_1 = (3 \vee \ldots \vee 7)^2 \vee (6 \vee 7)^1 a^2_2$; $m_2 = (0 \vee \ldots \vee 5)^2 \vee (0 \vee 1 \vee 2)^1 a^2_2$ и т.д.

Таблица 2.2.2

	Перенос с $\mathbf{A}^1$							
$\mathbf{A}^2 \times 4$	**0**	**0**	**1**	**1**	**2**	**2**	**3**	**3**
00	0	0	1	1	2	2	3	3
04	4	4	5	5	6	6	7	7
10	10	10	11	11	12	12	13	13
14	14	14	15	15	16	16	17	17
20	20	20	21	21	22	22	23	23
24	24	24	25	25	26	26	27	27
30	30	30	31	31	32	32	33	33
34	34	34	35	35	36	36	37	37

Умножение на константу "четыре" для второго разряда результата умножения представляется табл. 2.2.2.

Простота этой таблицы и симметрия расположения цифровых данных в двухмерном цифровом пространстве координат первого и второго разрядов определяют простые геометрические образы сигналов фаз и сигналов переноса в третий разряд генератора кратностей.

Результат этой двойной операции показан графически на рис. 2.23 для сигналов $h^2_1 - h^2_4$ и цифр переноса P^2_H в третий разряд устройства.

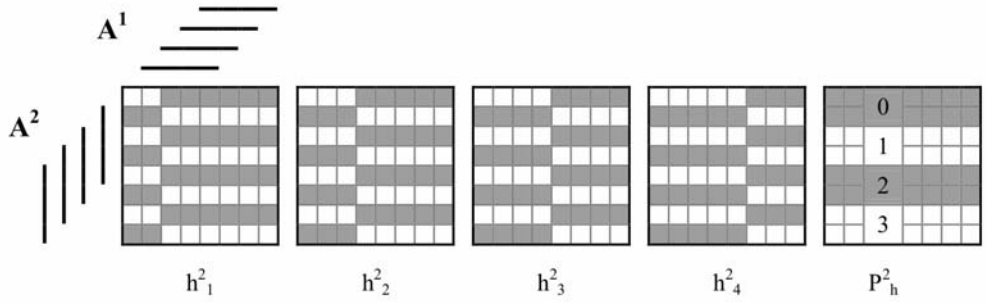


Рис. 2.23

Поскольку для умножения на константу "четыре" нет сквозного переноса через разряд, то можно сразу записать результат операции для k-го разряда устройства:

$$\mathbf{H}^k = \mathbf{M}^k{}_h \left| \begin{matrix} \mathbf{0} \\ \cdot \\ \cdot \\ \cdot \\ \mathbf{7} \end{matrix} \right| \begin{matrix} k \\ \\ , \\ \\ \mathbf{A} \end{matrix}$$

где

$$\mathbf{M}^k{}_H = \left| \begin{matrix} m_1 & \underline{m_1} & m_1 & \underline{m_1} & m_1 & \underline{m_1} & m_1 & \underline{m_1} \\ m_2 & \underline{m_2} & m_2 & \underline{m_2} & m_2 & \underline{m_2} & m_2 & \underline{m_2} \\ a_4 & \underline{a_4} & a_4 & \underline{a_4} & a_4 & \underline{a_4} & a_4 & \underline{a_4} \\ m_3 & \underline{m_3} & m_3 & \underline{m_3} & m_3 & \underline{m_3} & m_3 & \underline{m_3} \end{matrix} \right| \begin{matrix} k \\ \\ , \\ \\ \mathbf{H} \end{matrix} \qquad (2.2.4)$$

а $m^k{}_1 = (\mathbf{2} \vee \ldots \vee \mathbf{7})^k$, $m^k{}_2 = (\mathbf{3} \vee \ldots \vee \mathbf{7})^k$, $m^k{}_3 = (\mathbf{5} \vee \ldots \vee \mathbf{7})^k$ и $h^{k+1}{}_1 = m^k{}_1 = (\mathbf{2} \vee \ldots \vee \mathbf{7})^k$, $h^{k+1}{}_2 = a^k{}_4$, $h^{k+1}{}_3 = (\mathbf{6} \vee \mathbf{7})^k$.

Умножение на константу "пять" для второго разряда умножения представляется данными табл. 2.2.3.

Таблица 2.2.3

	Перенос с $\mathbf{A}^1$							
$\mathbf{A}^2 \times 5$	**0**	**0**	**1**	**1**	**2**	**3**	**3**	**4**
00	0	0	1	1	2	3	3	4
05	5	5	6	6	7	10	10	11
12	12	12	13	13	14	15	15	16
17	17	17	20	20	21	22	22	23
24	24	24	25	25	26	27	27	30
31	31	31	32	32	33	34	34	35
36	36	36	37	37	40	41	41	42
43	43	43	44	44	45	46	46	47

Результат этой двойной операции показан графически на рис. 2.24а для сигналов $f^2{}_1 - f^2{}_4$ и цифр сигнала переноса $P^2{}_F$ в третий разряд устройства.

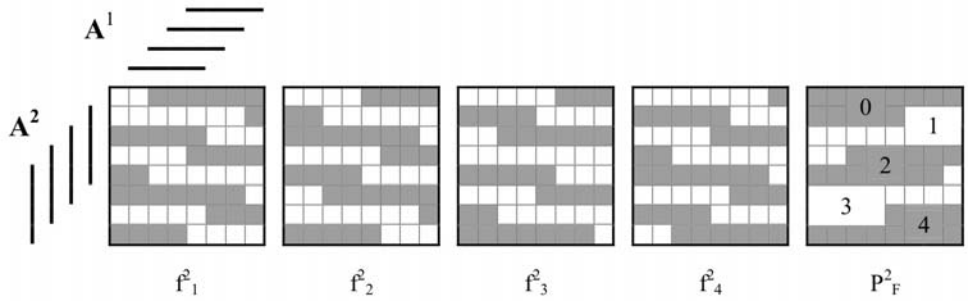


Рис. 2.24а

Выполнив такие же двойные операции в третьем разряде устройства, можно представить цифровые множества сигналов $f^2{}_1 - f^2{}_4$ и цифр сигнала переноса $P^2{}_F$

в четвертый разряд устройства, что и показано на рис. 2.24б в трехмерном цифровом пространстве.

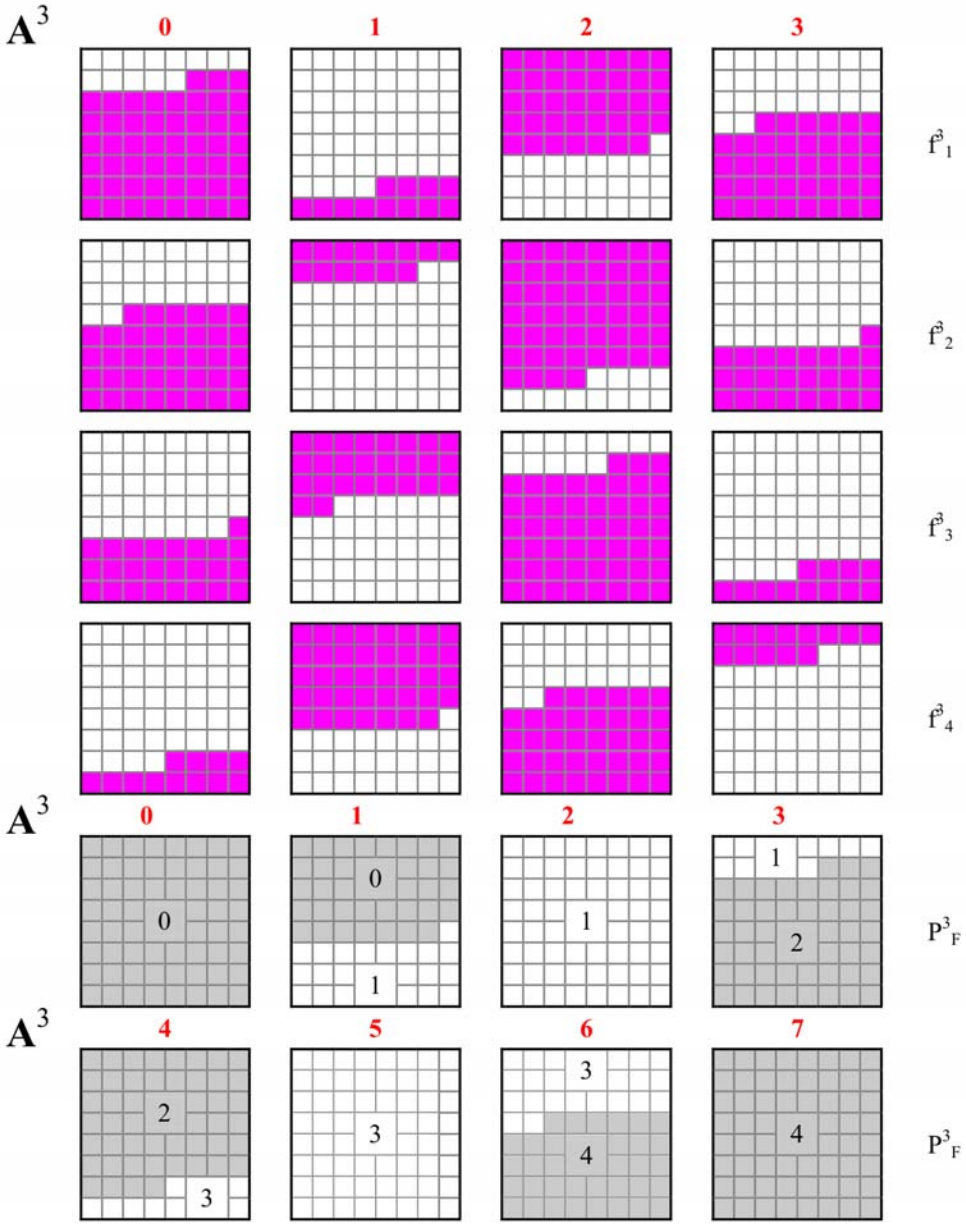


Рис. 2.24б

Результат умножения для k-го разряда устройства в матричной форме записи:

$$\mathbf{F}^{k} = \mathbf{M}^{k}_{f} \begin{vmatrix} \mathbf{0} \\ \cdot \\ \cdot \\ \cdot \\ \mathbf{7} \end{vmatrix}^{k}_{\mathbf{A}},$$

где

$$\mathbf{M}^{k}_{F} = \left| \begin{array}{cccccccc|c} m_1 & m_2 & m_3 & m_4 & \underline{m_1} & \underline{m_2} & \underline{m_3} & \underline{m_4} & k \\ m_4 & \underline{m_1} & \underline{m_2} & \underline{m_3} & \underline{m_4} & m_1 & m_2 & m_3 & \\ \underline{m_3} & \underline{m_4} & m_1 & m_2 & m_3 & m_4 & \underline{m_1} & \underline{m_2} & \cdot \\ m_2 & m_3 & m_4 & \underline{m_1} & \underline{m_2} & \underline{m_3} & \underline{m_4} & m_1 & F \end{array} \right| \qquad (2.2.5)$$

Для k=2 $m_1 = (\mathbf{2} \vee \ldots \vee \mathbf{7})^1$, $m_2 = \mathbf{7}^1$, $m_3 = (\mathbf{0} \vee \ldots \vee \mathbf{4})^1$, $m_4 = a^1_{4;}$ а для k=3 $m_1 = (\mathbf{2} \vee \ldots \vee \mathbf{7})^2 \vee (\mathbf{5} \vee \mathbf{6} \vee \mathbf{7})^1 a^2_1$, $m_2 = \mathbf{7}^2 \vee a^1_4 (\mathbf{5} \vee \mathbf{6})^2$, $m_3 = \underline{a}^2_4 \vee (\mathbf{0} \vee \ldots \vee \mathbf{6})^1 a^2_1$, $m_4 = a^2_4 \vee (\mathbf{2} \vee \ldots \vee \mathbf{7})^1 a^2_3$ и т.д.

Результаты умножения на константу "шесть" для второго разряда определяются данными табл. 2.2.4.

Таблица 2.2.4

	Перенос с $\mathbf{A}^1$							
$\mathbf{A}^2 \times 6$	**0**	**0**	**1**	**2**	**3**	**3**	**4**	**5**
00	0	0	1	2	3	3	4	5
06	6	6	7	10	11	11	12	13
14	14	14	15	16	17	17	20	21
22	22	22	23	24	25	25	26	27
30	30	30	31	32	33	33	34	35
36	36	36	37	40	41	41	42	43
44	44	44	45	46	47	47	50	51
52	52	52	53	54	55	55	56	57

Результат этой двойной операции изображен графически на рис. 2.25а для сигналов $r^2_1 - r^2_4$ и цифр сигнала переноса P^3_R в третий разряд устройства.

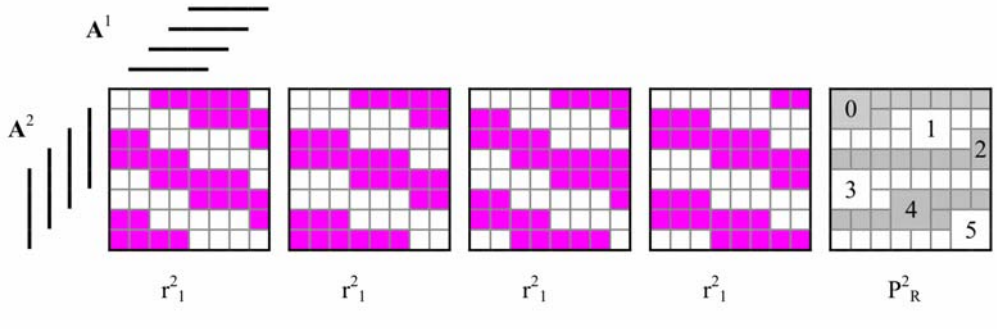


Рис. 2.25а

Выполнив аналогичные двойные операции в третьем разряде, можно представить цифровые множества сигналов $r^2_1 - r^2_4$ и цифр сигналов переноса P^3_R в четвертый разряд устройства, что приведено на рис. 2.25б в трехмерном цифровом пространстве.

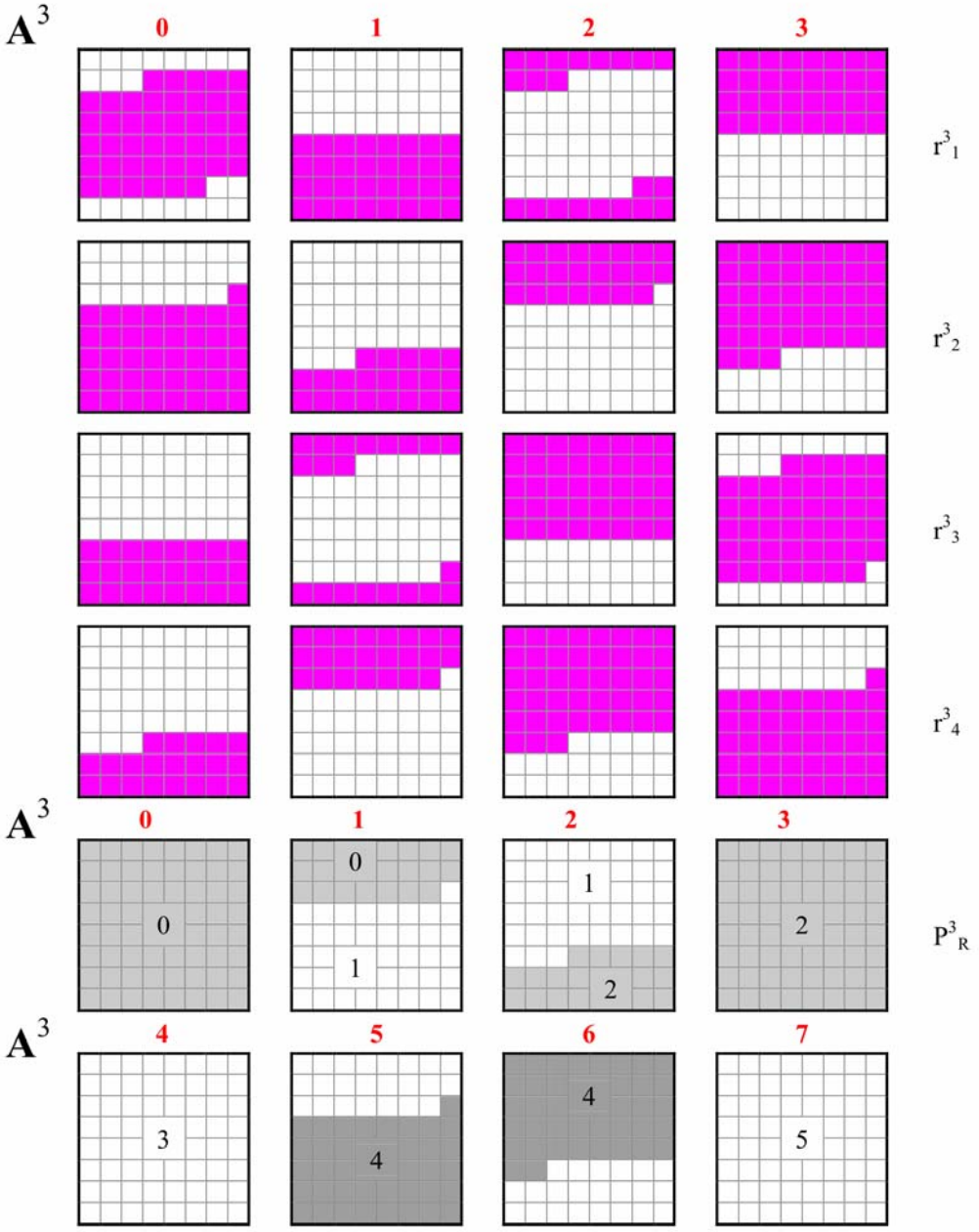


Рис. 2.25б

Результат умножения для k-го разряда устройства в матричной форме записи:

$$\mathbf{R}^k = \mathbf{M}^k_{\mathbf{R}} \begin{vmatrix} \mathbf{0} \\ \cdot \\ \cdot \\ \cdot \\ \mathbf{7} \end{vmatrix}^{k}_{\mathbf{A}},$$

где

$$\mathbf{M}^{k}_{R} = \left|\begin{array}{cccccccc} m_1 & a^{k-1}{}_4 & \underline{m_1} & \underline{a}^{k-1}{}_4 & m_1 & a^{k-1}{}_4 & \underline{m_1} & \underline{a}^{k-1}{}_4 \\ m_2 & m_3 & \underline{m_2} & \underline{m_3} & m_2 & m_3 & \underline{m_2} & \underline{m_3} \\ a^{k-1}{}_4 & \underline{m_1} & \underline{a}^{k-1}{}_4 & m_1 & a^{k-1}{}_4 & \underline{m_1} & \underline{a}^{k-1}{}_4 & m_1 \\ m_3 & \underline{m_2} & \underline{m_3} & m_2 & m_3 & \underline{m_2} & \underline{m_3} & m_2 \end{array}\right| \begin{array}{c} k \\ \\ \cdot \\ \mathbf{R} \end{array} \qquad (2.2.6)$$

Для k= 2 $m_1= (2 \vee ... \vee 6)^1$, $m_2= (3 \vee ... \vee 7)^1$, $m_3= (6 \vee 7)^1$; а для k= 3 $m_1= (2 \vee ... \vee 6)^2 (1 \vee ... \vee 5)^1 \vee (1 \vee ... \vee 5)^2 (3 \vee ... \vee 7)^1$, $m_2= (3 \vee ... \vee 7)^2 \vee 7^1 a^2{}_2$, $m_3= (7 \vee 6)^2 \vee (3 \vee ... \vee 7)^1 (5 \vee 6 \vee 7)^2$ и т.д.

Умножение на константу "семь" для второго разряда умножения представляется данными табл. 2.2.5.

Таблица 2.2.5

	Перенос с A^1							
$A^2 \times 7$	**0**	**0**	**1**	**2**	**3**	**4**	**5**	**6**
00	0	0	1	2	3	4	5	6
07	7	7	10	11	12	13	14	15
16	16	16	17	20	21	22	23	24
25	25	25	26	27	30	31	32	33
34	34	34	35	36	37	40	41	42
43	43	43	44	45	46	47	50	51
52	52	52	53	54	55	56	57	60
61	61	61	62	63	64	65	66	67

Результат этой двойной операции изображен графически на рис. 2.26а для сигналов $s^2{}_1 - s^2{}_4$ и цифр переноса $P^2{}_S$ в третий разряд устройства.

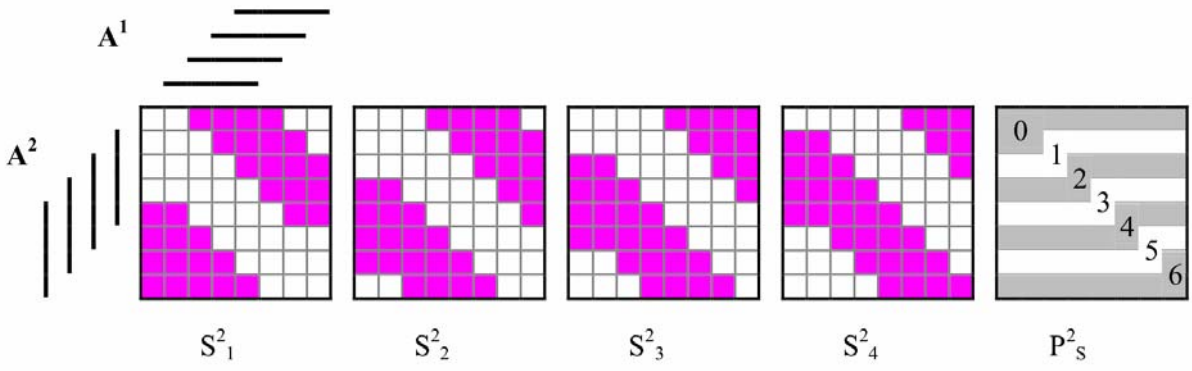


Рис. 2.26а

Выполняя такие же операции в третьем разряде, получаем цифровые множества сигналов $s^3_1 - s^3_4$ и переноса P^3_S в четвертый разряд устройства, что изображено на рис. 2.26а в трехмерном цифровом пространстве.

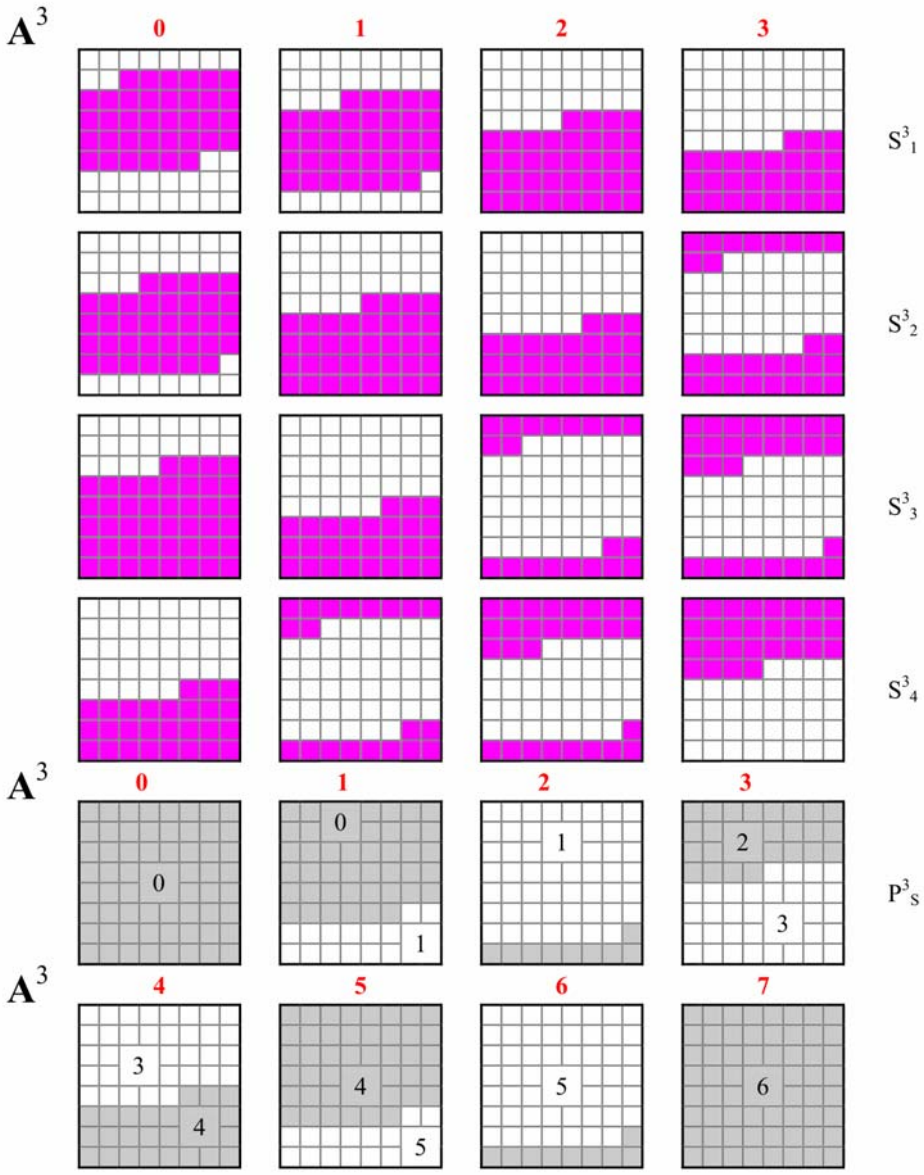


Рис. 2.26б

Результат аналогичных действий для k-го разряда устройства можно записать в матричной форме:

$$\mathbf{S^k} = \mathbf{M^k_S} \begin{vmatrix} \mathbf{0} \\ \cdot \\ \cdot \\ \cdot \\ \mathbf{7} \end{vmatrix}^{\mathrm{k}}_{\mathrm{A}},$$

где

$$\mathbf{M}^{k}_{S} = \left|\begin{array}{cccccccc|c} m_1 & m_2 & m_3 & m_4 & \underline{m}_1 & \underline{m}_2 & \underline{m}_3 & \underline{m}_4 & k \\ m_2 & m_3 & m_4 & \underline{m}_1 & \underline{m}_2 & \underline{m}_3 & \underline{m}_4 & m_1 & \\ m_3 & m_4 & \underline{m}_1 & \underline{m}_2 & \underline{m}_3 & \underline{m}_4 & m_1 & m_2 & \cdot \\ m_4 & \underline{m}_1 & \underline{m}_2 & \underline{m}_3 & \underline{m}_4 & m_1 & m_2 & m_3 & S \end{array}\right| \qquad (2.2.7)$$

Для k= 2 $m_1=a^1_2$, $m_2=a^1_3$, $m_3=a^1_4$, $m_4=(\mathbf{5} \vee \mathbf{6} \vee \mathbf{7})^1$; а для k= 3 $m_1= a^2_2\,(\mathbf{0} \vee \ldots \vee \mathbf{5})^1 \vee a^2_1\,(\mathbf{2} \vee \ldots \vee \mathbf{7})^1$, $m_2= a^2_3\,(\mathbf{0} \vee \ldots \vee \mathbf{6})^1 \vee a^2_2\,(\mathbf{3} \vee \ldots \vee \mathbf{7})^1$, $m_3= a^2_4 \vee a^1_4\,a^2_3$, $m_4= (\mathbf{5} \vee \mathbf{6} \vee \mathbf{7})^2 \vee (\mathbf{5} \vee \mathbf{6} \vee \mathbf{7})^2\,a^2_4$ и т.д.

Анализ геометрических образов выходных сигналов синтезированного нами генератора кратностей при умножении входного операнда на нечетные числа «три», «пять», «семь» показывает, что эти образы на второй половине многомерного цифрового пространства равны инверсии этих образов первой половины этого пространства.

При умножении входного операнда на четные числа «два», «четыре», «шесть» геометрические образы выходных сигналов на первой и второй половине пространства одинаковые.

Это нашло отражение в формулах (2.2.2) – (2.2.7), определяющих покрытия этих геометрических образов логических функций выходных сигналов генератора кратностей.

При синтезе генератора кратностей с другими основаниями систем счисления будет меняться ансамбль цифровых множеств, формирующих выходные сигналы разрядов, но принципы подхода к его синтезу, предложенные нами [2.8], останутся такими же, как представлено выше. При этом возможно не только двухступенчатое формирование выходных сигналов устройства, но и одноступенчатое, когда в формулах (2.2.3) – (2.2.7) цифровые множества m_i определяются непосредственно из входных сигналов разрядов операнда **A**, что дает возможность получить максимальное быстродействие генератора кратностей.

В связи с тем, что метод кратных множимого обладает максимально возможным быстродействием [2.4], применение в нем быстродействующих генератора кратностей и многовходовых сумматоров позволяет достигнуть предельного быстродействия устройств умножения. Таким же предельным быстродействием обладает предложенный нами метод кратных делимого, который будет рассмотрен в следующем разделе, и в нем также используются генератор кратностей и многовходовые суммирующие (вычитающие) устройства. Поэтому его быстродействие непосредственно зависит от быстродействия этих устройств.

Использование при этом бóльших оснований систем счисления, чем приведено в нашем примере, позволяет не только увеличить быстродействие операции умножения и деления, но и повысить контролеспособность цифровых блоков, реализующих эти операции.

Контролеспособность рассматриваемых нами устройств обеспечивается использованием в них многофазных кодов либо кодов многомерных угловых

цифровых множеств, которые, кроме того, позволяют создавать многовходовые быстродействующие сумматоры. Эти многовходовые сумматоры и генераторы кратностей являются неотъемлемой частью устройств умножения и деления и поэтому определяют их контролеспособность и быстродействие.

После прочтения этого раздела заинтересованный читатель может удовлетворить свою любознательность с помощью самостоятельного решения задач по синтезу таких устройств, где используются различные основания систем счисления и принципы их кодирования. При этом он оценит истину и красоту предмета синтеза устройств умножения, состоящих из генератора кратностей и многовходовых сумматоров.

2.3. Синтез устройств деления

Хотя операция деления не является столь распространенной в системах управления электроприводами, как суммирование или умножение, ее освещение представляет не только теоретический интерес.

Из известных технических решений можно выделить устройства для деления, работающие в двоичном коде и реализующие методы деления с восстановлением и без восстановления остатка [2.2], и устройства, реализующие деление "обходным путем" с использованием умножения или иной процедуры [2.10].

Все эти устройства деления двоичного кода не позволяют получить высокого быстродействия и значительно уступают быстродействию, например операции умножения, которая представляет собой завершенную логическую схему без элементов памяти и сдвига. Применение этих устройств в системах с основанием больше двух потребует преобразований из одного кода в другой, что также уменьшает быстродействие операции деления. Кроме того, такой принцип построения устройств деления нецелесообразен из-за перехода к неконтролеспособной системе счисления, какой является двоичная система счисления.

Устройство для деления с основанием системы счисления больше двух [2.1], где деление выполняется через умножение делимого на число, обратное делителю, которое находится итерационным способом, может быть использовано и для многофазного принципа кодирования основания системы счисления. Однако оно отличается значительной сложностью и невысоким быстродействием вследствие необходимости выполнения операции полного деления в несколько циклов.

Классический метод деления без восстановления остатка изложен в [2.11]. В этой работе авторов с мировыми именами описан принцип построения делителя для системы счисления с основанием **n**, где сформулирован принцип обработки остатка ($\mathbf{B_i}$): если $\mathbf{B_i} \geq 0$ ($\mathbf{B_i} < 0$), то из $\mathbf{B_i}$n многократно вычитают (прибавляют) делитель **C** до тех пор, пока знак разности (суммы) станет противоположным знаку величины $\mathbf{B_i}$ или пока количество произведенных сложений (вычитаний) не сделается равным $(n - 1)$.

Устройство [2.12], реализующее этот способ деления для системы счисления n=**2**, выполнено в виде итеративной сети матрицы, составленной из одинаковых блоков, образующих L строк по числу разрядов частного, где в каждой строке содержатся m блоков по числу разрядов делителя, блок сигнала опережающего переноса и логический блок. Для ускорения операции сложения или вычитания каждый остаток $\mathbf{B_i}$ в каждой строке вычисляется в виде двух чисел: числа **S**, составленного из поразрядных сумм $\mathbf{s_i}$, и числа E, составленного из поразрядных переносов e_i, где перенос в знаковый разряд строки, очередной разряд частного и управляющий сигнал для следующей строки (сложить или вычесть) формируются при помощи схемы опережения переносов. По сигналу блока переноса осуществляется операция сложения либо вычитания в блоках строк матрицы, где переход от операции вычитания к операции сложения осуществляется переводом делителя из прямого кода в дополнительный.

Аппаратурная сложность устройства при его реализации для систем счисления с основанием больше двух приведет к еще большему усложнению и потере быстродействия. Это связано с тем, что в каждой строке необходимо многократно осуществлять операцию сложения либо вычитания (для двоичного кода это выполняется один раз).

Вместе с тем классическое, известное из общеобразовательной школы деление "углом", где элементарная операция деления выполняется последовательным подбором результата, может быть реализована без этого перебора, а непосредственно сразу с максимальным быстродействием [2.13, 2.14]. Структурная схема такого устройства приведена на рис. 2.27.

Синтез устройства проведем на примере деления двух чисел **A** и **B** (**A** – делитель, **B** – делимое), представленных в пятифазном коде (n=10). Примем, что оба операнда заданы в нормализованном виде, когда в старших разрядах содержится сигнал, отличающийся от цифры 0. Пусть делимое содержит семь разрядов, делитель содержит три разряда, а результат деления выдается в семи разрядах.

Входные шины трех разрядов делителя $\mathbf{A(A^1, A^2, A^3)}$ соединены с входом генератора кратностей, выходные шины которого содержат кратные делителя: **A**×1, **A**×2=**C**, **A**×3=**D**, **A**×4=**E**, **A**×5=**F**, **A**×6=**G**, **A**×7=**H**, **A**×8=**J**, **A**×9=**L**.

Цифровой блок первой строки осуществляет деление числа, заданного старшими разрядами делимого $\mathbf{B^7}$, $\mathbf{B^6}$, $\mathbf{B^5}$, на делитель и результат деления, который является целым числом, выдается на первый выход $\mathbf{X^7}$ цифрового блока строки, а остаток от деления поступает на второй трехразрядный выход этого блока.

Второй блок второй строки осуществляет деление числа, старшие разряды которого задаются остатком от предыдущего деления, а младший разряд является числом следующего разряда $\mathbf{B^4}$ делимого, на делитель и результат деления выдается на второй выход $\mathbf{X^6}$ цифрового блока строки, а остаток от деления поступает на второй трехразрядный выход этого блока и т.д.

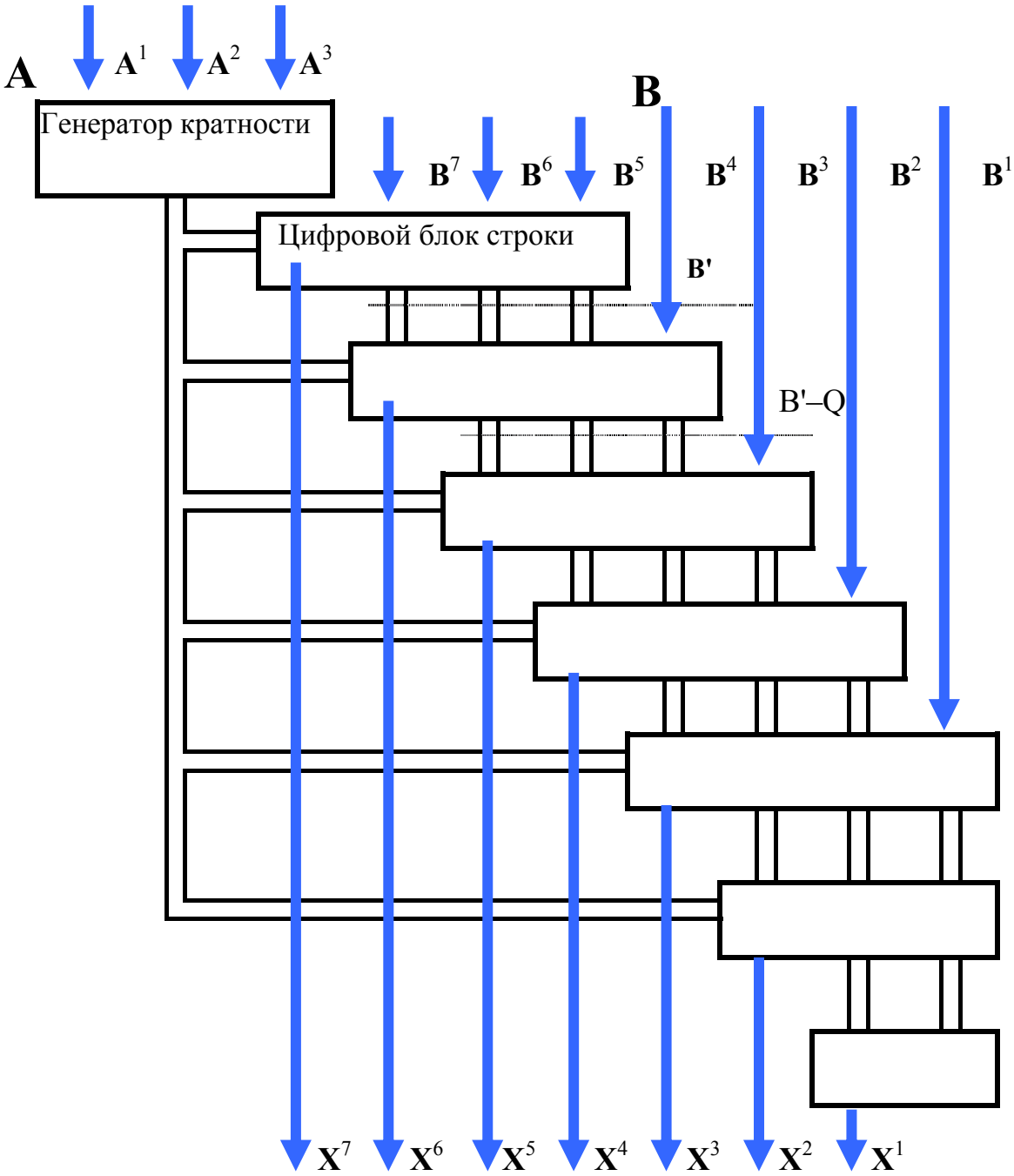


Рис. 2.27

В представленной части работа схемы принципиально не отличается от общеизвестного деления "углом". Отличие здесь в осуществлении элементарной операции деления в цифровом блоке строки, где деление производится не последовательным подбором результата, а выдается сразу.

На рис. 2.28 приведена структурная схема цифрового блока строки. Число **B'** на первом входе цифрового блока строки сравнивается в первом узле сравнения с числом **A** и **A×6** и при выполнении неравенства **A ≤ B'** < **A×6** [2.15] на выходной шине x_1 появляется сигнал x_1=1*. Во втором узле сравнения число **B'** сравнивается с числами **A×2** и **A×7** и при выполнении неравенства **A×2 ≤ B'** < **A×7**

на выходной шине $\mathbf{x_2}$ появляется сигнал $x_2=1^*$ и т.д. вплоть до пятого узла сравнения, когда при выполнении соотношения $\mathbf{A\times5 \le B'}$ появляется сигнал $x_5=1^*$.

На рис. 2.29 приведены соотношения между цифровыми значениями выходных сигналов $\mathbf{A\times1}$, … , $\mathbf{A\times9}$ генератора кратности, пятифазными сигналами $\mathbf{X}$ (x_1, … ,x_5) и их цифровыми эквивалентами **0** – **9**.

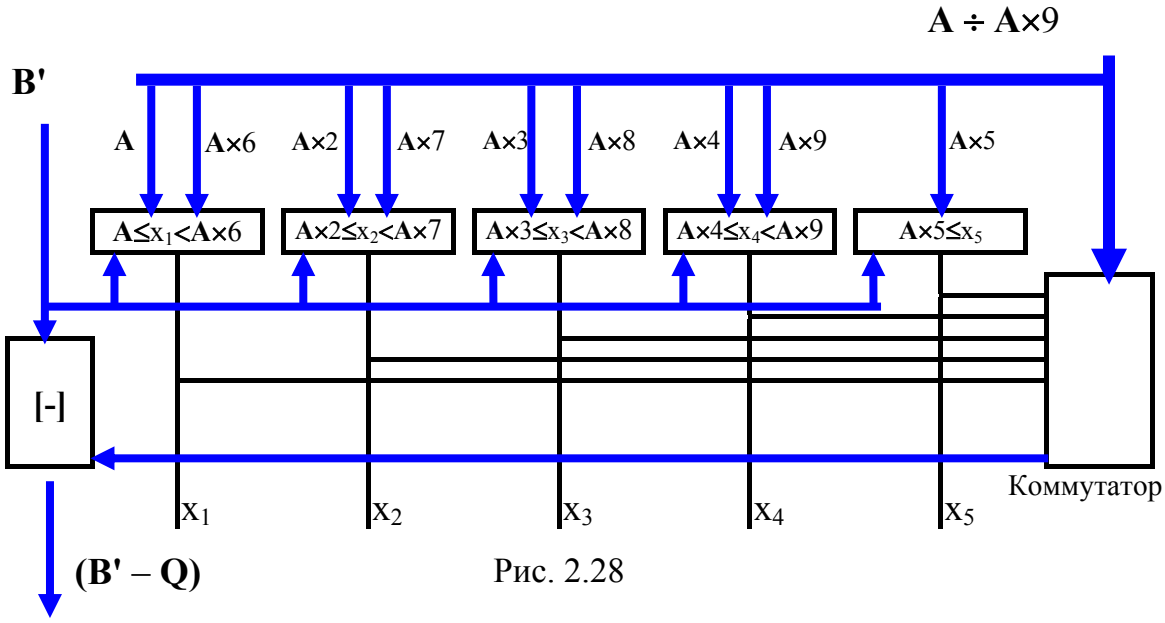


Рис. 2.28

Следовательно, на первом выходе цифрового блока строки формируется результат деления числа $\mathbf{B}$ на делитель $\mathbf{A}(\mathbf{A^1}, \mathbf{A^2}, \mathbf{A^3})$. Цифровой эквивалент этого деления $\mathbf{X}_i$ через коммутатор пропускает число $\mathbf{Q=A\times X}_i$ на второй вход узла вычитания, где определяется разность чисел $(\mathbf{B'} - \mathbf{Q})$, которая является вторым выходом цифрового блока строки, и т.д.

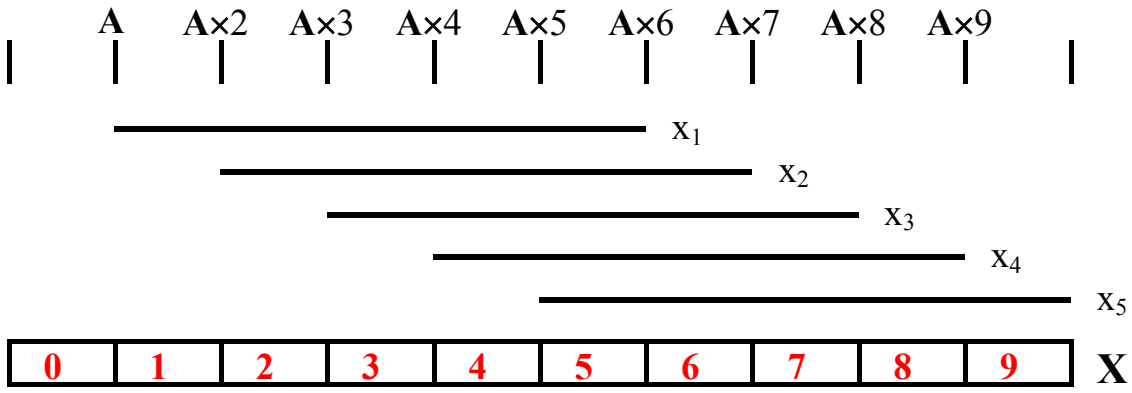


Рис. 2.29

Таким образом, синтезированное устройство для деления благодаря параллельному выполнению операции элементарного деления в цифровом блоке строки, где результат операции формируется без итеративного подбора, позволяет получить высокое быстродействие. При этом быстродействие операции деления эквивалентно операции умножения, реализующее метод кратных мно-

жимого, который, как известно [2.4], является одним из наиболее сильных аппаратных методов.

Выполняя все представленные выше процедуры синтеза, можно создать устройство деления для любых оснований систем счисления и любых принципов кодирования этих оснований.

Одним из таких устройств является схема [2.14], где принят двоичный принцип кодирования основания n=8. Работа этой схемы поясняется рис. 2.30.

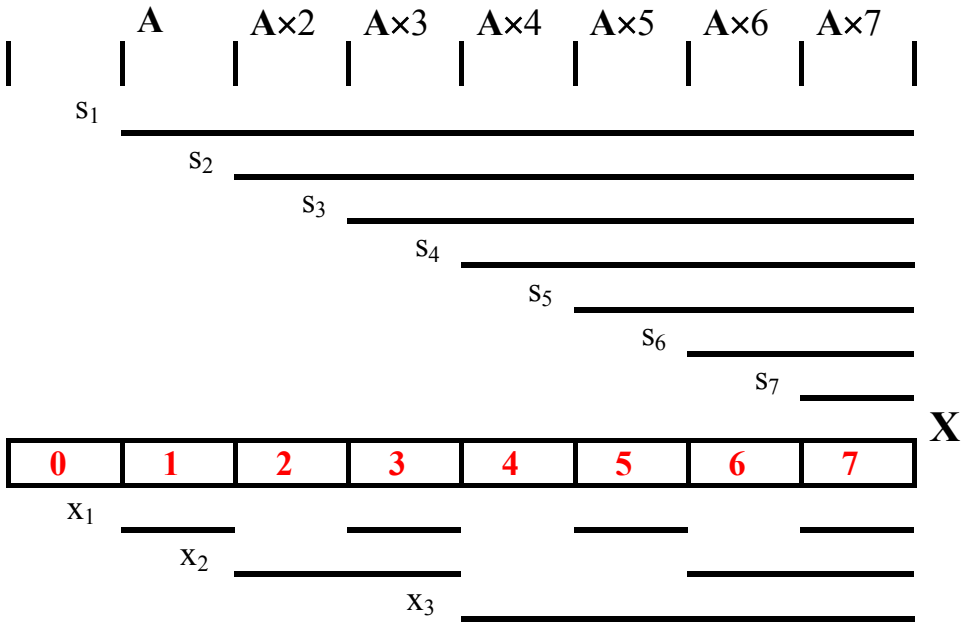


Рис. 2.30

Здесь в цифровом блоке строки используется промежуточный "интегральный" код **S(**s_1, ... , s_7**)**, сигналы которого определяются в соответствующих узлах сравнения по следующим неравенствам: $\mathbf{A} \le s_1$, $\mathbf{A} \times 2 \le s_2$, ... , $\mathbf{A} \times 7 \le s_7$, а связь между этими сигналами и выходными определяется простыми зависимостями:

$$x_1 = s_1 \underline{s}_3 \vee s_3 \underline{s}_4 \vee s_5 \underline{s}_6 \vee s_7; \quad x_2 = s_2 \underline{s}_4 \vee s_6; \; x_3 = s_4.$$

2.4. Синтез реверсивных счетчиков

Схемы счетчиков и делителей частоты находят самое широкое применение в электроприводах, где они используются при формировании многофазных напряжений, обработке сигналов с датчиков обратных связей и в целом ряде других цифровых узлов.

Структура многофазного кода позволяет создавать достаточно простые схемы счетчиков, которые могут быть построены на различных типах триггеров: RS, JK, D, DV и других. Схемы делителей-счетчиков отличаются многообразием вариантов и названий [2.17] – [2.20], из которых наиболее часто встречаются названия "счетчик лента Мебиуса", "счетчик с кодом Либау-Крейга", "счетчик на регистре с перекрестными связями", "кольцевой счетчик",

"кодовое кольцо", т.е. названию счетчика приписывают фамилию автора счетчика либо автора кода, либо сам код.

Здесь необходимо внести ясность. Многофазный код ведет свою историю с начала XIX века, когда появились в электротехнике многофазные напряжения, питающие электродвигатели переменного тока. Если в многофазных напряжениях положительную полуволну принять за логическую единицу, а отрицательную – за логический нуль, то при нечетном числе фаз сдвиг между сигналами многофазного кода равен $2\pi/m$, а при четном числе фаз – π/m.

В [2.16] авторы W.H.Libaw и L.J.Craig в предложенной ими схеме преобразователя угол-код применили сдвиг фаз между сигналами для нечетного числа фаз при m=5 таким же, как для четного числа фаз. Таким образом, код Либау-Крейга отличается от многофазного кода и кодов счетчиков [2.22] – [2.28] только сдвигом фаз между его сигналами: код Либау-Крейга – π/m, многофазный код – $2\pi/m$, а код, предложенный в [2.22] для применения в кольцевых управляемых по внешнему цифровому сигналу делителях-счетчиках, имеет сдвиг фаз – $2\pi(m-1)/m$.

На рис. 2.31 приведены соотношения между сигналами этих кодов соответственно для m=3, m=5 и m=4. Любой из этих кодов исторически правильно называть многофазным, а при необходимости уточнения указывать угол между фазами. При этом следует отметить, что почти во всех литературных источниках не делается отличий в выполнении счетчиков многофазного кода при четном и нечетном числе фаз. Однако счетчики на четном и нечетном числе триггеров имеют различную структуру и достоверность функционирования. Например, счетчик трехфазного кода (m=3) имеет $(2^m - 2)=2$ нерабочих состояния, в которых он может находиться сколь угодно долго, а счетчик четырехфазного кода, у которого восемь нерабочих состояний, не имеет устойчивого нерабочего цикла.

Основная проблема, которую приходится решать при синтезе делителей-счетчиков многофазного кода, – устранение нерабочих состояний. Число этих состояний зависит от основания системы счисления и совпадает с избыточностью кода, в котором работает счетчик. Чем больше фазность делителя-счетчика, тем больше у него устойчивых нерабочих состояний и тем сложнее обеспечить его устойчивость.

На рис. 2.32 приведена схема трехфазного делителя-счетчика, выполненного на RS-триггерах, которые соединены между собой вентилями в два кольца. Первое кольцо образовано вентилями, которые соединяют левые плечи триггеров с входами последующих триггеров. Второе кольцо образуют вентили связи, которые соединяют правые плечи триггеров с входами последующих триггеров. На управляющие входы вентилей связи первого и второго кольца подаются соответственно тактовые импульсы α и β. Если триггеры счетчика находятся в состоянии, соответствующем цифре **0** (рис. 2.31), то тактовый импульс α установит первый триггер в противоположное положение с третьим триггером, что соответствует цифре 1, следующий тактовый импульс β установит второй триггер в противоположное положение с первым триггером, что соответствует цифре 2, и т.д.

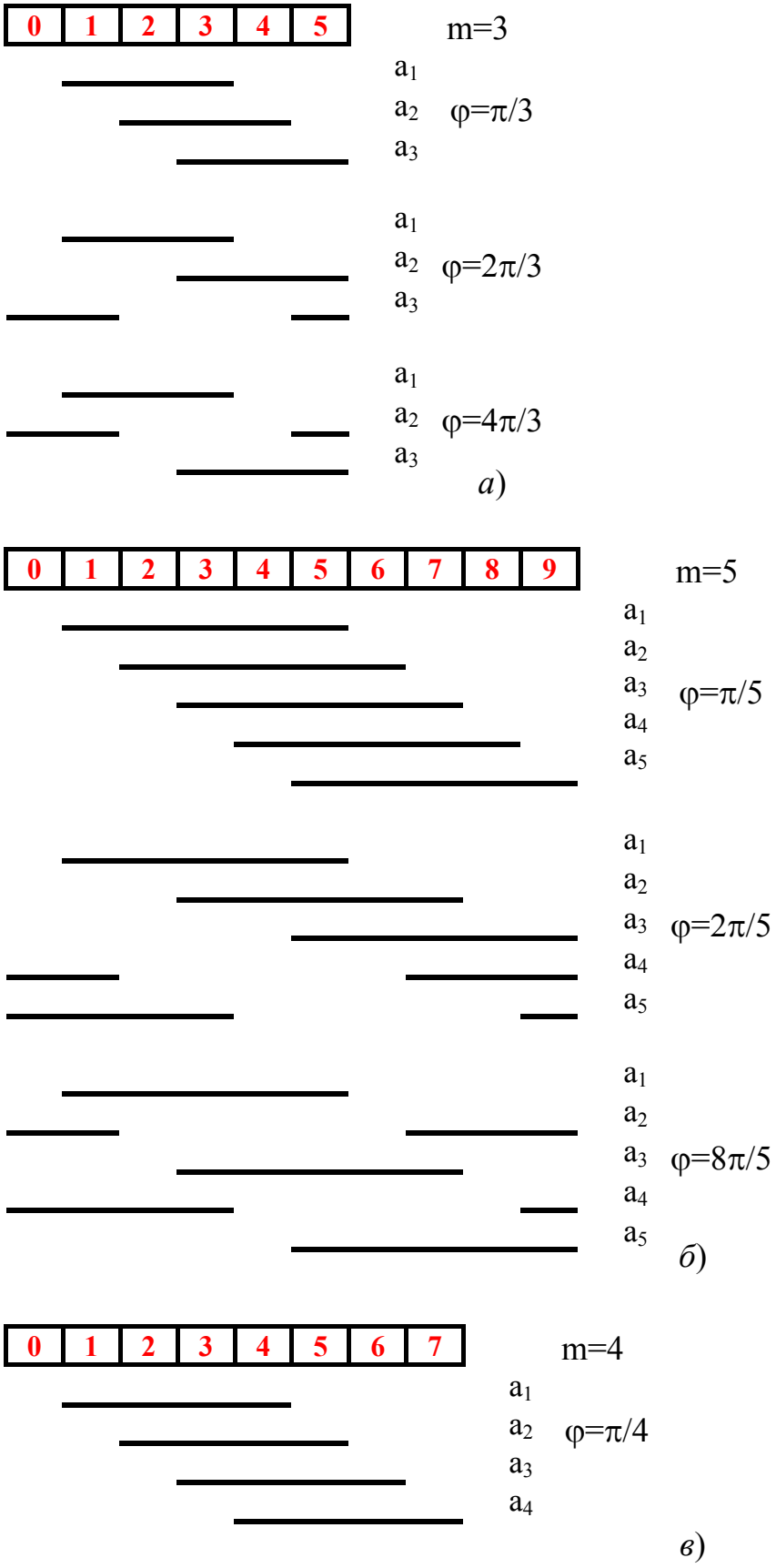

0 1 2 3 4 5
m=3
a1
a2
a3
φ=π/3
φ=2π/3
φ=4π/3
а)
0 1 2 3 4 5 6 7 8 9
m=5
φ=π/5
φ=2π/5
φ=8π/5
б)
0 1 2 3 4 5 6 7
m=4
φ=π/4
в)

Рис. 2.31

Этот трехфазный делитель-счетчик имеет два устойчивых нерабочих состояния: первое состояние $a_1=a_2=a_3=0^*$ соответствует одновременному появлению на выходе четных цифровых сигналов **0**, **2**, **4**, а второе состояние $a_1=a_2=a_3=1^*$ – одновременному появлению нечетных цифр **1**, **3**, **5**.

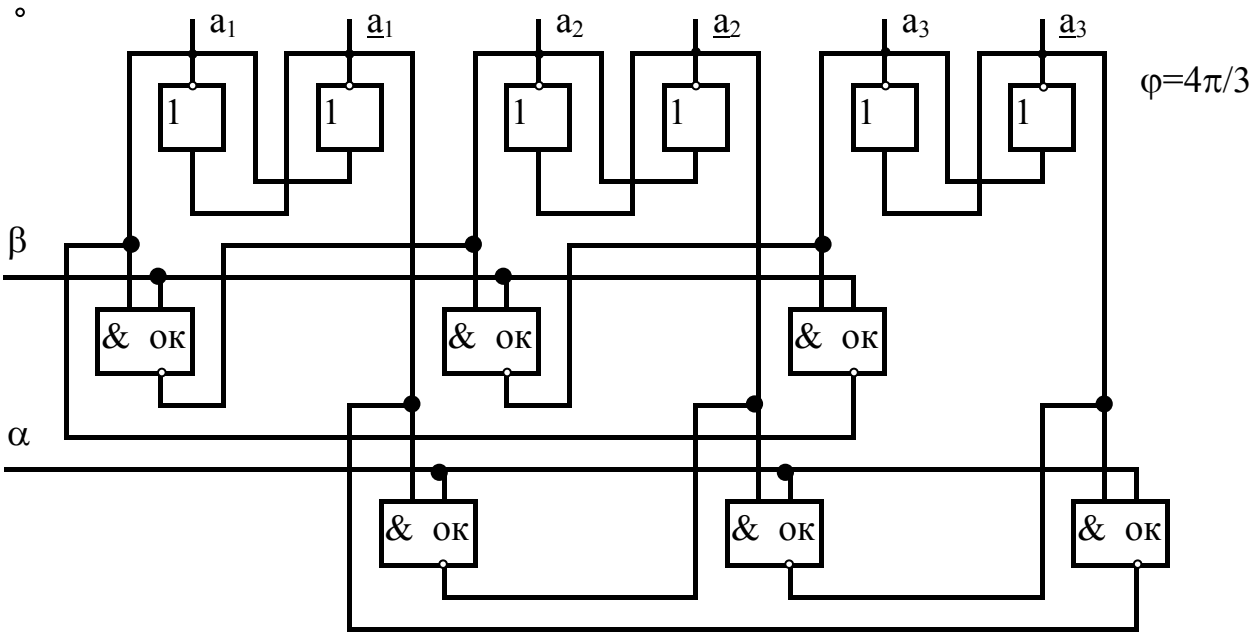


Рис. 2.32

Переход из нерабочих состояний в рабочие, а также установление устойчивых нерабочих циклов определяется временными соотношениями между переключениями триггеров. Если обозначить времена переключения триггеров соответственно t_1, t_2, t_3, предполагая, что время переключения каждого триггера из 0* в 1* и из 1* в 0* одинаково, то можно выделить следующие тринадцать соотношений: $\tau_1(t_1< t_2< t_3)$, $\tau_2(t_2< t_3< t_1)$, $\tau_3(t_3< t_1< t_2)$, $\tau_4(t_2< t_3< t_1)$, $\tau_5(t_2< t_1< t_3)$, $\tau_6(t_1< t_3< t_2)$, $\tau_7(t_1< t_2< t_3)$, $\tau_8(t_1=t_2< t_3)$, $\tau_9(t_2= t_3< t_1)$, $\tau_{10}(t_1< t_2=t_3)$, $\tau_{11}(t_2< t_3= t_1)$, $\tau_{12}(t_3< t_2= t_1)$, $\tau_{13}(t_1= t_2= t_3)$.

На рис. 2.33 приведен граф переходов трехфазного делителя-счетчика, на котором состояния счетчика обозначены эквивалентными им цифрами **0** – **5**. Из графа переходов видно, что при определенных временных соотношениях делитель-счетчик имеет устойчивый нерабочий цикл.

С увеличением числа фаз растут количество устойчивых нерабочих циклов и число состояний в этих циклах. Для устранения нерабочих состояний требуется применение специальных мер.

Рассмотрим построение делителей-счетчиков на четном числе триггеров.

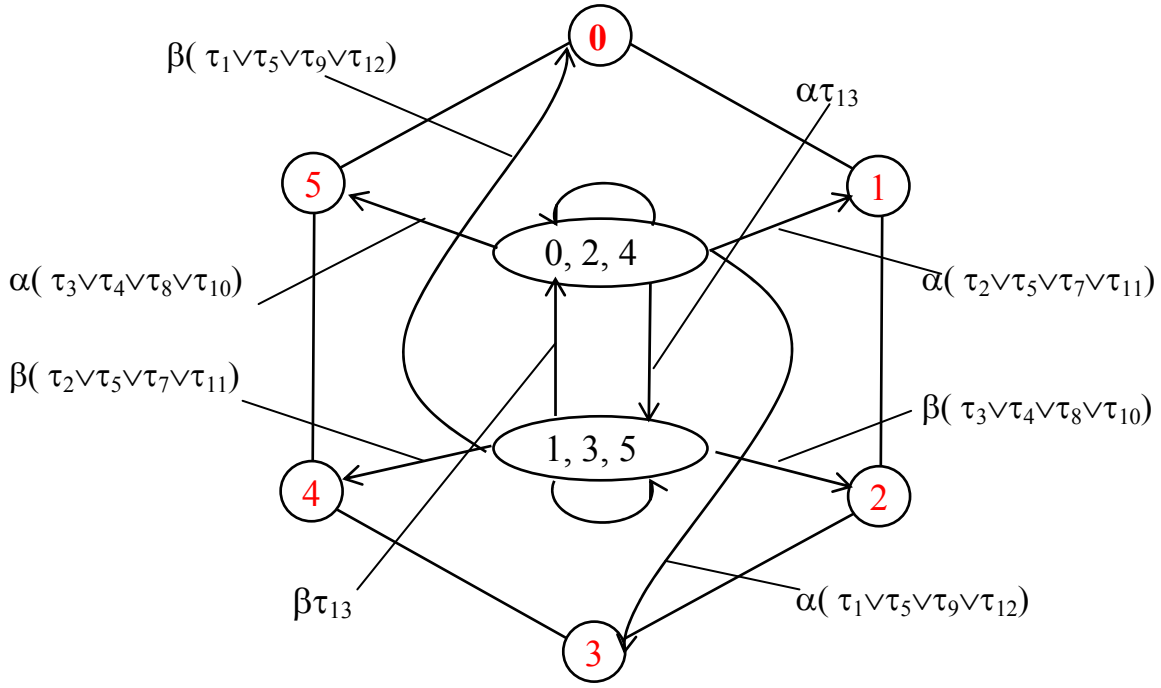


Рис. 2.33

На рис. 2.34 приведена схема четырехфазного делителя-счетчика, которая содержит четыре RS-триггера, соединенные между собой вентилями связи.

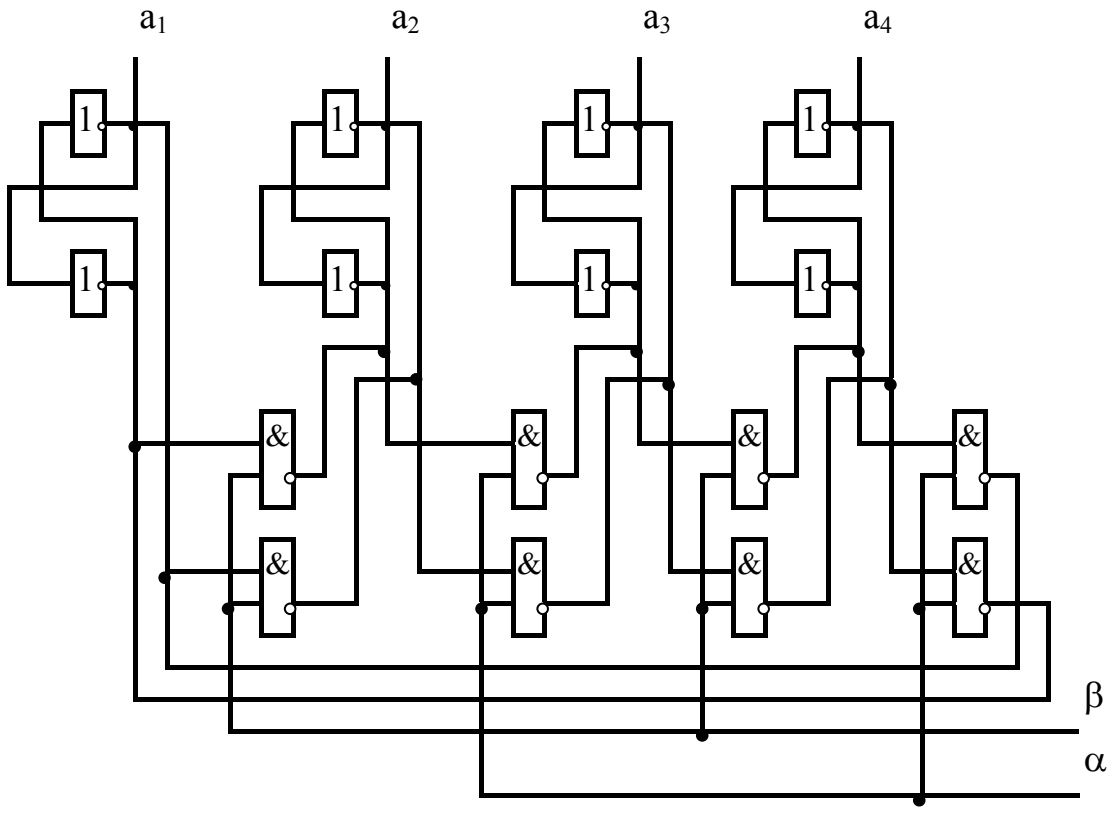


Рис. 2.34

Представленный счетчик не имеет замкнутых колец, а вентили образуют две группы: на управляющие входы вентилей первой группы подается тактовый импульс α, а на управляющие входы второй группы – импульс β. Если триггеры находились в состоянии, соответствующем цифре **0** (рис. 2.31,*в*), то тактовый импульс α установит первый триггер в положение, противоположное четвертому триггеру, что соответствует цифре **1**. Следующий тактовый импульс β установит второй триггер в одинаковое положение с первым, что соответствует цифре 2, и т.д.

Каждый тактовый импульс устанавливает один из триггеров в одинаковое положение с предыдущим триггером. Исключение составляет первый триггер, который устанавливается в противоположное положение с четвертым триггером.

Из графа переходов четырехфазного делителя-счетчика (рис. 2.35), видно, что схема не имеет устойчивых нерабочих состояний и переход из нерабочих состояний в рабочее состояние не зависит от соотношения времен переключения триггеров.

Однако уже следующая по количеству фаз схема на четном числе триггеров (шестифазный делитель-счетчик) имеет устойчивые нерабочие состояния и сложный граф состояния [2.30], где выход из нерабочего состояния без принятия специальных мер невозможен.

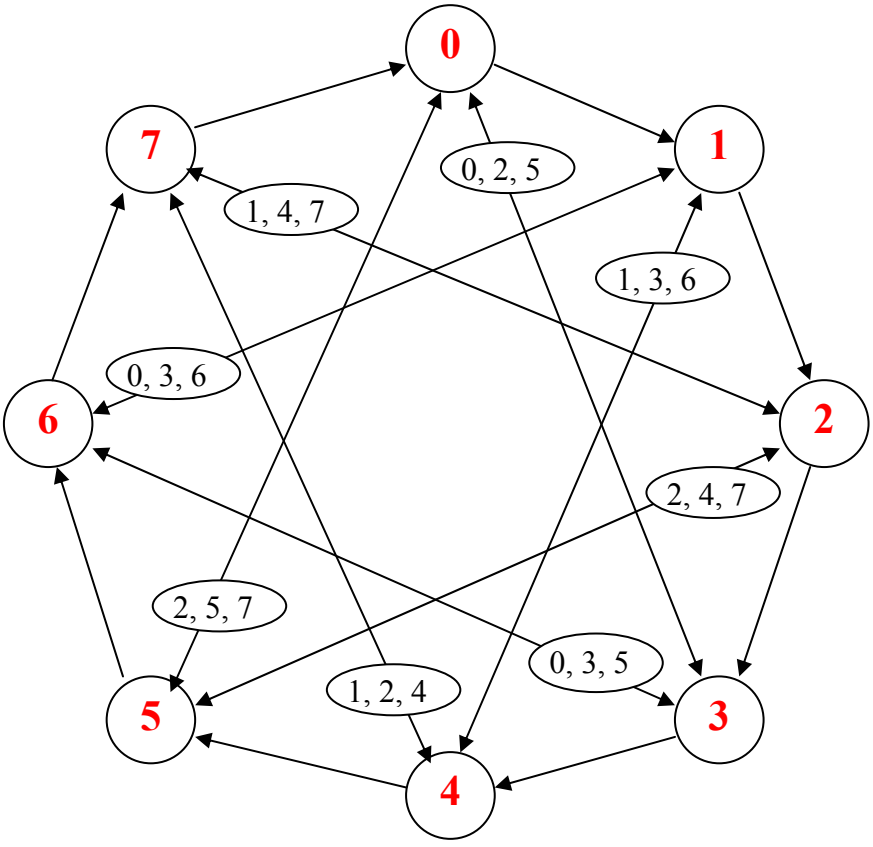


Рис. 2.35

Устранить устойчивые нерабочие состояния делителей-счетчиков можно увеличением числа тактовых импульсов. Например, шестифазный делитель-счетчик при трех тактовых импульсах не имеет устойчивых нерабочих циклов [2.31]. При таком способе построения структуры выход из нерабочего состояния осуществляется в несколько тактовых импульсов, что не всегда приемлемо.

Другой предложенный в [2.28] способ ликвидации нештатных состояний – использование блокировки триггеров делителя-счетчика определенными цифровыми сигналами. Сущность работы такой схемы поясняется рис. 2.36,*а*, где представлены трехфазные сигналы a_1, a_2, a_3 делителя-счетчика и соответствующие им цифры **0** – **5**, а звездочками отмечены соответствующие блокировки триггеров.

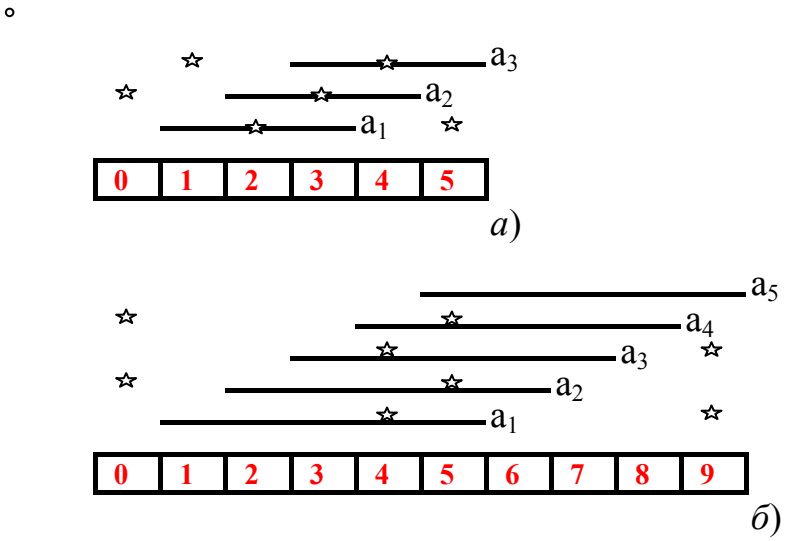


Рис. 2.36

При цифре **0** второй триггер устанавливается в положение 0*, при цифре **1** третий триггер устанавливается в положение 0*, а при цифре **2** первый триггер устанавливается в положение 1* и т.д. Граф переходов такого делителя-счетчика содержит только рабочие состояния, соответствующие цифрам **0** – **5**.

При увеличении числа фаз блокировки триггеров от всех цифр использовать нельзя, поскольку это приводит к возникновению состязаний в схеме делителя-счетчика. Здесь возможно использовать только частичную блокировку.

На рис. 2.36,*б* показаны сигналы a_1, ..., a_5 триггеров пятифазного делителя-счетчика и соответствующие им цифры **0** – **9**. При цифре **0** второй и четвертый триггеры устанавливаются в положение 0*, а при цифре **4** – первый и третий триггеры устанавливаются в 1* и т.д.

Использование таких частичных блокировок исключает опасные состязания в схеме пятифазного делителя-счетчика, что иллюстрируется графом переходов рис. 2.37.

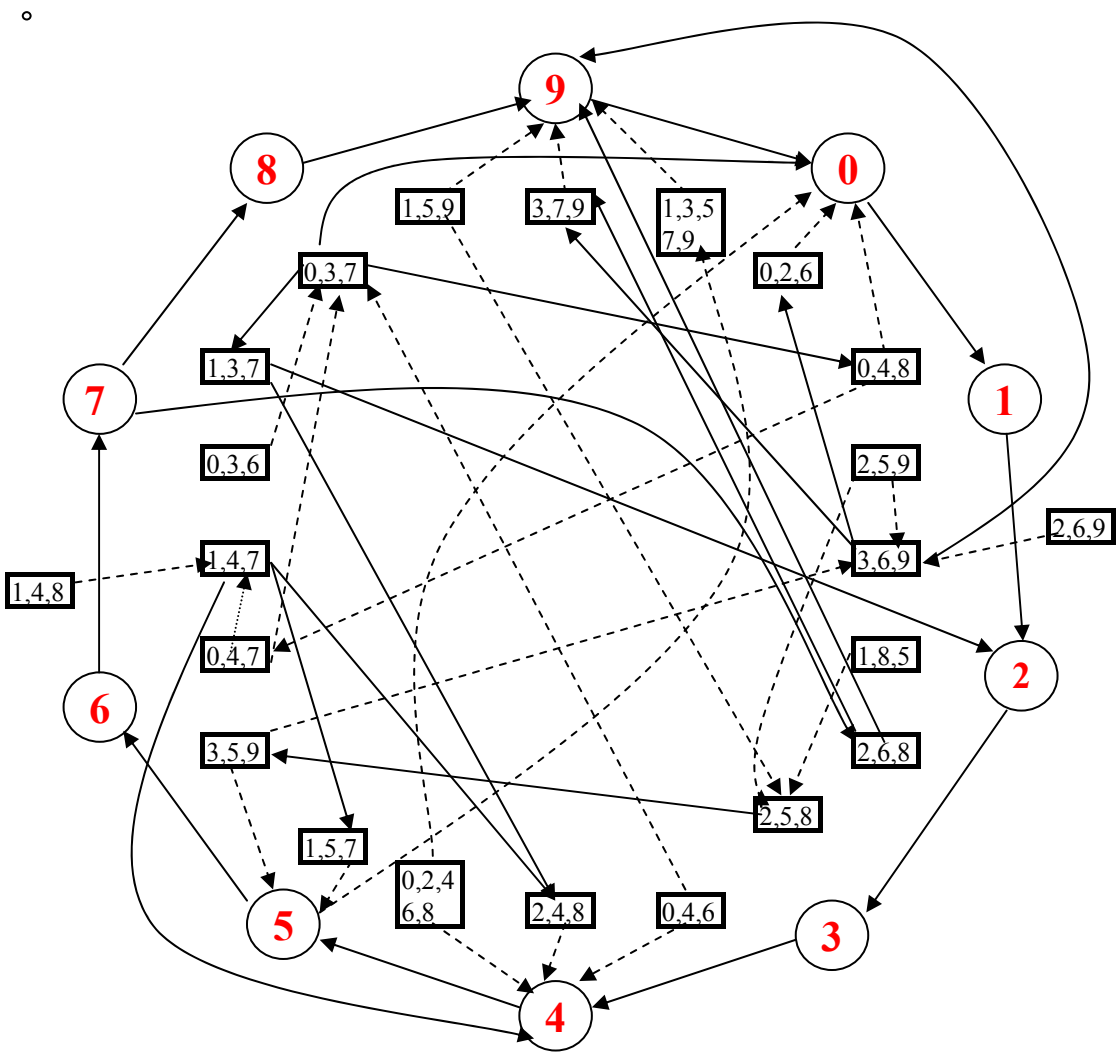


Рис. 2.37

На этом рисунке пунктирными линиями обозначены возможные переходы при описанных блокировках. Введение блокировок ликвидирует устойчивые нерабочие состояния, но переход из нерабочих состояний в рабочие может осуществляться в течение нескольких тактов входных импульсов, что является недостатком схемы.

Ни один из рассмотренных методов не обеспечивает решения задачи устойчивости делителей-счетчиков многофазного кода в общем случае. Решение проблемы устойчивости заключается во включении в обратную связь блока исправления ошибок, где выходы триггеров в m-фазном делителе-счетчике соединяются с блоком исправления ошибок на входе устройства [2.29]. В пределах корректирующей способности блок исправления может исправлять ошибки определенной кратности, а также комбинации ошибок. Если имеется информация о вероятностях возникновения ошибок разной кратности, то этот блок целесообразно ориентировать на наиболее вероятный тип ошибок, поскольку выполнить его для возможного максимального количества ошибок достаточно сложно. Принципы синтеза блоков исправления ошибок будут рассмотрены в следующей главе.

В электроприводах широко используются реверсивные делители-счетчики, поэтому необходимо рассмотреть построение таких устройств в многофазном коде.

Имеются три основных способа реверсирования счетчиков в цифровой технике. Первый из них заключается в использовании счетчика с двумя входами. Подаче тактовых импульсов на один вход соответствует одно направление счета, а изменение направления счета происходит при подаче тактовой частоты на другой вход. При втором способе счетчик имеет шину тактовой частоты и шины суммирования и вычитания. На первую шину подаются тактовые импульсы, а на одну из остальных шин – разрешающий сигнал.

Оба способа имеют невысокую помехоустойчивость, поскольку при переключении тактовых сигналов с одного входа на другой, а также переключении сигнала с шины суммирования на шину вычитания либо наоборот в счетчике имеется вероятность сбоя. По этой причине нежелательно использование таких реверсивных делителей-счетчиков в системах управления электроприводами, где переключение с режима на режим происходит довольно часто.

Более надежным в этом отношении является разработанный нами [2.22] – [2.24], [2.26], [2.27], [2.32] третий способ осуществления реверса, который заключается в изменении порядка следования тактовых импульсов. Пусть имеются четыре последовательности тактовых импульсов α, β, α', β', диаграммы которых показаны на рис. 2.38, *а*, *б*.

Они подаются на делитель-счетчик по четырем шинам. Построение такого делителя-счетчика на любом числе триггеров не вызывает затруднений. Для этого он должен иметь не два, а четыре рабочих кольца, причем при порядке следования тактовых импульсов (α, β, α', β', α и т.д.), показанном на рис. 2.38,*а*, рабочими являются кольца, в которые первыми поступают импульсы α и α'. Переключение триггеров в делителе-счетчике осуществляется в порядке возрастания эквивалентных цифр. При изменении порядка следования импульсов, показанном на рис. 2.38,*б*, рабочими становятся кольца, в которых подаются импульсы β и β', и переключение триггеров осуществляется в порядке убывания цифр.

Примером реверсивного делителя-счетчика, работающего по описанному выше принципу, является двухфазный делитель-счетчик на двух RS триггерах, схема которого приведена на рис. 2.39, а диаграммы входных сигналов и сигналов триггеров a_1 и a_2 показаны на предыдущем рисунке.

Такой делитель-счетчик имеет четыре устойчивых состояния, закодированных цифрами **0** – **3**, а переключение триггеров осуществляется импульсами α и α' при суммировании и импульсами β и β' – при вычитании, как это показано на рис. 2.38, где в режиме суммирования выходные цифровые сигналы изменяются в прямой последовательности **0** – **3**, а в режиме вычитания – в обратной последовательности **3** – **0**. При смене режима работы происходит смена кода сигнала второй фазы по закону $a_2 \leftrightarrow \underline{a}_2$, а сигнал первой фазы a_1 не меняется.

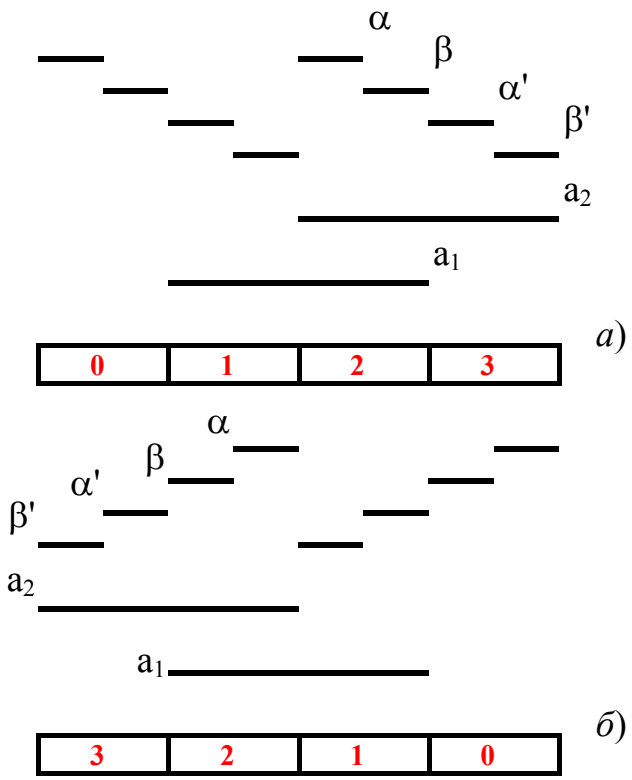


Рис. 2.38

Анализ работы предложенных реверсивных делителей-счетчиков показывает, что они обладают такой же устойчивостью, как и их нереверсивные варианты, имеющие вдвое меньшее количество шин. Поэтому при проектировании реверсивного делителя-счетчика достаточно знать его нереверсивный вариант, а дальнейшие действия будут заключаться в устранении нерабочих состояний делителя-счетчика и установке средств для реверсирования.

Различные области применения делителей-счетчиков многофазного кода обусловили многообразие их структур и оснований кода в отдельных разрядах. Примеры построения таких структур для инверторов с цифровым формированием и регулированием их выходных напряжений, цифровых преобразователей угла и скорости, а также других устройств электроприводов постоянного и переменного тока будут рассмотрены в следующих разделах.

Все применяемые здесь многоразрядные делители-счетчики представляют собой последовательную цепочку различных делителей в общем случае с разным основанием системы счисления, чаще всего соединенных при помощи согласующих делителей на двух триггерах.

Быстродействие одного многофазного делителя-счетчика, как отмечалось выше, больше, чем у двоичного счетчика равного основания. Однако последовательное соединение разрядов и здесь снижает быстродействие многоразрядного делителя-счетчика многофазного кода, что в ряде случаев нежелательно.

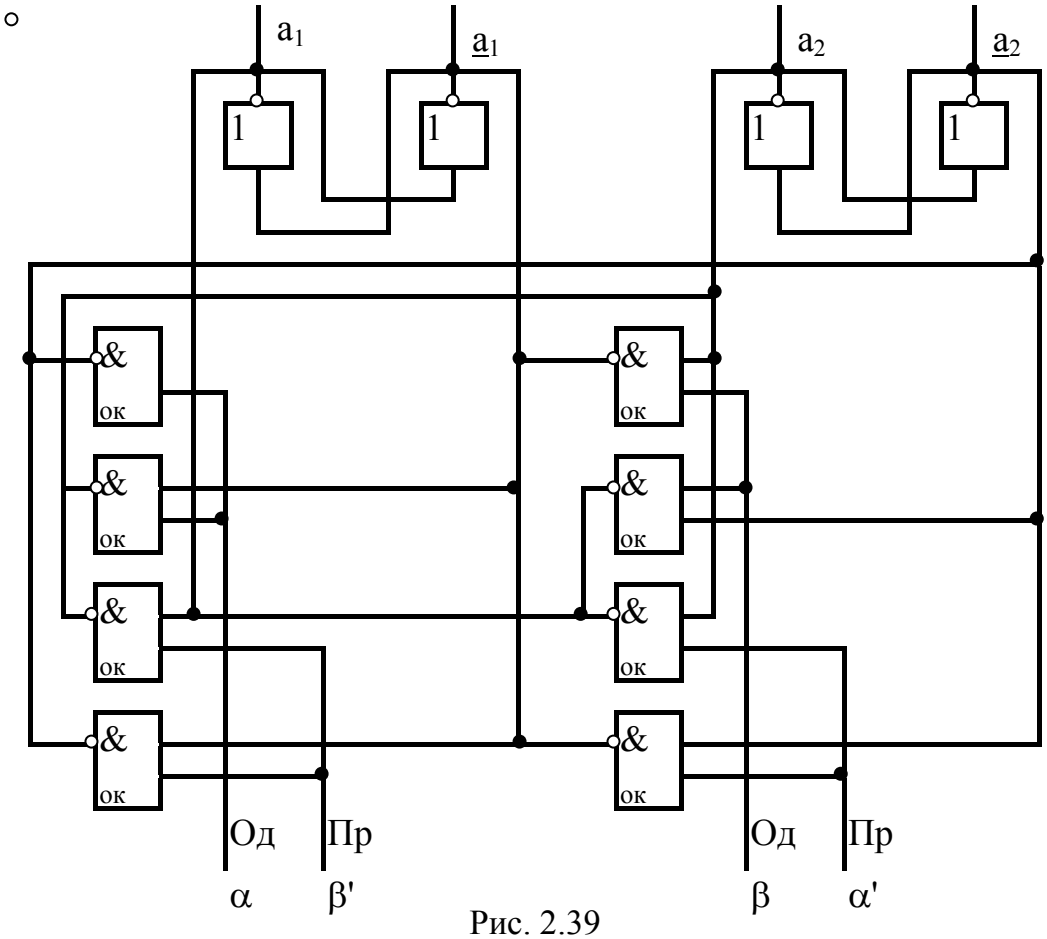


Рис. 2.39

Рассмотрим в связи с этим организацию параллельного переноса в делителях-счетчиках многофазного кода. На рис. 2.40 приведена структурная схема многоразрядного делителя-счетчика и показана цепь параллельного переноса. В таком счетчике переключение во всех триггерах происходит практически одновременно. Соседнее кодирование многофазного кода позволяет упростить цепь параллельного переноса: для организации переноса по одной шине в каждом разряде используется один трехвходовой элемент И.

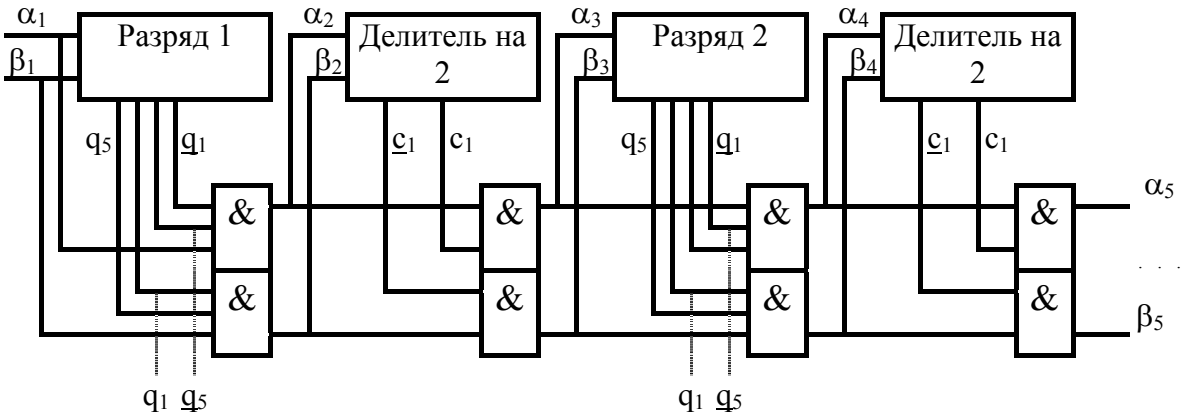


Рис. 2.40

У реверсивных делителей-счетчиков и счетчиков, имеющих большее количество входных шин, цепи переноса выполняются аналогичным образом.

2.5. Синтез управляемых делителей-счетчиков

Требования к управляемому от внешнего цифрового сигнала делителю-счетчику в устройствах электропривода и системах энергоснабжения – это высокая помехозащищенность, необходимость выходного частотного сигнала с неизменным для данного коэффициента деления периодом. Следовательно, сигнал не должен быть "гребенкой с поломанными зубьями", а цифровой выходной код должен менять основание системы счисления в соответствии с изменением коэффициента деления.

Этим условиям полностью удовлетворяет управляемый делитель-счетчик, который был предложен в [2.34] на нечетном числе RS триггеров и двух кольцевых схемах, составленных из вторичных обмоток входного импульсного трансформатора и такого же количества диодов.

На рис. 2.41 приведен фрагмент этой схемы их двух i и (i+1) RS триггеров, но выполненных на интегральных схемах, что не меняет существа его работы.

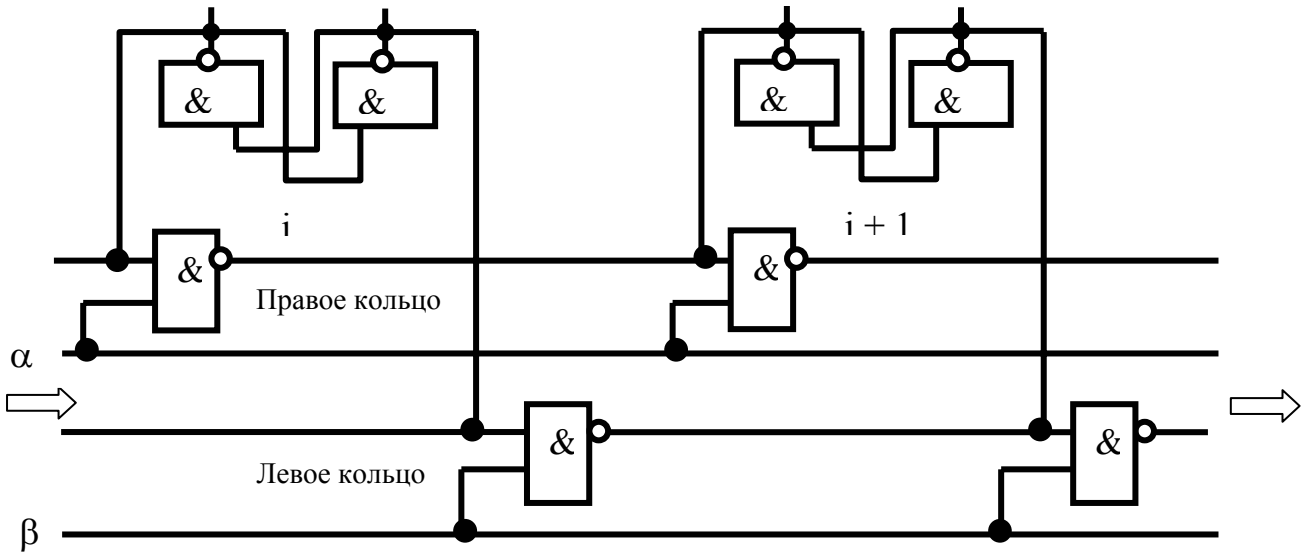


Рис. 2.41

В схеме содержится m нечетных RS триггеров, которые соединены между собой двумя кольцами, составленными, например, из двухвходовых элементов И-НЕ с открытым коллекторным выходом. Правое кольцо соединяет между собой правые плечи триггеров, а левое кольцо – левые плечи этих триггеров. В схеме имеются две входные шины, которые объединяют соответствующие входы элементов И-НЕ этих колец. На эти входные шины поочередно поступают импульсы, соответствующие положительной α и отрицательной $\underline{\alpha}$ полуволнам входного частотного сигнала делителя-счетчика.

В табл. 2.5.1 на примере делителя-счетчика из девяти RS триггеров представлена его работа при делении входной частоты на девять.

Таблица 2.5 .1

№	Триггеры									Кольцо
	1	2	3	4	5	6	7	8	9	
0	0	0	1	0	1	0	1	0	1	Л
1	0	1	1	0	1	0	1	0	1	Пр
2	0	1	0	0	1	0	1	0	1	Л
3	0	1	0	1	1	0	1	0	1	Пр
4	0	1	0	1	0	0	1	0	1	Л
5	0	1	0	1	0	1	1	0	1	Пр
6	0	1	0	1	0	1	0	0	1	Л
7	0	1	0	1	0	1	0	1	1	Пр
8	0	1	0	1	0	1	0	1	0	Л
9	1	1	0	1	0	1	0	1	0	Пр
10	1	0	0	1	0	1	0	1	0	Л
11	1	0	1	1	0	1	0	1	0	Пр
12	1	0	1	0	0	1	0	1	0	Л
13	1	0	1	0	1	1	0	1	0	Пр
14	1	0	1	0	1	0	0	1	0	Л
15	1	0	1	0	1	0	1	1	0	Пр
16	1	0	1	0	1	0	1	0	0	Л
17	1	0	1	0	1	0	1	0	1	Пр

При нечетном числе триггеров и приведенном соединении только два рядом стоящих по порядку обхода триггера могут находиться в одинаковом состоянии 0*, 0* или 1*, 1*. Состояние всех остальных триггеров чередуется.

В первой строке этой таблицы показано состояние RS триггеров, когда был подан сигнал α в правое кольцо, и каждый по порядку обхода RS триггер, находящийся в положении 1*, установил следующий по кольцу за ним триггер в противоположное себе положение. Этому состоянию триггеров делителя-счетчика соответствует цифра 0.

При подаче следующего импульса $\underline{\alpha}$ на входную шину левого кольца каждый RS триггер, находящийся в положении 0*, устанавливает следующий по кольцу триггер в противоположное себе положение. Этому состоянию соответствует вторая строка таблицы и т.д.

При каждом поступлении чередующихся импульсов α, $\underline{\alpha}$ входной частоты только один триггер изменяет свое состояние. Это происходит по кольцу, и все триггеры делителя-счетчика переключаются с частотой в m = 9 раз меньше входной частоты.

Для большей наглядности на рис. 2.42 показаны графические соотношения между входными сигналами α и сигналами выходного кода $a_1 - a_9$, представляющие основание системы счисления n = 2m =18. Сигналы этого кода являются разновидностью многофазного кода и имеют между собой фазовый сдвиг в $2\pi(m-1)/m$ радиан.

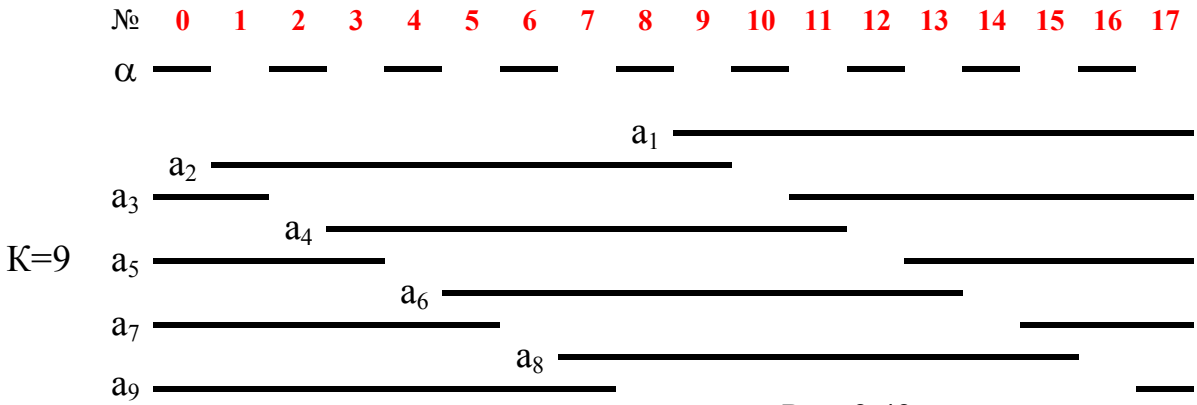


Рис. 2.42

Очевидно, что здесь выходной частотный сигнал $\alpha_9 = \underline{a}_1$.

Поскольку число 9 кратно 3, то не представляет труда сформировать сигналы многофазного кода для деления на три непосредственно из сигналов девятифазного кода, например в записи Либау-Крейга для основания n = 6. Это следующие сигналы:

$$a'_1 = a_2\, a_5 \vee a_2\, a_8 \vee a_8\, a_5\,;$$
$$a'_2 = \underline{a}_3\, \underline{a}_6 \vee \underline{a}_9\, \underline{a}_3 \vee \underline{a}_6\, \underline{a}_9\,;$$
$$a'_3 = a_4\, a_7 \vee a_1\, a_4 \vee a_1\, a_7\,,$$

а выходной частотный сигнал такого делителя-счетчика определяется выражением

$$\alpha_3 = \underline{a}'_3 = a'_3 = \underline{a}_4\, \underline{a}_7 \vee \underline{a}_1\, \underline{a}_4 \vee \underline{a}_1\, \underline{a}_7.$$

Для деления входной частоты на (m – γ) из ансамбля RS триггеров должно быть исключено их четное число γ.

На рис. 2.43 приведен фрагмент принципиальной схемы делителя-счетчика для уменьшения его коэффициента деления на γ.

При наличии сигнала 1* на вторых входах элементов И-НЕ, например с открытым коллекторным выходом, RS триггер с номером γ будет дублировать все переключения RS триггера перед этой группой триггеров. Последний триггер будем называть полностью ведущим для триггера с номером γ и обозначать, например, i (1*, 0*) → γ.

Остальные RS триггеры группы γ будут переключаться в определенном порядке, задаваемом алгоритмом переключения делителя-счетчика.

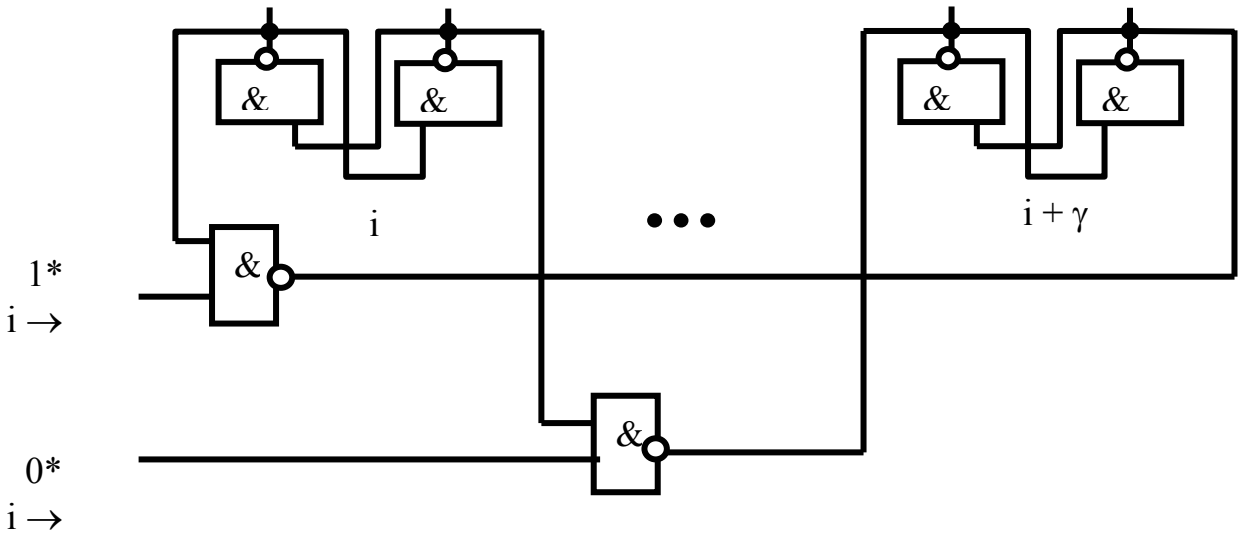


Рис. 2.43

Таким образом могут быть реализованы все следующие нечетные коэффициенты деления m = 7, 5, 3.

Пропустив процедуру составления таблиц переключения RS триггеров управляемого делителя-счетчика, которые выполняются аналогично табл. 2.5.1, покажем графически соотношения между входными сигналами α и сигналами $a_1 – a_9$.

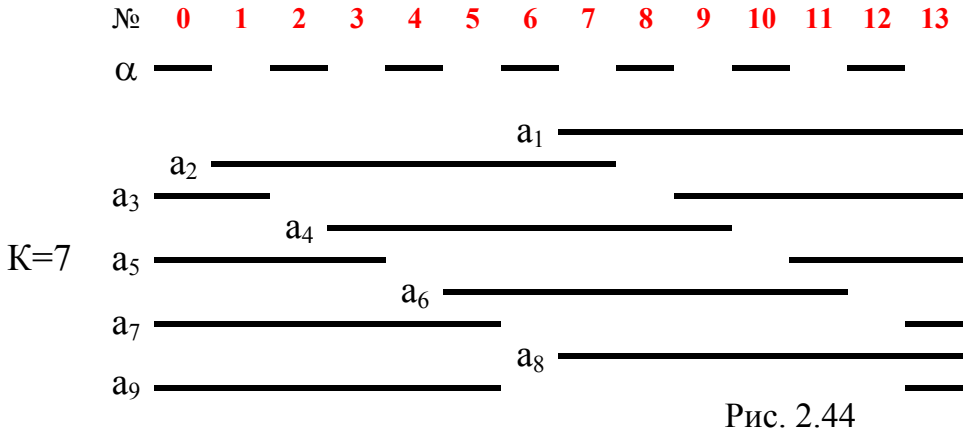


Рис. 2.44

Для деления на семь (рис. 2.44) сигналы $a_1 – a_7$ представляют цифры основания n = 14, а другие сигналы определяются зависимостями $a_9 = a_7$, $a_8 = a_1$. При этом выходной частотный сигнал $\alpha_7 = \underline{a}_1$.

Для деления на пять (рис. 2.45) сигналы $a_1 – a_5$ представляют цифры основания n = 10, а другие сигналы определяются зависимостями $a_9 = a_5$, $a_8 = a_3$, $a_7 = a_2$. При этом выходной частотный сигнал $\alpha_5 = \underline{a}_1$.

Для деления на четное число (m – γ/2) в схеме рис. 2.42 необходимо убрать одну из связей i-го RS триггера с триггером под номером γ. Например, триггер γ будет всегда совпадать с частично ведущим триггером только тогда, когда он находится в положении 1*. Это состояние записывается следующим образом: i (1*) → γ. Очевидно, что в схеме возможно использовать и другое состоя-

ние i (0*) → γ. В дальнейшем будем рассматривать только первый вариант соединения.

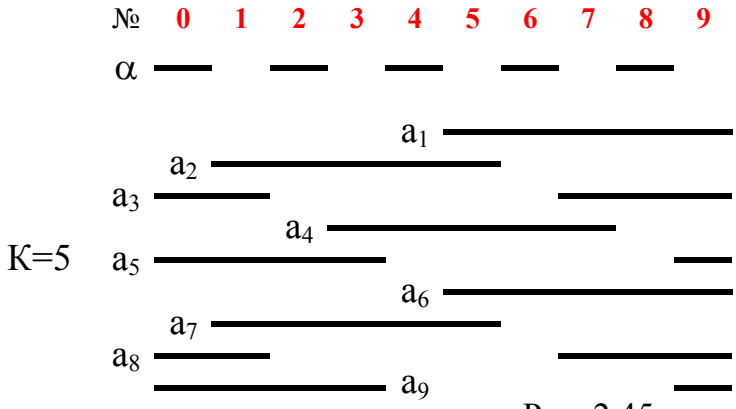


Рис. 2.45

Для деления на восемь в схеме необходимо установить соединение 7 (1*) → 9, тогда режим работы делителя-счетчика будет определяться табл. 2.5.2.

Таблица 2.5.2

№	Триггеры									Кольцо
	1	2	3	4	5	6	7	8	9	
0	0	0	1	0	1	0	1	0	1	Л
1	0	1	1	0	1	0	1	0	1	Пр
2	0	1	0	0	1	0	1	0	1	Л
3	0	1	0	1	1	0	1	0	1	Пр
4	0	1	0	1	0	0	1	0	1	Л
5	0	1	0	1	0	1	1	0	1	Пр
6	0	1	0	1	0	1	0	0	1	Л
7	0	1	0	1	0	1	0	1	1	Пр
8	0	1	0	1	0	1	0	1	0	Л
9	1	1	0	1	0	1	0	1	0	Пр
10	1	0	0	1	0	1	0	1	0	Л
11	1	0	1	1	0	1	0	1	0	Пр
12	1	0	1	0	0	1	0	1	0	Л
13	1	0	1	0	1	1	0	1	0	Пр
14	1	0	1	0	1	0	0	1	0	Л
15	1	0	1	0	1	0	1	1	1	Пр

Графические соотношения между входными сигналами и сигналами кода a_1 – a_9, определяющие основание системы счисления n = 16, приведены на рис. 2.46.

В этом случае все сигналы синтезированного кода a_1 – a_9 определяют основание системы счисления n = 16. В записи Либау-Крейга эти многофазные сигналы представляются следующим образом:

$a'_1 = \underline{a}_1\, a_2$, $a'_2 = \underline{a}_3\, a_2$, $a'_3 = \underline{a}_3\, a_4$, $a'_4 = \underline{a}_5\, a_4$, $a'_5 = \underline{a}_5\, a_6$, $a'_6 = \underline{a}_7\, a_6$, $a'_7 = \underline{a}_7\, a_8$, $\underline{a}'_8 = \underline{a}_1 a_9$

При этом выходной частотный сигнал делителя-счетчика определяется зависимостью $\alpha_8 = \underline{a}'_8 = = \underline{a}_1 a_9$.

Поскольку число 8 кратно 4 и 2, то несложно сформировать сигналы систем счисления оснований n =8 и n =4.

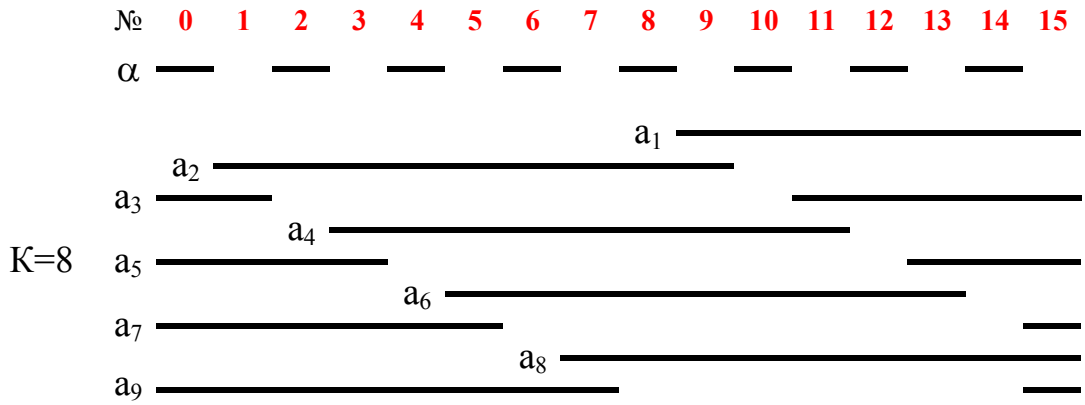


Рис. 2.46

Для деления на четыре можно непосредственно из сигналов девятифазного кода получить четырехфазный код, например в записи Либау-Крейга для основания n = 8. Это следующие выражения:

$$a'_1 = a_2\,\underline{a}_6 \vee a_1\,\underline{a}_5\,,\ a'_2 = a_7\,\underline{a}_3 \vee a_6\,\underline{a}_2\,,\ a'_3 = a_4\,\underline{a}_8 \vee a_3\,\underline{a}_7\,,\ a'_4 = a_9\,\underline{a}_5 \vee a_8\,\underline{a}_4\,,$$

а частотный выходной сигнал делителя-счетчика определяется выражением $\alpha_4 = \underline{a'}_3 = a_5\,\underline{a}_1 \vee a_4\,\underline{a}_8$.

Для деления на два можно также непосредственно из сигналов девятифазного кода получить двухфазный код, например в записи Либау-Крейга для основания n = 4. Это выражения:

$$a'_1 = a_2\,\underline{a}_4 \vee a_6\,\underline{a}_8 \vee a_1\,\underline{a}_3 \vee a_5\,\underline{a}_7, \qquad a'_2 = a_5\,\underline{a}_3 \vee a_9\,\underline{a}_7 \vee a_4\,\underline{a}_2 \vee a_8\,\underline{a}_6,$$

а частотный выходной сигнал делителя-счетчика определяется выражением $\alpha_2 = \underline{a'}_2 = a_3\,\underline{a}_1 \vee a_7\,\underline{a}_5 \vee a_2\,\underline{a}_9 \vee a_6\,\underline{a}_4$.

Получение коэффициента деления на шесть можно реализовать двумя вариантами перестройки схемы делителя-счетчика. Первый вариант выполнения определяется установкой соединения 3 (1*) → 9, а второй вариант – двумя соединениями 7 (1*, 0*) → 9, 5 (1*) → 7. Для реализации выберем первый вариант соединения.

На рис. 2.47 приведены соотношения между входными сигналами α и сигналами кода $a_1 – a_9$, определяющие основание системы счисления n = 12.

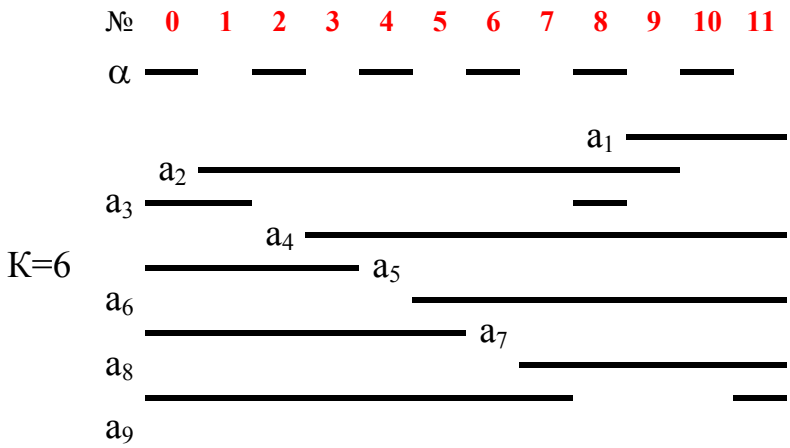


Рис. 2.47

Тогда сигналы шестифазного кода в записи Либау-Крейга представляются следующими выражениями:

$a'_1 = a_2\,\underline{a}_8$, $a'_2 = a_9\,\underline{a}_3$, $a'_3 = a_4\,\underline{a}_1$, $a'_4 = a_2\,\underline{a}_5$, $a'_5 = a_6\,\underline{a}_3$, $a'_6 = \underline{a}_7$, а частотный выходной сигнал делителя-счетчика определяется выражением $\alpha_6 = \underline{a}'_7 = a_7$.

Алгоритм выполнения логического блока, который должен будет по внешним цифровым сигналам управлять режимом работы делителя-счетчика, т.е. изменять его коэффициент деления, ясен из изложенного выше и определяется табл. 5.2.3.

Таблица 5.2.3

Входной код	$К_д$	Соединение в схеме делителя-счетчика				
		3 (1*) → 9	5 (1*) → 9	5 (0*) → 9	7 (1*) → 9	7 (0*) → 9
1	2					
2	3					
3	4					
4	5					
5	6					
6	7					
7	8					

Из данных этой таблицы ясна схема реализации принципиальной схемы логического блока, управляющего режимом работы делителя-счетчика.

При этом необходимо отметить, что число режимов работы управляемого делителя-счетчика, охватывающее все коэффициенты деления от единицы до m, определяется зависимостью (m + 1)/2. Так, для представленного выше делителя-счетчика (m = 9) это пять режимов: 9(3), 8(4,2), 7, 6, 5. Для одиннадцатифазного делителя-счетчика (m = 11) это шесть режимов работы: 11, 10 (5, 2), 9 (3), 8 (4,2), 7, 6 и т.д., где кратные частоты получаются без изменения основного режима работы.

Остановимся на выполнении коммутаций выходных цифровых сигналов кода при изменении коэффициентов деления и соответственно оснований систем счисления разрядов многоразрядного делителя-счетчика многофазного кода. Пусть при этом цифровой код разрядов представляется в многофазном коде записью Либау-Крейга.

При делении на нечетное число это будут непосредственно сигналы RS триггеров, записанные в определенной последовательности.

При делении на четное число это будут синтезированные сигналы, определяемые логическими схемами по приведенным выше выражениям. Эти логические выражения приведены в табл. 2.5.4, где последние сигналы каждой колонки определяют также сигнал $\underline{\alpha}$ выходной частоты делителя-счетчика.

При делении входной частоты на девять (код управляющего цифрового сигнала соответствует цифре 7_b) все девять выходных шин определяют код числа делителя-счетчика.

При делении входной частоты на восемь (код управляющего цифрового сигнала соответствует цифре 6_b) только восемь выходных шин определяют код

числа делителя-счетчика и т.д. вплоть до деления на два, когда две выходные шины определяют этот код.

Принципиальная схема логического блока, реализующего алгоритм, представленный табл. 2.5.4, приведена на рис. 2.48.

Таблица 2.5.4

Выходной код		Входной код							
		0_b	**1_b**	**2_b**	**3_b**	**4_b**	**5_b**	**6_b**	**7_b**
	a'_1	$a_2\underline{a_4} \vee a_6\underline{a_8} \vee a_1\underline{a_3} \vee a_5\underline{a_7}$ 1	a_2	$a_2\underline{a_6} \vee a_1\,\underline{a_5}$ 2	a_2	a_2a_8 3	a_2	$a_2\underline{a_1}$ 4	a_2
	a'_2	$a_5\underline{a_3} \vee a_9\underline{a_7} \vee a_4\underline{a_2} \vee a_8\underline{a_6}$ 5	$\underline{a_3}$	$a_7\underline{a_3} \vee a_6\underline{a_2}$ 6	$\underline{a_3}$	$a_9\underline{a_3}$ 7	$\underline{a_3}$	$a_2\underline{a_3}$ 8	$\underline{a_3}$
	a'_3		a_4	$a_4\underline{a_8} \vee a_3\underline{a_7}$ 9	a_4	$a_4\underline{a_1}$ 10	a_4	$a_4\underline{a_3}$ 11	a_4
	a'_4			$a_9\underline{a_5} \vee a_8\underline{a_4}$ 12	$\underline{a_5}$	$a_2\underline{a_5}$ 13	$\underline{a_5}$	$a_4\underline{a_5}$ 14	$\underline{a_5}$
	a'_5				a_6	$a_6\underline{a_3}$ 15	a_6	$a_6\underline{a_5}$ 16	a_6
	a'_6					$\underline{a_7}$	$\underline{a_7}$	$a_6\underline{a_7}$ 17	$\underline{a_7}$
	a'_7						a_8	$a_8\underline{a_7}$ 18	a_8
	a'_8							$a_9\underline{a_1}$ 19	$\underline{a_9}$
	a'_9								a_1

В схеме блока используются десять мультиплексоров MS_1 – MS_{10} и преобразователь входного кода ПК.

Мультиплексоры MS_1 – MS_5, MS_{10} являются коммутаторами из 8 в 1; MS_6, MS_7 – коммутаторами из 4 в 1; MS_8, MS_9 – коммутаторами из 2 в 1. Причем мультиплексоры MS_3 – MS_9 имеют каждый выходную шину с тремя устойчивыми состояниями.

Рядом с входными информационными шинами первых девяти мультиплексоров написаны, взятые из табл. 2.5.4 номера (бледным шрифтом) сигналов в коде Либау-Крейга, а информационные сигналы, совпадающие с сигналами RS триггеров делителя-счетчика, представлены непосредственно.

На выходных шинах преобразователя кодов входной двоичный код $B(b_1, b_2, b_3)$ преобразуется в сигналы интегрального кода $L_1 = \mathbf{0} \vee \ldots \vee \mathbf{6}$, $L_2 = \mathbf{0} \vee \ldots \vee \mathbf{5}$, ... , $L_6 = \mathbf{0} \vee 1$, $L_7 = \mathbf{0}$. При наличии этих сигналов на управляющих входах соответствующих мультиплексоров MS_3 – MS_9 их выходные шины отключаются.

Таким образом, при входном цифровом коде цифры $\mathbf{0_b}$ будут использованы только выходные сигналы MS_1, MS_2 соответственно на выходных шинах 1 и 2; при входном цифровом коде цифры $\mathbf{1_b}$ будут использованы выходные сигналы MS_1, MS_2 , MS_3 соответственно на выходных шинах 1, 2 и 3 и т.д. вплоть до цифрового входного кода цифры $\mathbf{7_b}$, когда будут подключены к выходным шинам 1 – 9 сигналы мультиплексоров MS_1 – MS_9.

Десятый мультиплексор MS_{10}, где его информационные входы соединены с выходными шинами мультиплексоров MS_2 – MS_9, а входы выбора данных – с входами шин двоичного кода $B(b_1, b_2, b_3)$, служит для формирования частотного выходного сигнала $\underline{\alpha}$ делителя-счетчика.

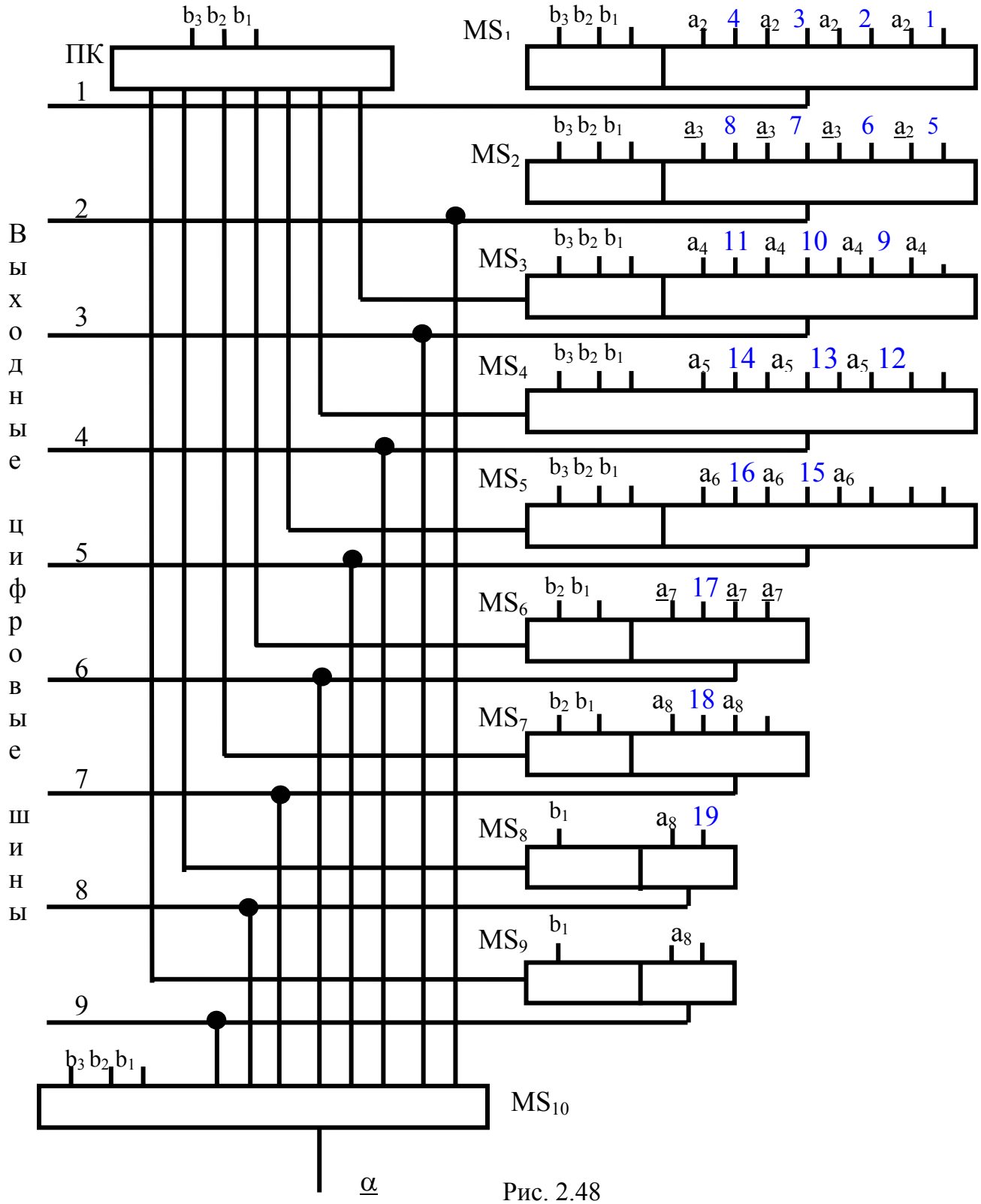


Рис. 2.48

Таким образом, проведен синтез управляемого делителя-счетчика, который позволяет получить выходной частотный сигнал с неизменным для заданного коэффициента деления периодом и цифровым выходным кодом, изменяющим соответствующим образом основание системы счисления, оставаясь при этом многофазным.

2.6. Синтез преобразователей кодов

При управлении электроприводами от ЦВМ возникает задача преобразования кодов. Это связано с тем, что ЦВМ работают в двоичном коде, а цифровые устройства приводов применяют в основном многофазный код.

Несмотря на то, что возможна реализация арифметических и логических устройств, когда один операнд задан, например, в многофазном коде, а другой в двоичном либо каком-либо другом коде (см. разд. 2.3, 2.4), нередко желательно привести эти операнды к единому коду. Необходимость такого преобразования может быть вызвана потребностью использовать стандартные одинаковые блоки и узлы во всей системе управления.

В простейшем случае, когда основание этих кодов кратно двум, преобразование выполняется с помощью элементарных комбинационных схем [2.31]. При других основаниях сложность преобразования кодов резко возрастает. Обычно при создании преобразователей ориентируются на конкретный случай преобразования одного кода в другой. Для более общей структуры преобразователя рассматриваются методы преобразования из кода с большим основанием в меньшее основание и наоборот. Общие методы построения преобразователей из кода одного вида в код другого вида при произвольных основаниях в литературе не рассматриваются.

Между тем существует универсальный способ преобразования кода [2.33] с основанием n в код с основанием r при $n < r$ и $n > r$, заключающийся в поразрядном делении преобразуемого числа **A** на основание r.

Функциональная схема преобразователя, реализующая этот способ, приведена на рис. 2.49.

Он состоит из элементарных делителей на r, образующих треугольную матрицу. Делитель 1 первой строки матрицы осуществляет деление старшего разряда $\mathbf{A}_k$ преобразуемого числа **A**, в результате чего формируется частное и остаток (перенос) **C**. Делитель 2 первой строки выполняет деление следующего разряда $\mathbf{A}_{k-1}$ с учетом переноса **C**. На его выходах формируется частное **G** и перенос **E** и т.д. до k-го делителя первой строки, который делит первый разряд $\mathbf{A}_1$ с учетом P. Остаток $\mathbf{B}_1$ является первым разрядом числа **B** с основанием r.

Выходы частного делителей первой строки соединены с входами делителей второй строки, которых на один меньше. На выходе k-го делителя второй строки матрицы формируется второй разряд $\mathbf{B}_2$ и т.д. до k-й строки матрицы, которая содержит один делитель, формирующий $\mathbf{B}_{k-1}$ на выходе остатка и $\mathbf{B}_k$ на выходе частного.

Сигналы частного на выходах всех делителей, за исключением k-го делителя k-й строки, представлены в исходном коде с основанием n, а сигналы переноса (остатка) – в коде с основанием r.

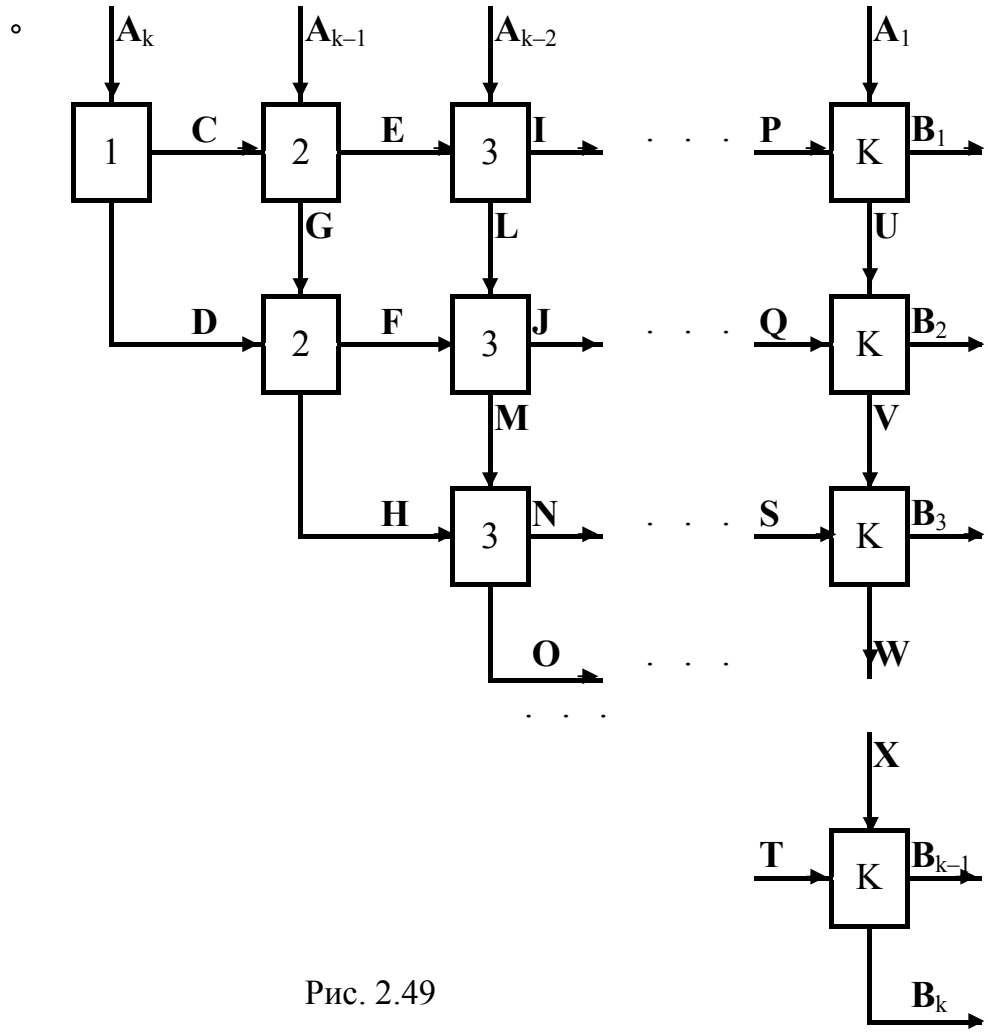


Рис. 2.49

Если выбрано n < r, то первые делители в каждой строке матрицы будут отсутствовать и количество строк уменьшится на единицу. В том случае, когда основания кодов сильно различаются, разряды кода с меньшим основанием необходимо объединить в группы по i разрядов, где $r^i > n > r^{i-1}$ или $n^i > r > n^{i-1}$.

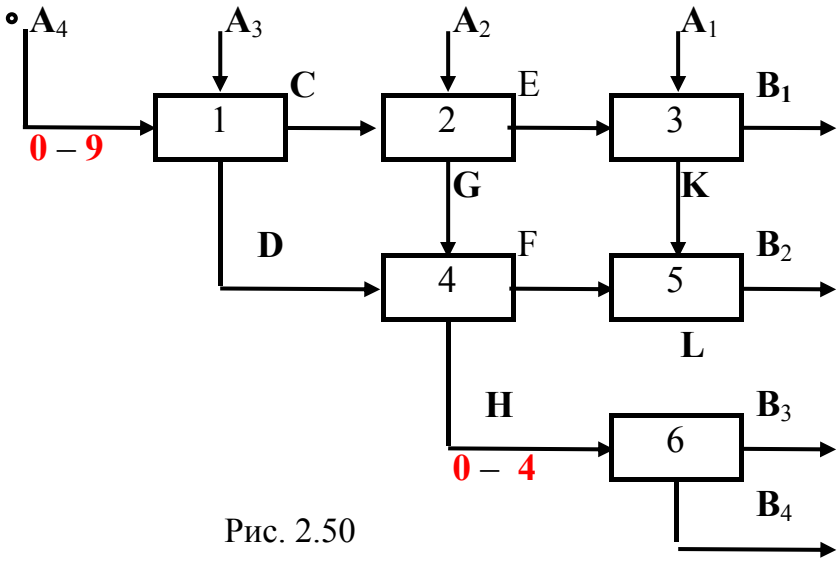


Рис. 2.50

Принцип построения элементарных делителей поясним на преобразователе четырехразрядного десятичного кода (n = 10**)** в двоичный код (рис. 2.50), при этом разряды числа **A** представлены в многофазном коде. Преобразователь состоит из шести элементарных делителей 1 – 6.

Выберем в качестве примера выполнения делитель 3 и составим две таблицы чисел, в которых по горизонтали и вертикали отложены цифры оснований систем счисления n (**0** – **9**) и r (**0** – **15**) и в клетках таблицы записаны результаты операции соответственно для частного (рис. 2.51) и остатка (рис. 2.52).

		A									
		0	**1**	**2**	**3**	**4**	**5**	**6**	**7**	**8**	**9**
E	**0**	0	0	0	0	0	0	0	0	0	0
	1	0	0	0	0	0	0	1	1	1	1
	2	1	1	1	1	1	1	1	1	1	1
	3	1	1	2	2	2	2	2	2	2	2
	4	2	2	2	2	2	2	2	2	3	3
	5	3	3	3	3	3	3	3	3	3	3
	6	3	3	3	3	4	4	4	4	4	4
	7	4	4	4	4	4	4	4	4	4	4
	8	5	5	5	5	5	5	5	5	5	5
	9	5	5	5	5	5	5	6	6	6	6
	10	6	6	6	6	6	6	6	6	6	6
	11	6	6	7	7	7	7	7	7	7	7
	12	7	7	7	7	7	7	7	7	8	8
	13	8	8	8	8	8	8	8	8	8	8
	14	8	8	8	8	9	9	9	9	9	9
	15	9	9	9	9	9	9	9	9	9	9

Рис. 2.51

	A									
	0	**1**	**2**	**3**	**4**	**5**	**6**	**7**	**8**	**9**
0	0	1	2	3	4	5	6	7	8	9
1	10	11	12	13	14	15	0	1	2	3
2	4	5	6	7	8	9	10	11	12	13
3	14	15	0	1	2	3	4	5	6	7
4	8	9	10	11	12	13	14	15	0	1
5	2	3	4	5	6	7	8	9	10	11
6	12	13	14	15	0	1	2	3	4	5
7	6	7	8	9	10	11	12	13	14	15
8	0	1	2	3	4	5	6	7	8	9
9	10	11	12	13	14	15	0	1	2	3
10	4	5	6	7	8	9	10	11	12	13
11	14	15	0	1	2	3	4	5	6	7
12	8	9	10	11	12	13	14	15	0	1
13	2	3	4	5	6	7	8	9	10	11
14	12	13	14	15	0	1	2	3	4	5
15	6	7	8	9	12	11	12	13	14	15

Рис. 2.52

Таблица частного заполняется слева направо и сверху вниз числами от 0 до (n – 1) , причем каждая из них повторяется r раз. Таблица остатка заполняется слева направо и сверху вниз числами от **0** до (**r** – **1**), причем эта последовательность повторяется n раз.

В таблице частного можно выделить области, принадлежащие к пятифазным сигналам $k_1 – k_5$, как это показано на рис. 2.53. Эти множества чисел могут быть определены различными способами.

Аналогичным образом в таблице остатка можно выделить и определить множества чисел, принадлежащих сигналам $b_0 – b_3$ в четырехразрядном двоичном коде ($r = 2^4$**)**. Области этих сигналов выделены на рис. 2.54, которые также могут быть определены различными способами.

Покрытия цифровых множеств (рис. 2.53 и 2.54) определяют общую структуру элементарного делителя. Такую структуру имеют делители 2, 3 и 5 (см. рис. 2.50). Делители 1, 4 и 6 могут быть построены значительно проще.

Рассмотрим, например, делитель 1. На его оба входа поступают десятичные числа в многофазном коде, поэтому таблицы частного и остатка для такого делителя будут иметь размеры 10×10 клеток, или верхние десять строк на рис. 2.53, 2.54. Покрытие этих цифровых множеств, выполненных для частного и остатка, весьма просто.

В делителе 4 пятифазные сигналы на первом входе изменяются только в пределах **0** – **6** , поэтому таблицы частного и остатка для него ограничены размерами 9×7 чисел, и логические выражения для частного и остатка, определяющие покрытие этих фигур, будут просты.

Еще более простыми будут логические зависимости, определяющие построение делителя 6, где сигнал на первом входе может изменяться в пределах **0** – **4**.

Каждый элементарный делитель имеет здесь не более двух логических уровней, поэтому преобразователь кода, построенный по описанной структуре, обладает высоким быстродействием.

Один из вариантов такого преобразователя, осуществляющий преобразование пятифазного кода в двоичный, приведен в [2.31].

* * *

Некоторые варианты построения схем машинной арифметики остались за рамками второй главы, а представлены только те, которые потребуются для последующего применения. Тем не менее эти варианты позволяют в полной мере оценить преимущества метода многомерных цифровых множеств перед любыми другими аналитическими подходами к решению задачи синтеза этих устройств. Причем особенности той или иной арифметической операции, которые иногда сложно или невозможно усмотреть в аналитических (логических) выражениях, весьма прозрачно присутствуют в геометрических образах этих операций в многомерном цифровом пространстве и можно сказать: «Смотри и выбирай!» При этом наглядный геометрический образ охватывает все возможные варианты реализации этих схем машинной арифметики и выбор этих вариантов зависит только от требований по быстродействию и аппаратурным затратам, что охватывает все «жесткие» или программные пути решения этих задач.

Философия природы написана в величайшей книге … а написана эта книга на языке математики, и письмена ее – геометрические фигуры, без коих нельзя понять по-человечески ее слова.

Г. Галилей

Глава 3

КОНТРОЛЕСПОСОБНОСТЬ ПОЗИЦИОННЫХ СИСТЕМ СЧИСЛЕНИЯ

Проблема синтеза высоконадежных систем управления электроприводами, состоящими из большого количества аналоговых и цифровых электронных блоков, приобретает все большее значение.

Одним из основных и перспективных путей достижения высоких показателей надежности таких электроприводов является их синтез на базе использования самопроверяемых электронных блоков. Причем электронные блоки современных электроприводов становятся все более сложными.

Самопроверяемость в этом случае есть свойство обнаружить, а в лучшем случае и исправить неисправности как в основной, так и во встроенной аппаратуре контроля. Причем эти операции должны выполняться в режиме реального времени без прогонки специальных тестов или имитации неисправных состояний. Такой подход не исключает прогонки специальных тестов до момента включения электропривода для определения его готовности к выполнению необходимых функций.

Аналогичные задачи стоят достаточно давно и перед разработчиками ЭВМ, где использование самопроверяемых схем встроенного контроля позволяет избежать проблемы "контролера над контролером" и свести в идеале неконтролируемое ядро системы к нулю [3.1].

Решение этой проблемы для ЭВМ далеко до завершения, хотя ограничивается в основном пока только задачей обнаружения неисправностей. Это объясняется большой сложностью решения задач самоконтроля, где средства достижения отказоустойчивости очень разнообразны. Выбор средств обеспечения отказоустойчивости зависит и от условий применения, и от требований к показателям надежности систем, а обоснование выбора средств весьма затруднительно. При этом следует учитывать, что обычно ЭВМ работают в "тепличных" условиях внешних помех, а использование электронных блоков в электроприводах далеко от таких "тепличных" условий.

Отказоустойчивость электронных блоков и системы в целом достижима не только с помощью обеспечения самопроверяемости, а также самым распространенным способом – резервированием, в частности использованием мажоритарных структур либо полным поэлементным резервированием блоков.

Однако резервирование, которое устраняет последствия полного выхода из строя какого-либо элемента схемы, не может служить гарантией защиты от всевозможных видов кратковременных сбоев в схеме. Поэтому создание высоконадежных схем заключается в сочетании резервирования и использовании избыточных кодов, позволяющих обнаруживать и даже исправлять ошибки при передаче, хранении и выполнении определенных логических и арифметических операций над сигналами.

Самым простым решением задачи контролеспособности цифровых устройств является использование двухпроводных кодов. Именно в применении этих кодов ряд исследователей видит решение вопроса контролеспособности ЭВМ [3.2, 3.3].

В двухпроводном коде каждый информационный разряд дополняется еще одним разрядом, причем значение сигнала в дополнительном разряде противоположно значению сигнала в информационном разряде, т.е. он является его инверсией. Следовательно, для двухпроводного кода кодовыми словами **A** являются слова, у которых каждый информационный разряд и соответствующий ему дополнительный разряд имеют противоположные значения, т.е. 0*1* или 1*0*. Ошибочным является слово, у которого найдется по крайней мере одна такая пара разрядов, где информационный и дополнительный разряды совпадают. Для определения работоспособности какого-либо вычислительного блока либо комплекса в целом необходимы два условия. Первое из них заключается в том, что информационные и дополнительные разряды существуют независимо один от другого на всем протяжении от входа устройства до его выхода, а не образуются простым инвертированием сигналов при их передаче между узлами или блоками схемы. Второе обусловлено тем, что каждый функциональный узел выполняется для получения раздельно информационных и дополнительных разрядов.

Отмеченное поясняется рис. 3.1, *а*, где приведены информационные **A**, **B** и дополнительные $\underline{\mathbf{A}}$, $\underline{\mathbf{B}}$ сигналы, поступающие в два функциональных блока: $\mathbf{Ф_1}$, $\mathbf{Ф_2}$. Блоки формируют соответственно функционалы информационных **F** и дополнительных $\underline{\mathbf{F}}$ сигналов. Связь между сигналами **F** и $\underline{\mathbf{F}}$ поясняется их геометрическим образом (рис. 3.1, *б*) в многомерном цифровом пространстве, например, операнд **A** и **B**.

Правильность работы любого функционального блока и комплекса в целом будет определяться несовпадением соответствующих информационных и дополнительных разрядов на входе и выходе этого блока. Такое построение любого цифрового устройства требует дополнительной установки оборудования, но дает полную гарантию его работоспособности.

Несмотря на кажущуюся тривиальность представленного решения самоконтроля, оно весьма продуктивно, а в сочетании с другими контролеспособными кодами позволяет не только обнаруживать, но даже исправлять большой класс ошибок.

В самом деле, двухпроводность может быть применима для любого типа кода, как контролеспособного, так и неконтролеспособного, например двоичного.

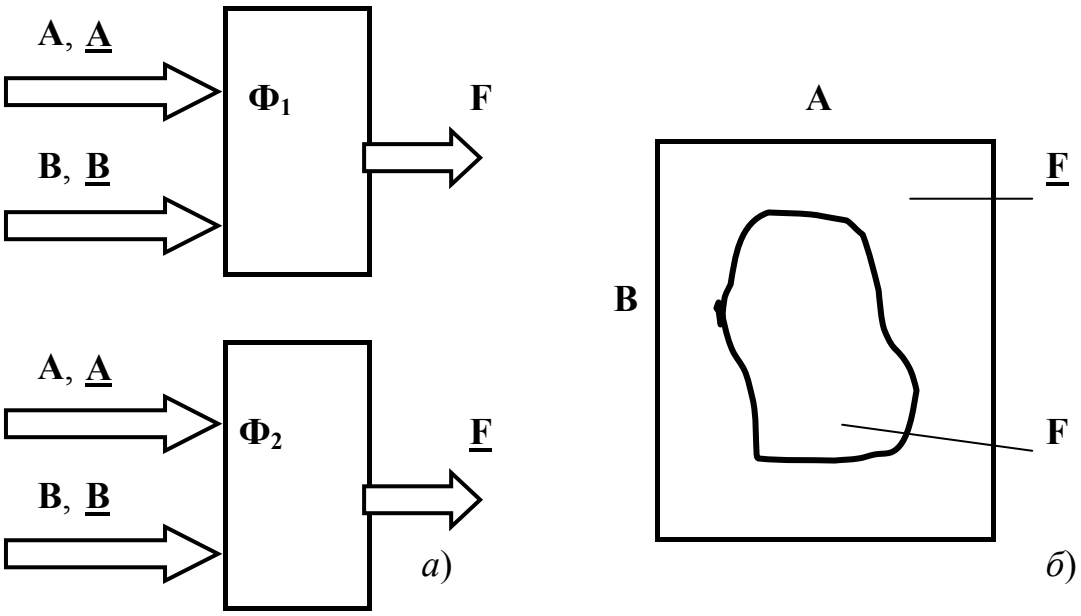


Рис. 3.1

В случае применения двухпроводности для контролеспособного кода, например многофазного, оно увеличивает его возможности по исправлению и обнаружению ошибок. Именно этот принцип сочетания кодов используется нами в дальнейшем исследовании.

При этом структура любого самоконтролируемого блока будет представляться в виде рис. 3.2, где на его входные шины подаются операнды в двухпроводном коде, например **A**, **A**; **B**, **B**; ... , а выходные шины содержат результат соответствующего функционала **F**, **F** также в двухпроводном коде и сигнал λ, определяющий исправность блока.

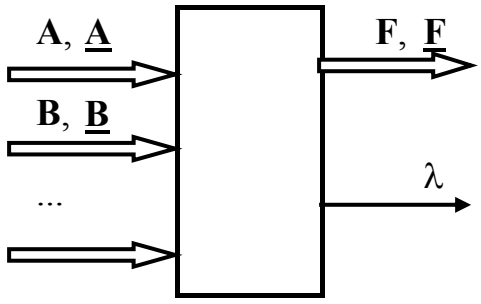


Рис. 3.2

Причем в дальнейшем с целью упрощения материала не указываются на структурных схемах сигналы дополнительных разрядов **A**, **B**, ...

В тех случаях, когда линии связи между сигналами коротки или практически отсутствуют, что исключает возникновение помех в них, возможно получе-

ние на входах и выходах блоков дополнительных сигналов разрядов простым инвертированием информационных сигналов.

Использование для представления позиционной системы счисления так называемых корректирующих кодов, предназначенных для обнаружения и исправления ошибок, является основным методом аппаратного контроля.

Корректирующие свойства кода зависят от его избыточности, проявляющейся в том, что для представления позиционной системы используются не все возможные кодовые комбинации универсального цифрового пространства. Действительно, если все 2^k кодовые комбинации, где k – длина кода, использовать для записи информации, то сбой любого вида переводит одну информационную кодовую комбинацию в другую и этот перевод обнаружить и тем более исправить не удастся. Поэтому для обнаружения и исправления ошибок из 2^k кодовых комбинаций необходимо использовать для представления, например, цифр обычной позиционной системы счисления только часть. Обнаружение ошибок в этом случае сводится к выявлению нерабочей области универсального цифрового пространства, а исправление – к определению наиболее вероятной кодовой комбинации в рабочей области пространства, которая соответствует нерабочей области.

При этом выделение в k разрядах отдельно информационных и контрольных, что обычно выполняется в работах по вычислительной технике, не обязательно и является только одним из вариантов построения корректирующих кодов.

3.1. Расположение ошибок позиционных систем счисления в многомерном пространстве

Для определения возможностей по обнаружению и исправлению ошибок необходимо принять следующие допущения:

1. Все разряды кода равноценны, т.е. появление ошибок в любом разряде возможно с равной вероятностью.

2. Вероятность появления ошибок с большей кратностью уменьшается с увеличением кратности.

3. Вероятности появления ошибок одной кратности независимы друг от друга.

Если избыточность кода заранее определена, то необходимым и достаточным условием обнаружения всех ошибок определенного типа является невозможность перевода одного штатного положения в другое при этом типе ошибок, а условием исправления ошибок – отсутствие перекрытия геометрических образов кодовых комбинации соответствующего типа ошибок различных штатных кодовых комбинаций.

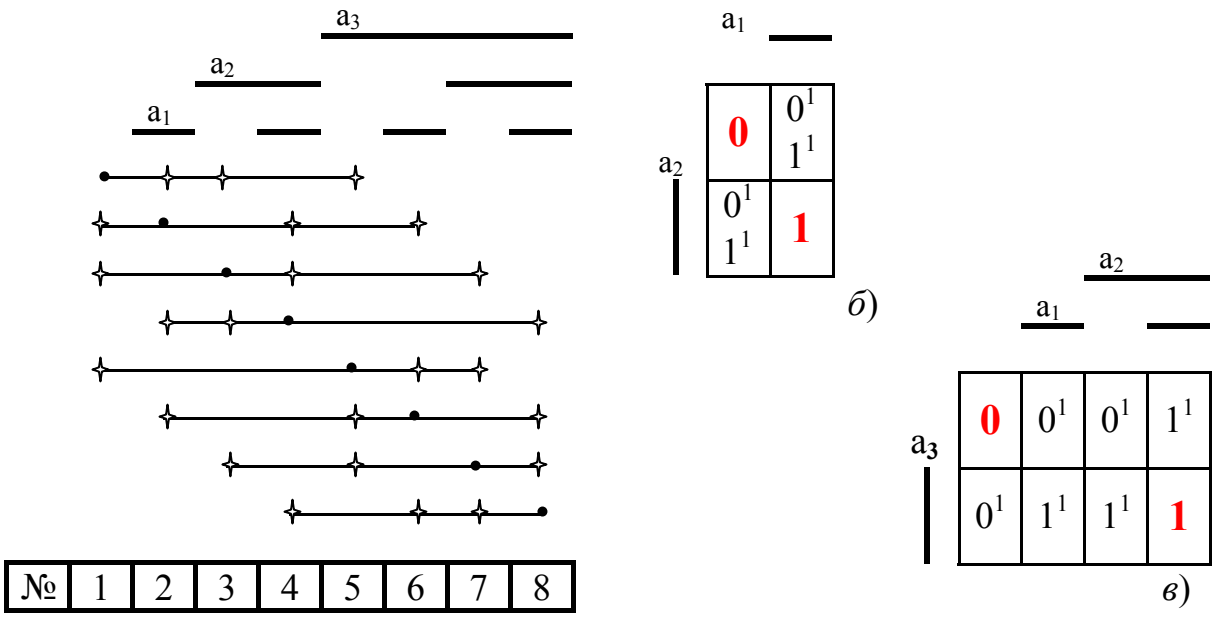


Рис. 3.3

Для пояснения этого обратимся к рис. 3.3, *а*, где для трехразрядного кода, задающего восемь позиций, показаны переходы каждой из позиций в новые ошибочные при воздействии, например, одиночных ошибок.

При кодировании основания системы счисления n = 2 необходимым и достаточным условием обнаружения одиночных ошибок является расположение, например, цифры **0** на первой позиции, а цифры **1** – на четвертой позиции, т.е. использование двух разрядов, когда одиночные ошибки будут переводить кодовые комбинации для цифр **0** и **1** в перекрывающиеся кодовые комбинации на второй и четвертой позиции (рис. 3.3, *б*).

Необходимым и достаточным условием исправления одиночных ошибок для этого основания является расположение цифры **0** на первой позиции, а цифры **1** – на восьмой позиции, т.е. необходимо использование трех разрядов, когда одиночные ошибки будут переводить кодовую комбинацию цифры **0** во вторую, третью и пятую позицию, а цифру **1** – в седьмую, шестую и четвертую позицию (рис. 3.3, *в*).

Аналогично могут быть синтезированы коды, обнаруживающие и исправляющие любой тип ошибок либо их комбинацию, но такой метод синтеза весьма трудоемок и не обладает необходимой "прозрачностью".

Наиболее наглядно и менее трудоемко применение для анализа и синтеза корректирующих кодов метода многомерных цифровых множеств.

Перед изложением этого метода для решения вопросов контролеспособности позиционных систем счисления введем обозначение штатных кодовых комбинаций сигналами обычного цифрового кода, т.е. цифрами, а кодовые комбинации, появляющиеся от ошибок кратности k, – этими же цифрами с индексом k. Например, **0** – штатная кодовая комбинация, соответствующая цифре 0, 0^k –

кодовая комбинация, возникающая из штатной в результате ошибки кратности k. В дальнейшем будем пользоваться терминами соответствия "цифре i " и "цифре i кратности k ", подразумевая изложенное выше.

Определение ошибочных кодовых комбинаций соответствующей кратности с помощью средств вычислительной техники весьма просто, но их графическое представление обладает большей наглядностью и удобством использования дальнейшего изложения. Это представление изображено на рис. 3.4а, 3.4б, где соответственно для ошибок кратностей один и два представлены для каждой позиции (черная заливка) их новые ошибочные положения (бледная заливка).

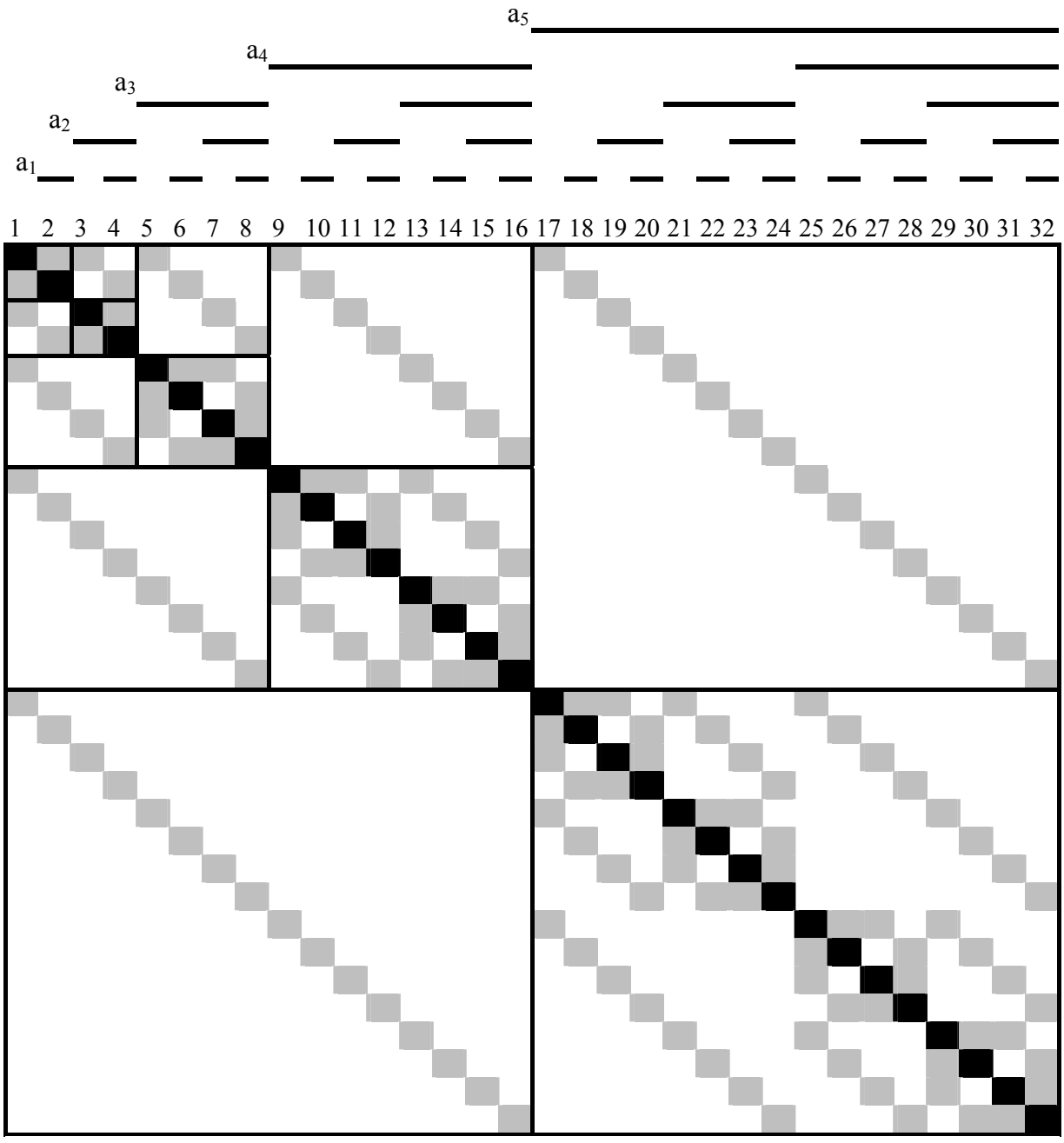


Рис. 3.4а

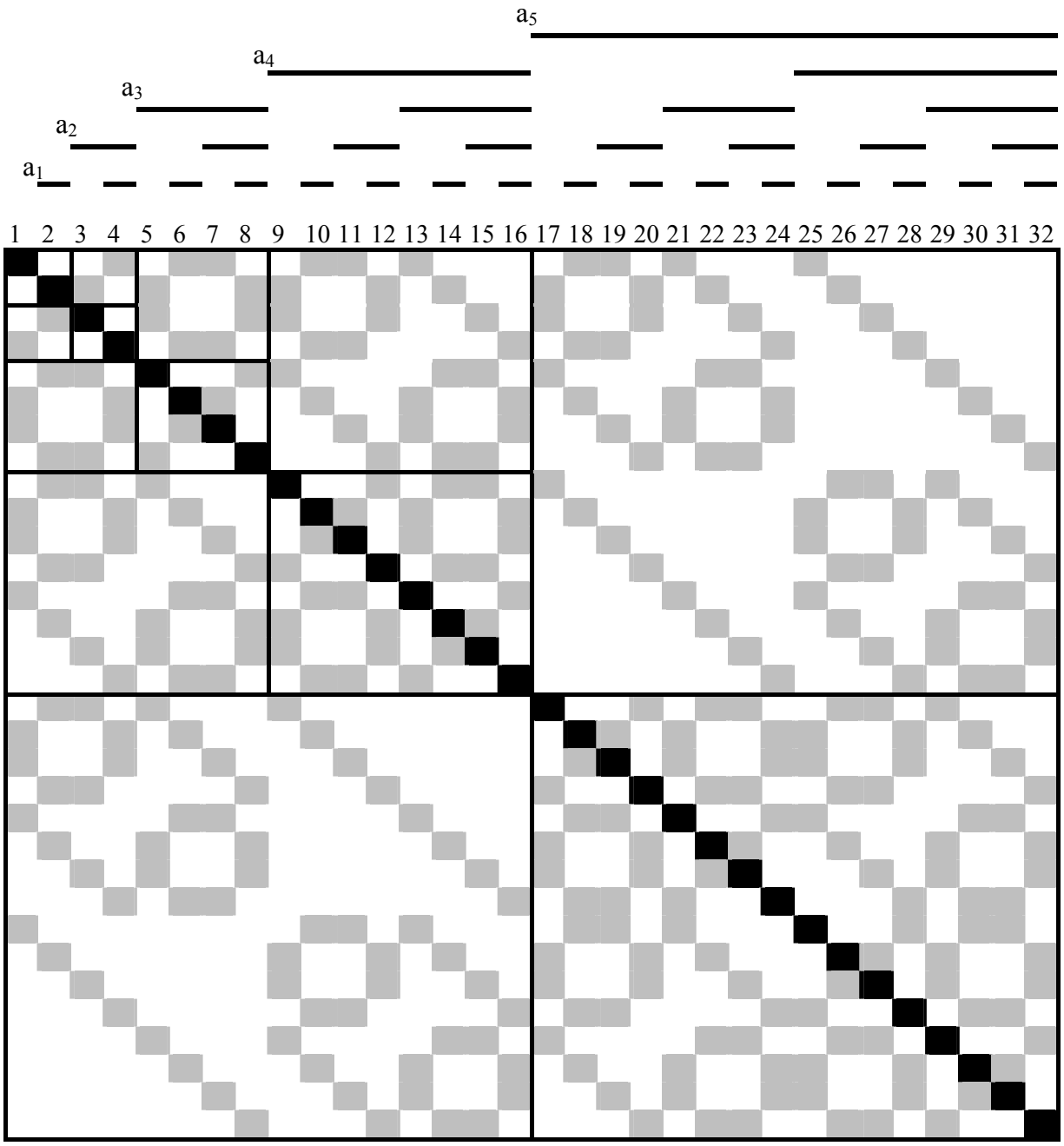


Рис. 3.4б

Обратимся к рис. 3.4а, где кодовая комбинация под номером 1 (первая строка) в случае одиночных ошибок может перейти в одну из позиций под номерами 2, 3 или 17. Позиция 2 (вторая строка) может перейти соответственно в позиции 1, 4, 6, 10 или 18 и т.д. вплоть до 32 строки, где кодовая позиция с этим номером может перейти в позиции 16, 24, 28, 30 или 31.

Теперь получим полную картину одиночных ошибок в кодовых комбинациях из пяти разрядов. Очевидная симметрия представленной фигуры позволяет продолжить ее построение для любого количества разрядов.

Образующей фигурой для одиночных ошибок является квадрат размерами $2^1 \times 2^1$, где в ячейках по главной диагонали осуществлена черная заливка, а на

второй диагонали – более светлая. Следующий больший квадрат размерами $2^2 \times 2^2$ составляется из элементов квадрата $2^1 \times 2^1$: по главной диагонали располагаются упомянутые выше без каких-либо изменений квадраты размерами $2^1 \times 2^1$, на другой диагонали – эти квадраты, где вместо черной заливки цветная, а цветная заливка первичного квадрата отсутствует. Следующий квадрат размерами $2^3 \times 2^3$ формируется из элементов квадрата $2^2 \times 2^2$ по такому же принципу и т.д.

Приведенные на рис. 3.4б двойные ошибки в кодовых комбинациях из пяти разрядов, учитывая симметрию фигуры, также позволяют определить общие правила ее построения.

Образующими фигурами в данном случае являются: квадрат размерами $2^2 \times 2^2$, где на главной диагонали черные ячейки, а на второй диагонали – светлые, а также все квадраты одиночных ошибок размерами $2^2 \times 2^2$ и далее.

Если первый квадрат двойных ошибок размерами $2^2 \times 2^2$ полностью совпадает с образующей фигурой этих размеров, то во втором квадрате двойных ошибок размерами $2^3 \times 2^3$ на главной диагонали располагаются квадраты двойных ошибок размерами $2^2 \times 2^2$, а на второй диагонали располагаются квадраты одиночных ошибок этих же размеров, в которых отсутствуют черные ячейки.

Представим правило для построения фигуры ошибок k-й кратности.

Образующими фигурами в данном случае являются квадраты размерами $2^k \times 2^k$, где на главной диагонали расположены черные ячейки, а на второй диагонали – светлые, а также все квадраты ошибок кратности (k – 1) размерами $2^k \times 2^k$ и более. Дальнейшее построение фигуры полностью совпадает с рассмотренным выше примером для двойных ошибок.

Исходя из геометрического представления обнаружения ошибок основания n = 2, легко выделить в двухмерном пространстве кодовых комбинаций рис. 3.3, *б* сигнал одиночных ошибок, который определяется покрытием "площади", в которую входят кодовые комбинации 0^1, 1^1. Этот сигнал представляется элементарным логическим выражением

$$\underline{\lambda} = a_1\underline{a}_2 \vee \underline{a}_1 a_2. \qquad (3.1.1)$$

Исправление одиночных ошибок для этого основания определяется из двухмерного представления кодовых комбинаций рис. 3.3, *в*, где сигнал цифры **0** определяется "площадью", в которую входят кодовые комбинации **0**, 0^1, а сигнал цифры **1** – площадью, в которую входят кодовые комбинации **1**, 1^1, и задается простым логическим выражением

$$1 = a_2a_3 \vee a_1a_2 \vee a_1a_3 . \qquad (3.1.2)$$

Без наложения ограничений на число разрядов задача обнаружения и исправления любого типа ошибок и их комбинаций несложна. Также проста задача обнаружения и исправления одиночных ошибок любого основания системы счисления при ее сведении к отдельным разрядам. Например, для $n = 2^k$ каждый разряд может рассматриваться отдельно и для обнаружения одиночных ошибок

этого основания потребуется 2k разрядов, а для исправления одиночных ошибок должно быть 3k разрядов.

Здесь уместен вопрос: правильно ли мы распорядились этим количеством разрядов? Нельзя ли более рационально расположить штатные кодовые комбинации в многомерном цифровом пространстве для повышения контролеспособности?

Проведенные исследования позволяют дать положительный ответ на поставленные вопросы. Таким образом, задача обнаружения и исправления ошибок без наложения ограничения на число использованных разрядов сводится к обнаружению и исправлению ошибок каждого разряда.

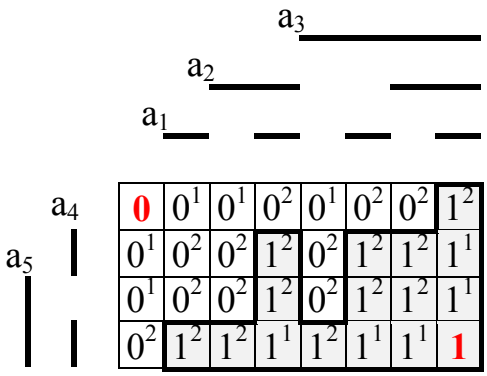


Рис. 3.5

Таким образом, нетрудно представить в двухмерном измерении "площади", определяющие одновременное исправление одиночных и двойных (рис. 3.5), а также одиночных, двойных и тройных ошибок (рис. 3.6) и т.д.

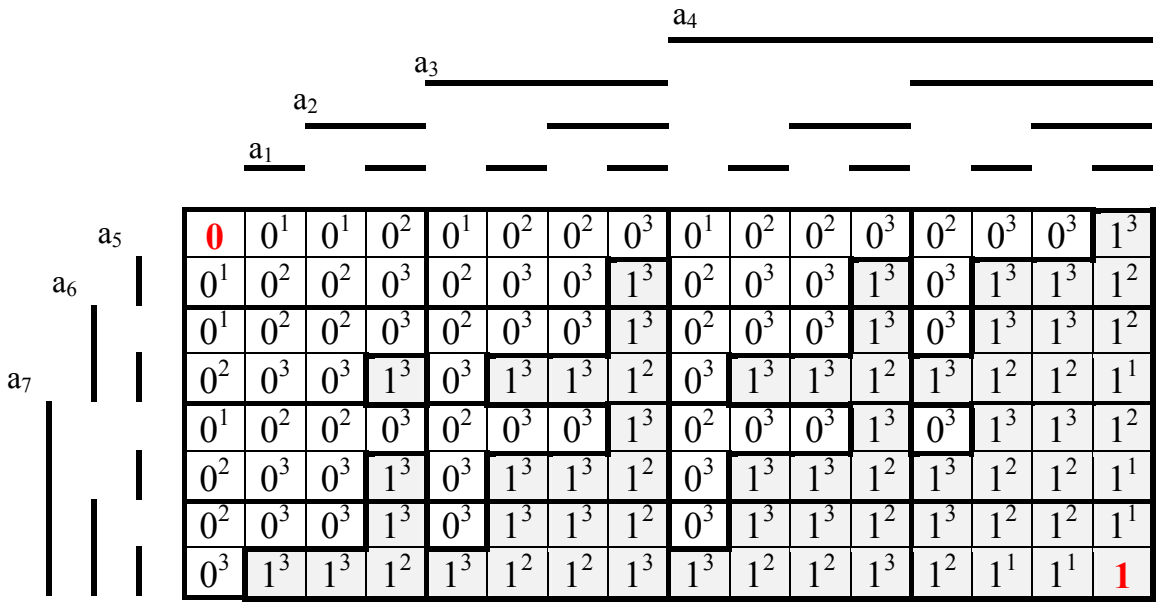


Рис. 3.6

При наличии меньшего количества разрядов, чем рассмотрено выше, для кодирования позиционных систем счисления синтезировать оптимальный код по критерию максимального исправления ошибок весьма сложно и любое техническое решение является компромиссом в ущерб каким-либо штатным состояниям.

Поэтому здесь необходимо идти от простого решения к более сложному. Начнем этот путь с анализа существующих кодов оснований систем счисления, обладающих частичной контролеспособностью.

3.2. Многофазный код

Важное место в системах электропривода и электропитания занимает многофазный код, являющийся естественным кодом целого ряда их устройств, где используются многофазные напряжения.

Целесообразно начать анализ с многофазного кода, поскольку этот тип кода наиболее исследован и для него решена задача обнаружения и исправления ошибок на основе особой физической структуры кода. Эта особенность кода заключается в возможности представления любого штатного состояния как составной части двух непрерывных множеств: логических нулей и единиц.

Известная процедура обнаружения и исправления ошибок [3.4] заключается здесь именно в контроле непрерывности этих множеств и восстановлении этой непрерывности при любых ее нарушениях. Следовательно, имеется возможность сравнить два способа контроля многофазного кода, отмеченные выше.

В качестве примера для рассмотрения выберем пятифазный код (n=10). Из 2^k возможных кодовых комбинаций многофазный код использует 2k штатные комбинации, которые для пятифазного кода (k=5) соответствуют десяти сигналам обычного цифрового кода (ОЦК) **0 – 9** , а остальные кодовые комбинации являются запрещенными и каждая из них представляется как ошибочная выдача одновременно нескольких сигналов ОЦК.

Последовательно записанные штатные кодовые комбинации, соответствующие цифрам от **0** до **9**, и образуют сигналы пятифазного кода $a_1 – a_5$.

Связь между сигналами $a_1 – a_5$ и эквивалентными им сигналами ОЦК приведена на рис. 3.7.

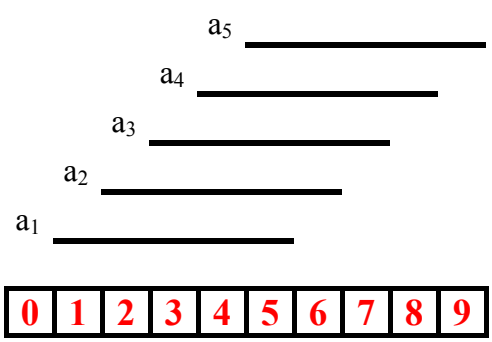


Рис. 3.7

На рис. 3.8 приведены все 32 кодовые комбинации в двухмерном цифровом пространстве, где, например, по одной координате отложены позиции сигналов первых трех разрядов a_1, a_2, a_3, а по второй – остальных двух разрядов a_4, a_5. На пересечении координат здесь записаны эквивалентные кодовым комбинациям сигналы ОЦК как штатные (выделены цветом), так и ошибочные.

Здесь следует отметить, что эти сигналы соответствуют преобразованиям пятифазного кода в сигналы ОЦК по алгоритму

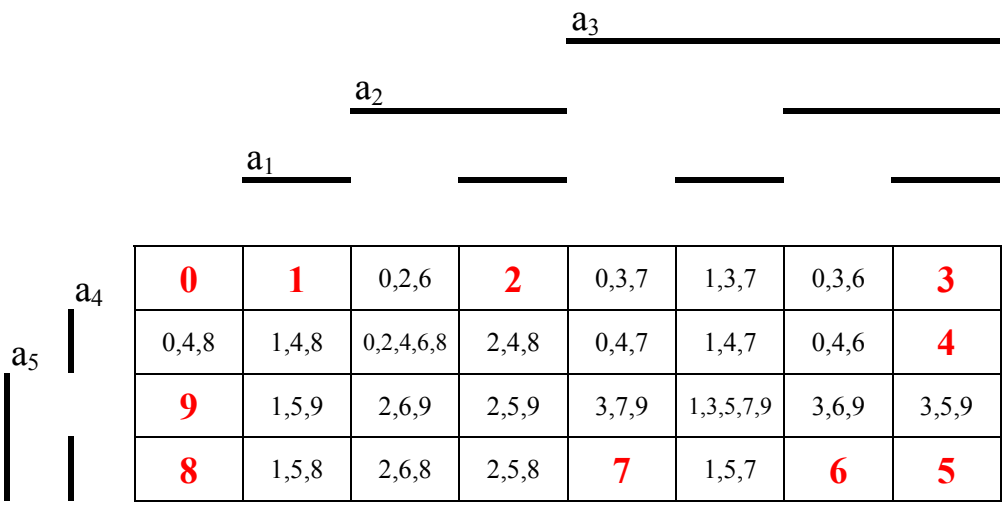
$$\mathbf{0} = \underline{a_1}\underline{a_5},\ \mathbf{1} = a_1\underline{a_2},\ \mathbf{2} = a_2\underline{a_3},\ \mathbf{3} = a_1\underline{a_4},\ \mathbf{4} = a_4\underline{a_5},$$
$$\mathbf{5} = a_1a_5,\ \mathbf{6} = \underline{a_1}a_2,\ \mathbf{7} = \underline{a_2}a_3,\ \mathbf{8} = \underline{a_3}a_4,\ \mathbf{9} = \underline{a_4}a_5$$

и их не следует путать с ошибочными сигналами, обозначение которых было приведено выше.

Покрытие "площади", ограниченной этими ошибочными сигналами ОЦК, определяет все возможные варианты построения логической схемы обнаружения "немногофазности", а покрытие "площади", ограниченной штатными сигналами для цифр **0** – **9** , определяет "многофазность" кода, одним из вариантов которой является логическая функция

$$\lambda = \underline{a_2}a_3\underline{a_4}\underline{a_5} \vee a_1a_2\underline{a_4}\underline{a_5} \vee a_1a_2a_3a_4 \vee \underline{a_1}a_3a_4a_5 \vee \underline{a_1}\underline{a_2}\underline{a_3}a_5\ , \qquad (3.2.1)$$

где первое слагаемое покрывает штатные сигналы **0**, **1**, второе – **2**, **3** и т.д.



0	**1**	0,2,6	**2**	0,3,7	1,3,7	0,3,6	**3**
0,4,8	1,4,8	0,2,4,6,8	2,4,8	0,4,7	1,4,7	0,4,6	**4**
9	1,5,9	2,6,9	2,5,9	3,7,9	1,3,5,7,9	3,6,9	3,5,9
8	1,5,8	2,6,8	2,5,8	**7**	1,5,7	**6**	**5**

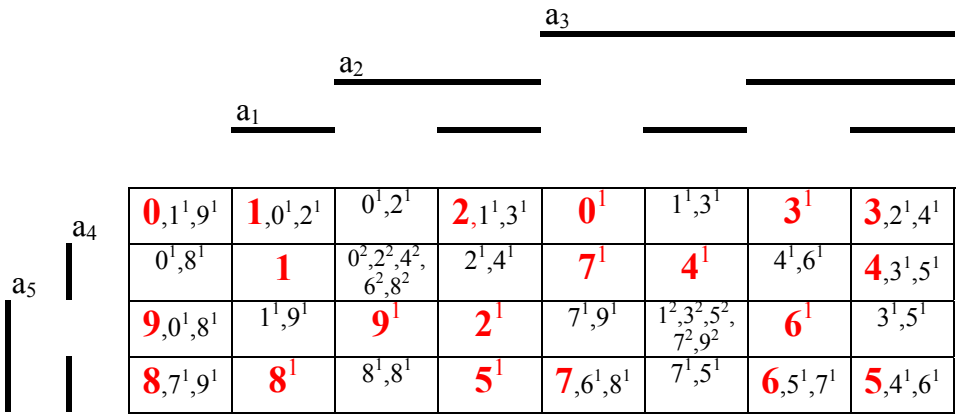
Рис. 3.8

Для обеспечения устойчивости работы счетчиков многофазного кода [3.5], когда при каких-либо сбоях и выходе счетчика из устойчивых рабочих режимов необходимо вернуть его в одно из устойчивых состояний, например начальное, используется именно сигнал "немногофазности" $\underline{\lambda}$, хотя наиболее правильным решением было бы возвращение счетчика в то рабочее состояние, из которого он был только что выведен. Решить эту задачу положительно можно только после анализа контролеспособности многофазного кода.

3.3. Анализ контролеспособности многофазного кода методом многомерных цифровых множеств

Этот анализ проведем, как ранее условились, на примере основания системы счисления n = 10.

В соответствии с распределением эквивалентных пятифазному коду сигналов ОЦК в ячейках двухмерного пространства, а также одиночных и двойных ошибок на рис. 3.9 приведено заполнение ячеек этого пространства указанными сигналами.



0,1^1,9^1	**1**,0^1,2^1	0^1,2^1	**2**,1^1,3^1	**0**^{1}	1^1,3^1	**3**^{1}	**3**,2^1,4^1
0^1,8^1	**1**	0^2,2^2,4^2, 6^2,8^2	2^1,4^1	**7**^{1}	**4**^{1}	4^1,6^1	**4**,3^1,5^1
9,0^1,8^1	1^1,9^1	**9**^{1}	**2**^{1}	7^1,9^1	1^2,3^2,5^2, 7^2,9^2	**6**^{1}	3^1,5^1
8,7^1,9^1	**8**^{1}	8^1,8^1	**5**^{1}	**7**,6^1,8^1	7^1,5^1	**6**,5^1,7^1	**5**,4^1,6^1

Рис. 3.9

В ячейках, которые уже заняты сигналами одиночных ошибок, сигналы двойных ошибок не приведены.

Из этого представления видно, что только одиночные ошибки имеют возможность исправления (один из пяти) и обнаружения (четыре из пяти). Двойные же ошибки занимают только две оставшиеся от размещения более вероятностных сигналов ячейки и не могут быть исправлены.

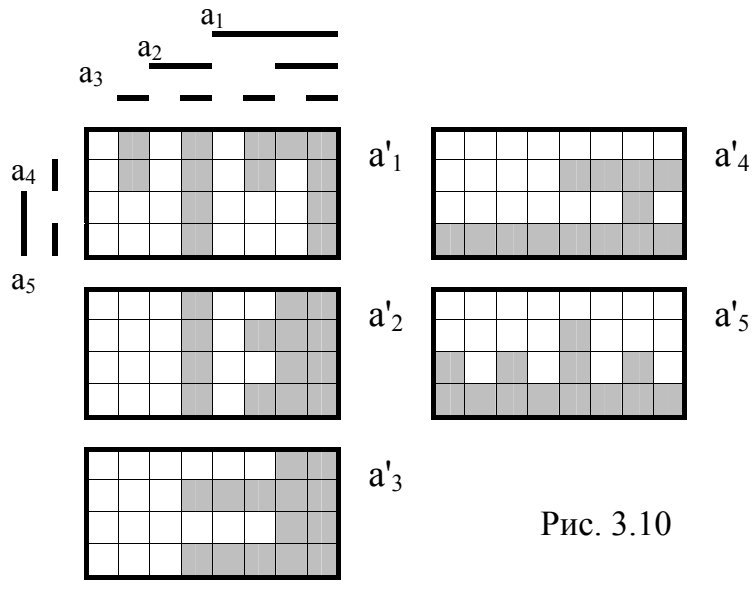


Рис. 3.10

В соответствии с рис. 3.9 и зависимостью сигналов многофазного кода $a_1 – a_5$ от сигналов ОЦК (рис. 3.7) для каждого геометрического образа сигналов $a'_1 – a'_5$ выберем ту ячейку пространства, которая однозначно включается в эти сигналы. Эта процедура позволяет получить в многомерном пространстве (рис. 3.10) пять фигур для сигналов многофазного кода, покрытие которых определяет логическую функцию блока исправления ошибок.

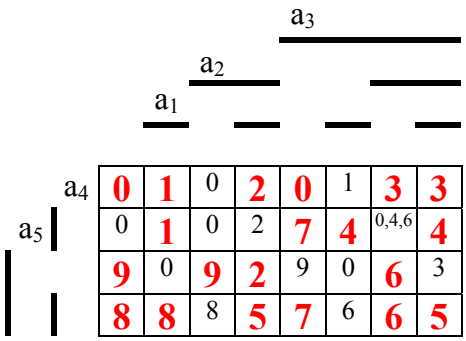


Рис. 3.11

Пропуск исправленных сигналов $a'_1 – a'_5$ через блок формирования сигналов ОЦК даст распределение сигналов ОЦК в ячейках пространства, как приведено на рис. 3.11. Это распределение полностью выполняет функции исправления ошибок наибольшей вероятности, а остальные одиночные ошибки исправляются стихийно в пользу каких-либо альтернативных вариантов равной вероятности. Причем здесь имеются ячейки под номерами 17, 29, 21, где установка сигналов ОЦК произведена не в альтернативном, а в худшем варианте, чем это предлагается на рис. 3.9.

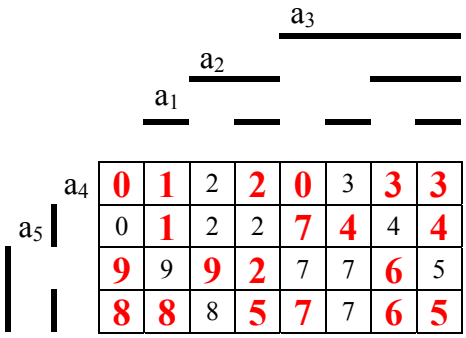


Рис. 3.12

Для исправления этого не совсем удачного размещения сигналов ОЦК можно заранее принять волевое решение о выборе конкретной цифры в ячейке в соответствии с альтернативами рис. 3.9.

Такое распределение приведено на рис. 3.12, а соответствующие ему геометрические образы сигналов $a'_1 – a'_5$ – на рис. 3.13. Логические функции, определяющие покрытие фигур этих сигналов, более просты, чем покрытие фигур рис. 3.10, а результат исправления предпочтительней.

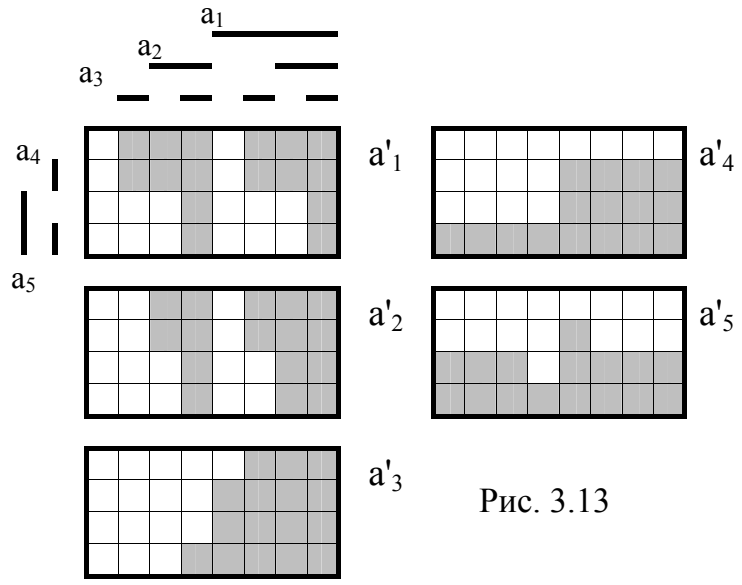


Рис. 3.13

Именно такой подход наиболее прост и эффективен для обеспечения устойчивости счетчиков многофазного кода.

В блоках машинной арифметики, где выбор каких-либо альтернативных вариантов распределения сигналов ОЦК не допустим, поскольку приводит к аварийным ситуациям, рабочими режимами являются только штатные состояния кода и те состояния, которые непрерывно исправляются контролирующими устройствами.

Для этого варианта построения блока исправления ошибок в многомерном пространстве заполняются только ячейки штатного состояния и ячейки, где располагаются исправленные кодовые комбинации.

Геометрические образы исправленных сигналов (рис. 3.14) для этого варианта более сложные для покрытия.

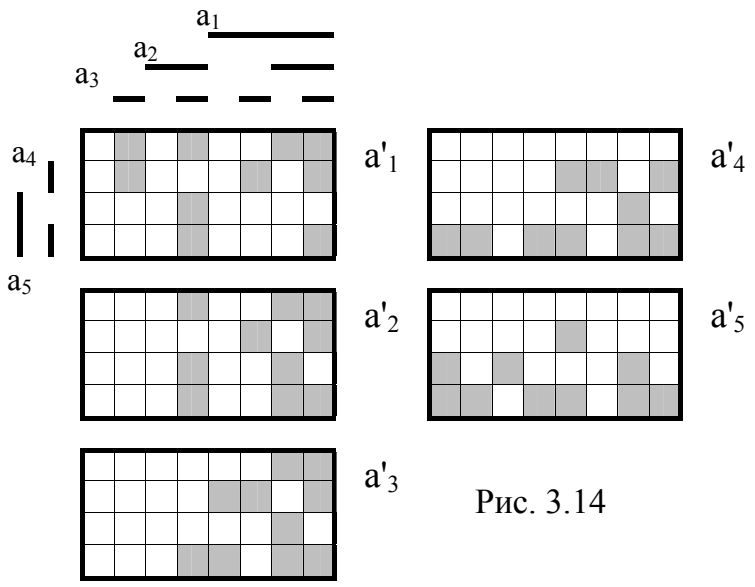


Рис. 3.14

В этом варианте обязательно необходимо определение бесконтрольной нерабочей области пространства $\underline{\lambda}$, появление которой требует остановки вычислительного процесса, поскольку в этой области пространства сигналы кода недействительны. При этом в нерабочую область пространства не должны входить нулевые значения сигналов кода, которые эквивалентны цифре **0**.

Известность сигнала $\underline{\lambda}$ позволяет использовать более простые геометрические образы сигналов $a'_1 - a'_5$, чем такие же сигналы рис. 3.14, например сигналы рис. 3.13.

Определение оптимальных, т.е. более простых для покрытия геометрических образов сигналов $a'_1 - a'_5$ будет сформулировано следующим образом: обязательной частью этих оптимальных образов должны быть фигуры, например, рис. 3.14, а поиск более простых фигур должен производиться добавлением к ним любых ячеек пространства, геометрический образ которого представлен на рис. 3.15.

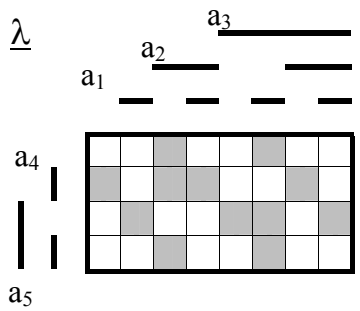


Рис. 3.15

Весьма прост по реализации и наиболее эффективен по быстродействию алгоритм исправления ошибок, например многофазных кодов, в записи Либау-Крейга, который основан на контроле и сохранении непрерывности множеств логических нулей и единиц этого типа кодов [3.4]. Эти непрерывные множества всегда имеются при последовательной записи прямых и инверсных сигналов этих кодов. При этом здесь появляется возможность исправления не только одиночных ошибок, но и двойных, тройных и т.д. ошибок, а также различных пачек таких ошибок. Возможности этого алгоритма возрастают с увеличением числа фаз кода, но наиболее ценным является исправление именно одиночных ошибок.

В соответствии с этим алгоритмом исправление, например, одиночных ошибок пятифазного кода будет производиться по следующим логическим формулам:

$$
\begin{aligned}
a'_1 &= a_1\underline{a}_5 \vee a_1a_2 \vee \underline{a}_5a_2;\\
a'_2 &= a_1a_2 \vee a_2a_3 \vee a_1a_3;\\
a'_3 &= a_3a_2 \vee a_3a_4 \vee a_2a_4;\\
a'_4 &= a_4a_3 \vee a_4a_5 \vee a_3a_5;\\
a'_5 &= a_5a_4 \vee a_5\underline{a}_1 \vee a_4\underline{a}_1.
\end{aligned}
\qquad (3.3.1)
$$

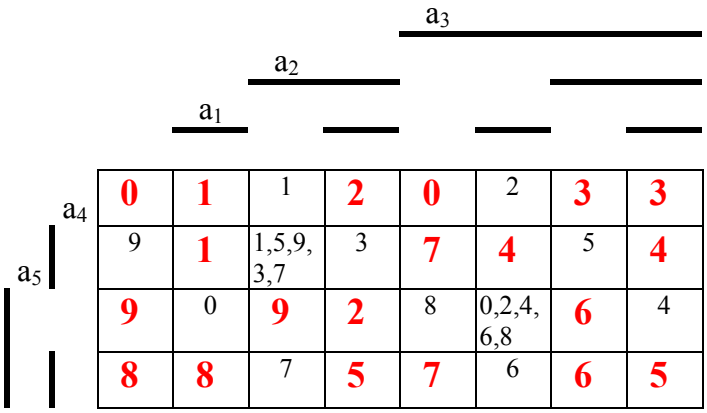


Рис. 3.16

На основании (3.3.1) и рис. 3.8 распределение сигналов ОЦК в ячейках многомерного пространства для этого варианта реализации приведено на рис. 3.16, а геометрические образы исправленных сигналов a'_1 – a'_5 – на рис. 3.17.

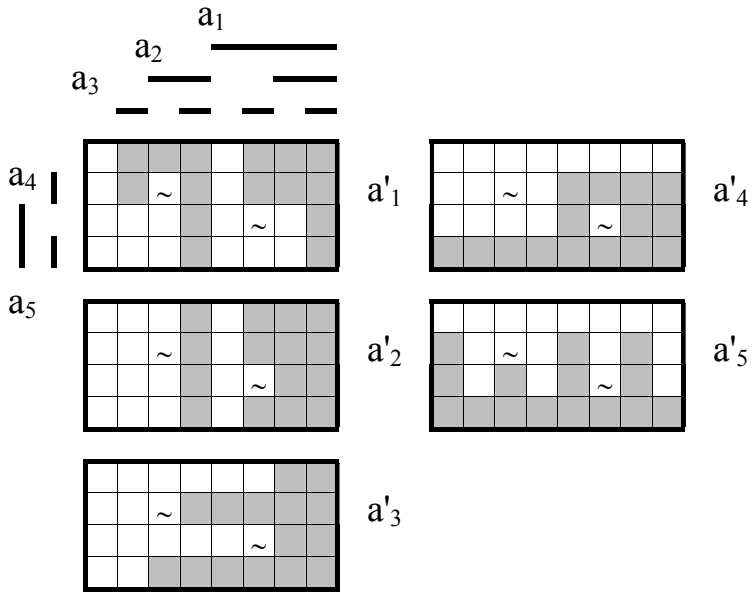


Рис. 3.17

Несмотря на то, что данный алгоритм не следует альтернативам распределения сигналов рис. 3.9, все исправляемые одиночные ошибки он действительно исправляет, а при наличии сигнала $\underline{\lambda}$ (рис. 3.15), что требуется при любых вариантах, здесь действительно аппаратурные затраты малы и осуществляется полное выполнение функций контроля и исправления ошибок.

3.4. Анализ контролеспособности кодов Хемминга методом многомерных цифровых множеств

Одним из широко известных в технике передачи информации является код Хемминга, предназначенный, например, для исправления одной ошибки или обнаружения двух и исправления одной ошибки [3.6].

Коды Хемминга имеют несколько контрольных разрядов, каждый из которых контролирует по четности (нечетности) свою группу разрядов. Эти группы формируются таким образом, чтобы по данным контрольных разрядов можно было бы с определенной вероятностью указать сбой соответствующего разряда.

С этой целью первый контрольный разряд контролирует по четности либо нечетности все нечетные информационные разряды кода. В нем при передаче информации записывается такая цифра, чтобы число единиц в контролируемых разрядах совместно с этим контрольным разрядом было нечетным (четным). Если при приеме и проверке кода окажется, что число единиц в нечетных разрядах и первом контрольном разряде четное (нечетное), то это с определенной вероятностью будет свидетельствовать об ошибке в нечетных разрядах. В противном случае имеется ошибка в четных разрядах или ее вообще нет.

Следовательно, сигнал о наличии ошибки в нечетных разрядах является младшим разрядом двоичного номера разряда с ошибкой.

Второй контрольный разряд контролирует по четности (нечетности) все разряды кода, которые имеют одинаковые цифры во втором разряде своего номера, третий контрольный разряд – все разряды, имеющие одинаковые цифры в третьем разряде своего номера, и т.д.

Исходя из изложенного для определения следующего вероятного номера разряда с ошибкой необходимо сформировать аналогичную функцию от разрядов с номерами 2, 3, 6, 7, ... и вторым контрольным разрядом и т.д.

Все это можно наглядно представить в табл. 3.4.1, где обозначены номера информационных разрядов, которые контролируются соответствующими контрольными разрядами.

Таблица 3.4.1

Контрольные разряды	Информационные разряды														
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1	■		■		■		■		■		■		■		■
2		■	■			■	■			■	■			■	■
3				■	■	■	■					■	■	■	■
4								■	■	■	■	■	■	■	■

В литературе по теории информации высоко оцениваются возможности кодов Хемминга по контролеспособности при приеме и передаче информации, а в публикациях по вычислительной технике эти достоинства кодов Хемминга обесцениваются утверждением о непригодности этих кодов для выполнения

операций машинной арифметики [3.7]. Как первое утверждение, так и второе далеки от истинных свойств этого кода.

Поскольку метод многомерных цифровых множеств является универсальным инструментом для анализа любых типов корректирующих кодов, воспользуемся его достоинствами для исследования кодов Хемминга применительно к выполнению арифметических операций.

Выберем в качестве первого примера для исследований основание системы счисления n = 8 (a_1, a_2, a_3), что по табл. 3.4.1 определяет два контрольных разряда x_1, x_2.

В соответствии с алгоритмом Хемминга представим в многомерном пространстве сигналов a_1, a_2, a_3, x_1, x_2 штатные сигналы ОЦК **0** – **7** , а также их однократные ошибочные представления, которые все приведены на рис. 3.18.

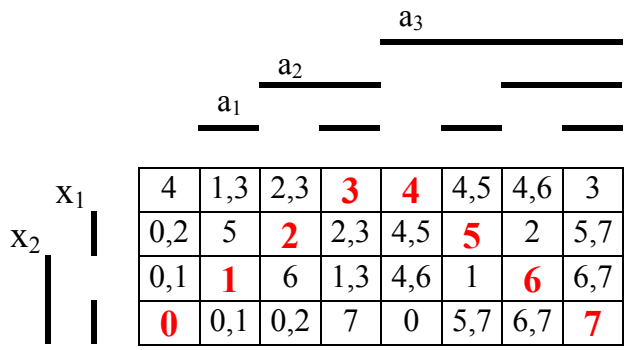


Рис. 3.18

Достоинством кода является, как это видно из рис. 3.18, оптимальное размещение сигналов **0** – **7** в ячейках пространства, когда в них нет одиночных ошибок. Все одиночные ошибки кода располагаются в пространстве нештатных состояний. Необходимо отметить, что если число контрольных разрядов обозначить через k, число кодов, эквивалентных коду Хемминга, будет (2^k**!**).

Из рис. 3.18 также очевидна связь между цифрами **0** – **7** основания и всеми сигналами кода Хемминга, что для большей наглядности приведено на рис. 3.19.

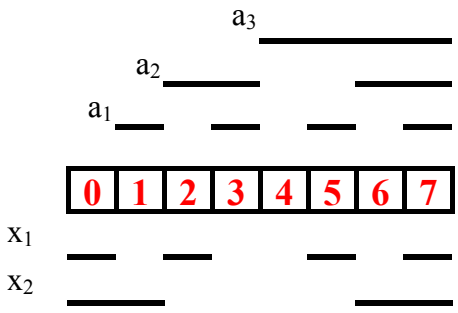


Рис. 3.19

Для того чтобы оценить достоверность предложенной Хеммингом аналитической методики исправления ошибок, представим на рис. 3.20 результаты такого исправления в многомерном цифровом пространстве.

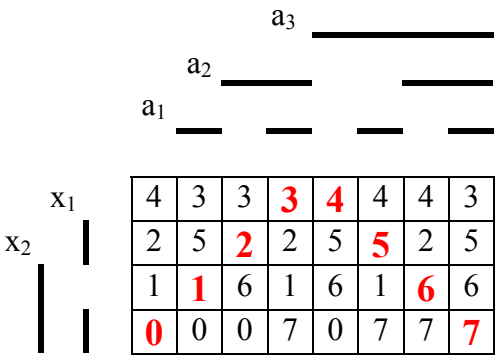


Рис. 3.20

Сравнивая результаты такого исправления с фактическим расположением одиночных ошибок (рис. 3.18), можно видеть, что все безальтернативные одиночные ошибки действительно исправляются, а в остальных случаях принимается "жесткий" вариант для одной из альтернатив подобно тому, как это выполнялось в одном из вариантов исправления многофазного кода.

Геометрические образы информационных a'_1, a'_2, a'_3 и контрольных x'_1, x'_2 сигналов такого "исправления", а также образ сигнала достоверного рабочего пространства λ, который в методике Хемминга не определяется, приведены на рис. 3.21.

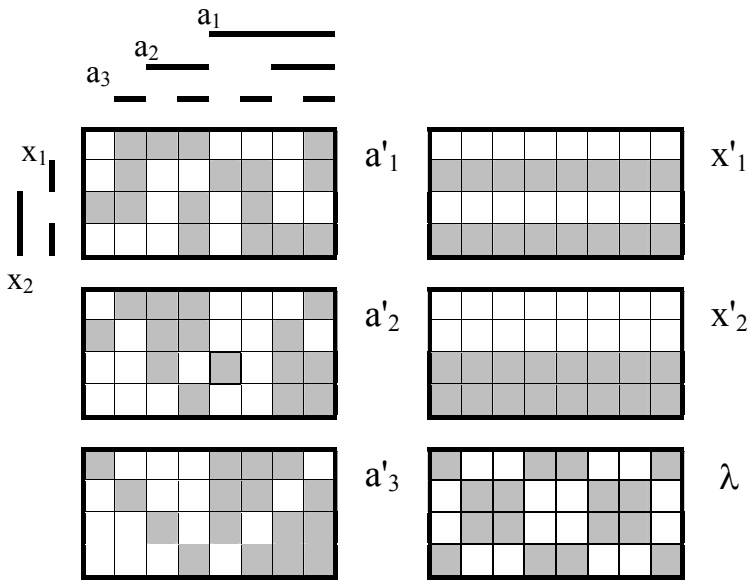


Рис. 3.21

Очевидно, что для возможности выполнения арифметических операций в кодах Хемминга знание сигнала λ обязательно и его равенство нулю будет оз-

начать неисправность и невозможность дальнейшего выполнения каких-либо арифметических операций.

Геометрические образы исправленных информационных a'_1, a'_2, a'_3 и контрольных x'_1, x'_2 сигналов при этом показаны на рис. 3.22. В эти образы, с целью их упрощения без потери информации, включены ячейки нерабочего пространства $\underline{\lambda}$.

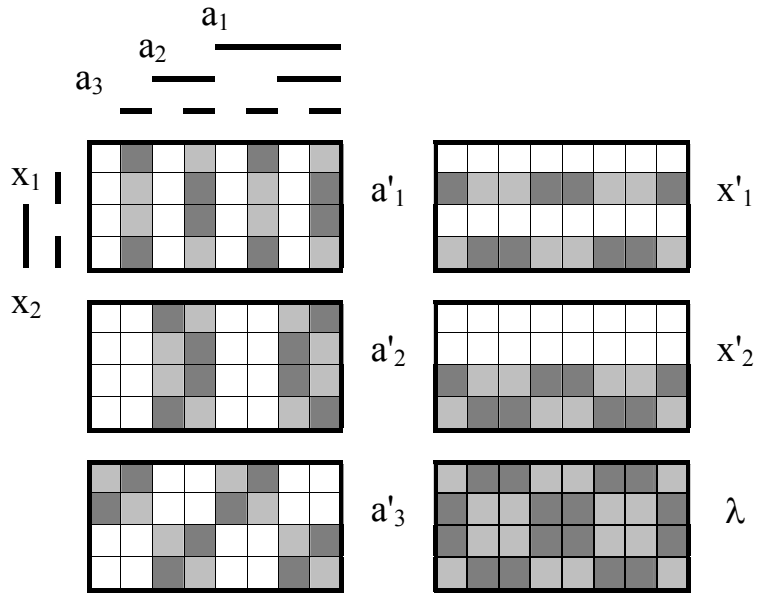


Рис. 3.22

Таким образом, представленный вариант кода Хемминга для кодирования основания n = 8 имеет весьма простую и быстродействующую процедуру исправления одиночных ошибок и полностью пригоден для выполнения любых арифметических операций. Особый интерес представляет код Хемминга, который рационально использует все многомерное пространство сигналов, т.е. где все пространство рабочее и всегда $\lambda = 1$*. Такими кодами в соответствии с табл. 3.4.1 будут те, где общая длина кода информационных и контрольных разрядов равна 3, 7, 15, ...

В качестве второго примера рассмотрим именно такой код при кодировании основания n = 16, где имеются четыре информационных разряда a'_1, ... , a'_4 и три контрольных x_1, x_2, x_3.

Распределение в многомерном пространстве штатных сигналов **0** – **15** , а также сигналов одиночных ошибок для этого кода приведено на рис. 3.23, где штатные сигналы выделены.

Из этого представления очевидны зависимости между цифрами **0** – **15** и всеми сигналами кода, а также все геометрические образы действительно исправленных сигналов при наличии одной одиночной ошибки как в информационных, так и в контрольных разрядах. Первые зависимости приведены на рис. 3.24, а геометрические образы исправляемых сигналов кода – на рис. 3.25. По-

скольку в этом случае λ = 0*, то геометрические образы сигналов не могут подвергаться каким-либо упрощениям.

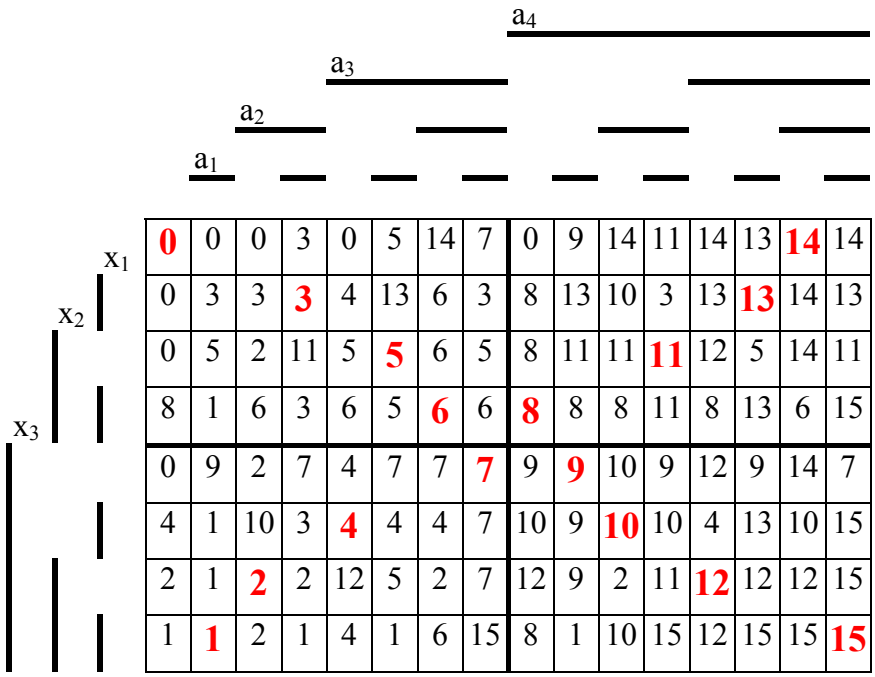


Рис. 3.23

Анализ кодов Хемминга показывает, что его процедура исправления ошибок требует больших аппаратурных затрат и поэтому мало приспособлена для включения в структуру арифметических устройств.

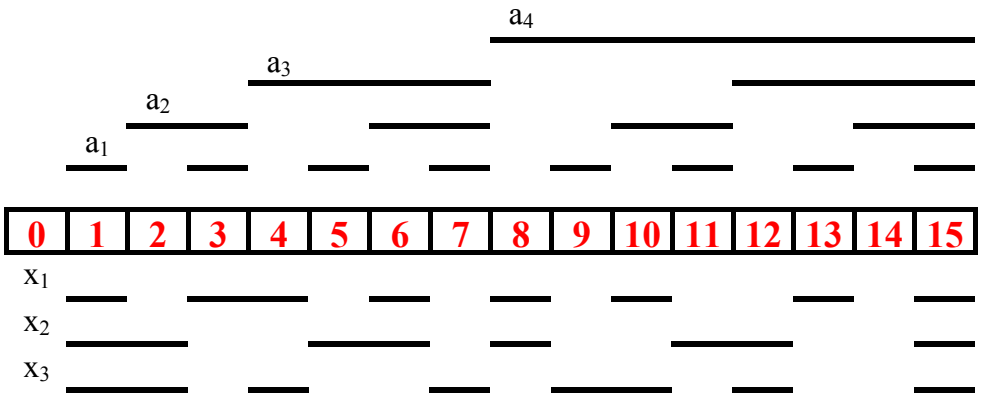


Рис. 3.24

Тем не менее в кодах Хемминга принципиально возможно создание быстродействующего логического устройства, например на ПЛМ, реализующего покрытие всех геометрических образов сигналов a'_1, a'_2, a'_3, a'_4, x'_1, x'_2, x'_3, λ.

Следовательно, вопрос об использовании кода Хемминга в том или ином арифметическом блоке определяется только аппаратурными затратами исходя из требуемого быстродействия устройства.

Выполнение устройств машинной арифметики с использованием контролеспособных кодов, в том числе и кодов Хемминга, находится в стадии развития. Их систематическое изложение требует большого объема, что выходит за рамки настоящей работы. Однако остановимся на положениях, которые могут быть положены в основу синтеза таких устройств. Для этого сделаем небольшой экскурс в проблему исправления ошибок в теории связи и ее отличия при построении помехоустойчивых цифровых устройств, составляющих предмет нашего анализа.

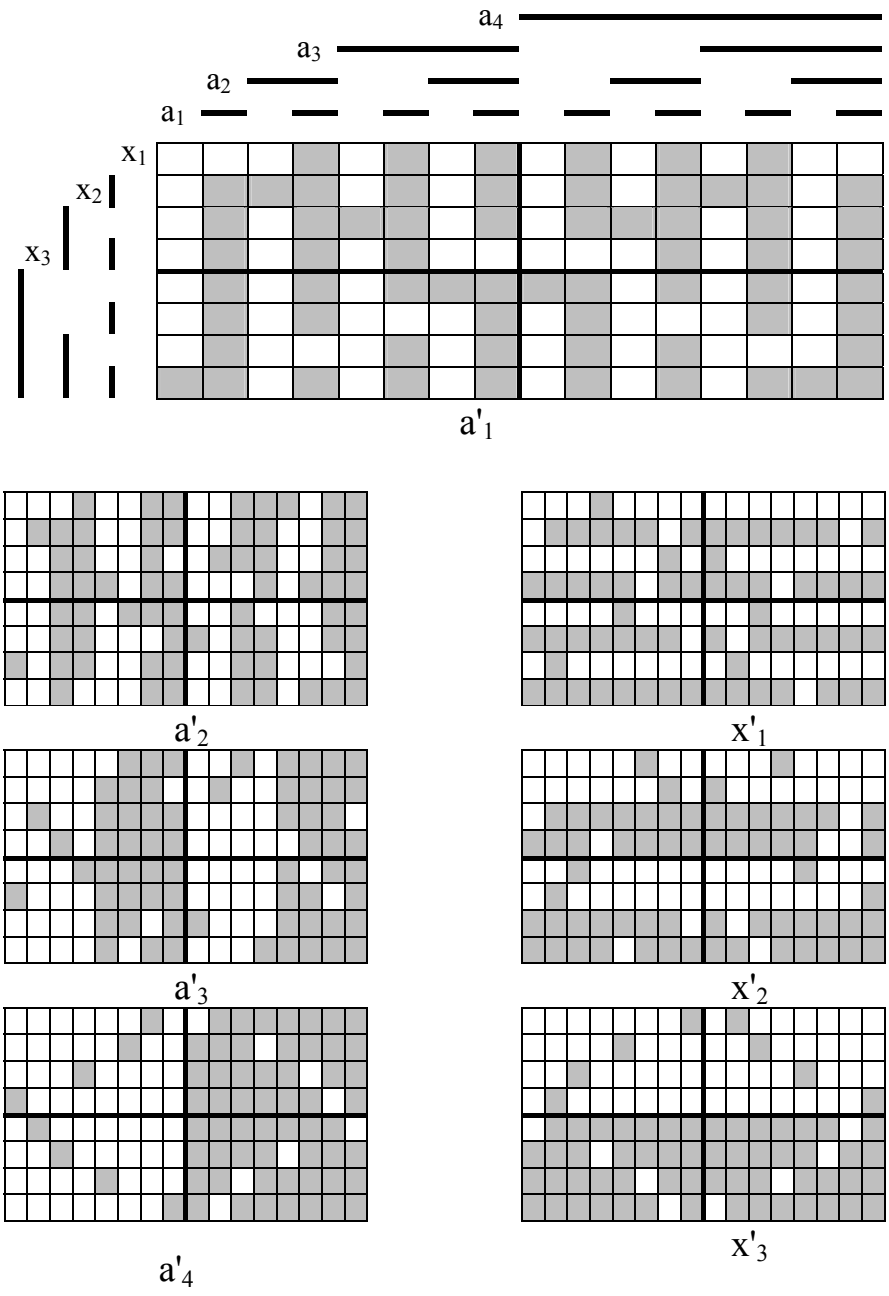


Рис. 3.25

Классическое решение задачи помехозащищенности в теории связи [3.11] заключается в посылке через линию связи с помехами, кроме информационных сигналов, соответствующим образом сформированных в кодирующем блоке контрольных сигналов (рис. 3.26, *а*).

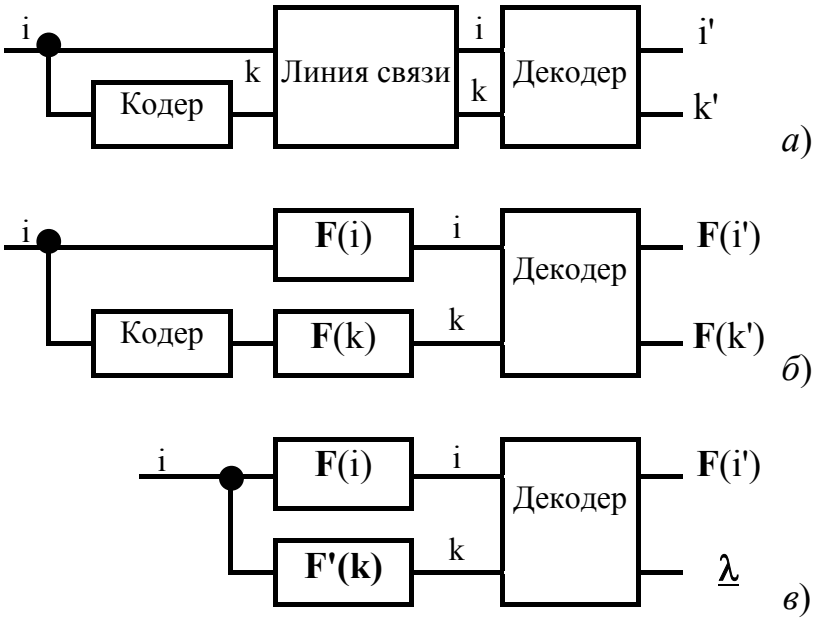
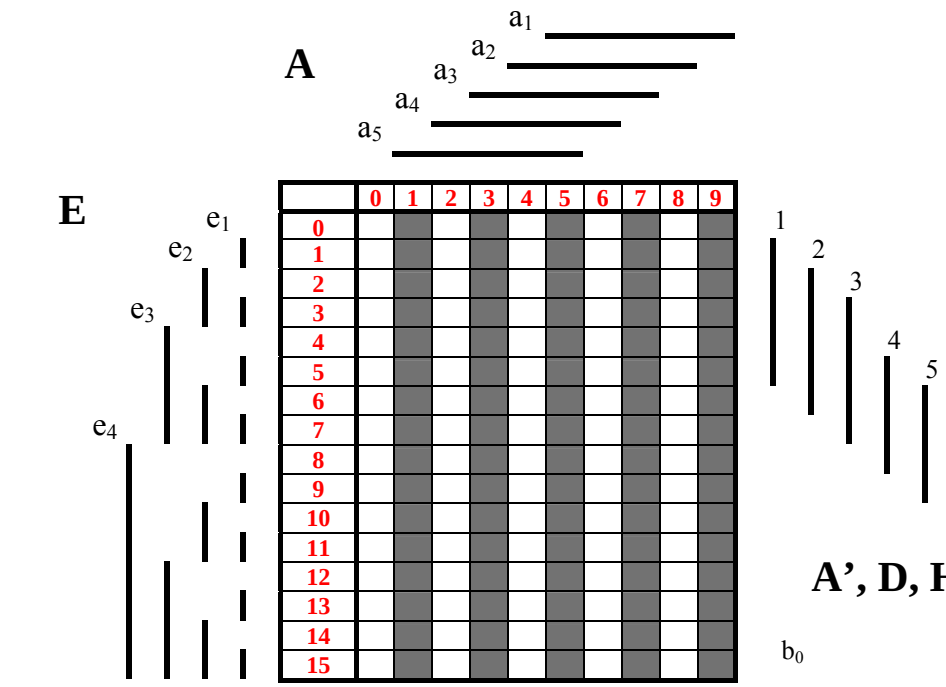


Рис. 3.26

На выходном конце линии связи эти две части кода поступают в декодирующий блок, который исправляет ошибки в обеих частях синтезирующего кода, где при успешном выполнении этой операции возможно активное использование информационной части кода либо дальнейшая совместная ретрансляция сигнала обеих его частей.

Формальный перенос из теории связи операции исправления ошибок на цифровые устройства, что выполняется практически во всех работах, представлен на структурной схеме рис. 3.26, *б*. В ней линия связи предыдущей схемы заменена на соответствующие блоки, реализующие определенные арифметические функционалы над информационной частью кода **F**(i) и его контрольной частью **F**(k), а кодирующие и декодирующие блоки сохранены без изменения. При попадании в нерабочую область цифрового пространства декодирующий блок выдает сигнал о невозможности исправления ошибок $\underline{\lambda}$ и необходимости остановить дальнейшее вычисление.

В описанной выше структурной схеме задача исправления ошибок в цифровом устройстве неоправданно усложнена. Без ущерба для решения задачи исправления ошибок в арифметическом либо логическом блоке устройства кодирующий блок и блок выполнения определенной операции над контрольной частью кода могут быть заменены одним блоком без промежуточного преобразования входной информационной части во входную контрольную часть кода.



b1

	0	1	2	3	4	5	6	7	8	9
0			■	■			■	■		
1	■	■			■	■			■	■
2			■	■			■	■		
3	■	■			■	■			■	■
4			■	■			■	■		
5	■	■			■	■			■	■
6			■	■			■	■		
7	■	■			■	■			■	■
8			■	■			■	■		
9	■	■			■	■				
10			■	■			■	■		
11	■	■			■	■			■	■
12			■	■			■	■		
13	■	■			■	■			■	■
14			■	■			■	■		
15	■	■			■	■			■	■

b2

	0	1	2	3	4	5	6	7	8	9
0					■	■	■	■		
1			■	■	■	■				
2	■	■	■	■					■	■
3	■	■					■	■	■	■
4					■	■	■	■		
5			■	■	■	■				
6	■	■	■	■					■	■
7	■	■					■	■	■	
8					■	■	■	■		
9			■	■	■	■				
10	■	■	■	■					■	■
11	■	■					■	■	■	■
12					■	■	■	■		
13			■	■	■	■				
14	■	■	■	■					■	■
15	■	■					■	■	■	■

b3

	0	1	2	3	4	5	6	7	8	9
0									■	■
1	■	■	■	■	■	■				
2					■	■	■	■	■	■
3	■	■								
4	■	■	■	■	■	■	■	■		
5							■	■	■	■
6	■	■	■	■						
7			■	■	■	■	■	■	■	■
8									■	■
9	■	■	■	■	■	■				
10					■	■	■	■	■	■
11	■	■								
12	■	■	■	■	■	■	■	■		
13							■	■	■	■
14	■	■	■	■						
15			■	■	■	■	■	■	■	■

Рис. 2.54

Кроме того, декодирующий блок может быть также упрощен, поскольку нет необходимости иметь на его выходе контрольную часть кода выполняемой операции. Приведенные изменения структурной схемы изображены на рис. 3.26, *в*. Эта схема и может быть положена в основу синтеза арифметических и логических устройств, где основной задачей является создание нового блока, реализующего функционал **F'**(k).

3.5. Анализ контролеспособности обычного цифрового кода методом многомерных цифровых множеств

Название этого позиционного кода происходит от его повседневного использования для основания системы счисления n = 10 в обычной жизни всеми людьми. Напомним, что обычным цифровым кодом названо позиционное представление цифр счисления основания n ≥ 2, где в каждом разряде имеется n позиций с номерами **0**, **1**, ... , **(n – 1)** и лишь один символ (сигнал), вес которого равен номеру позиции, в которой символ в данный момент расположен. Иногда в литературе этот тип кода называют унитарным, однорядным, кодом с активным нулем, просто позиционным кодом и т.д.

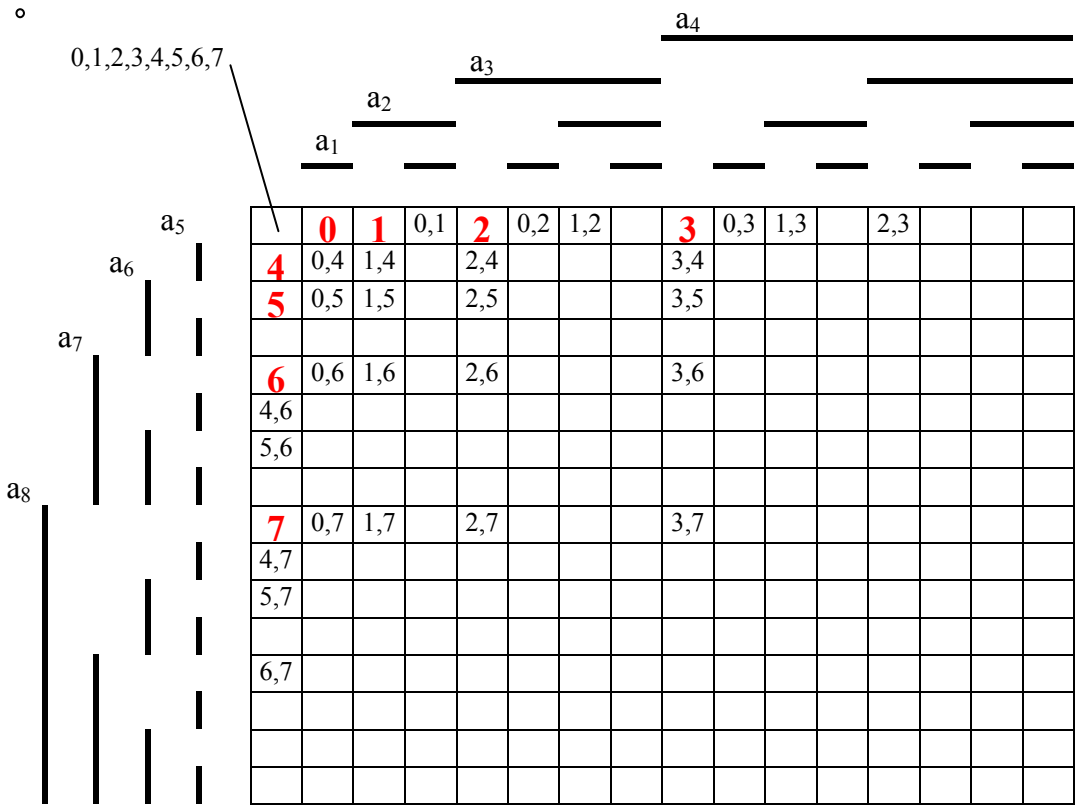


Рис. 3.27

С первых шагов создания вычислительных устройств предпринимались и предпринимаются не очень удачные попытки их выполнения в коде ОЦК [3.8]. Причем, учитывая огромную избыточность ОЦК, равную (2^n – n), ряд исследо-

вателей [3.3] видят в нем решение проблемы контролеспособности вычислительных устройств, забывая при этом, что этот код используется только для сокращенной записи цифрового вектора, где сообщается только старшая цифра вектора. Поэтому ОЦК должен рассматриваться как составляющая внешнего языка для ЭВМ и от него не следует ожидать каких-либо положительных эффектов при построении устройств, например машинной арифметики.

Докажем это утверждение на примере системы счисления основания n = 8. Обратимся к рис. 3.27, где изображено многомерное цифровое пространство, в ячейках которого расположены штатные сигналы **0 – 7** ОЦК, а также сигналы одиночных ошибок. Штатные сигналы выделены соответствующим образом.

Из представленного видно, что этот код не позволяет исправлять какие-либо ошибки, а схема обнаружения ошибок довольно громоздка:

$$\lambda = a_1 \underline{a}_2 \underline{a}_3 \ldots \underline{a}_8 \vee \underline{a}_1 a_2 \underline{a}_3 \ldots \underline{a}_8 \vee \underline{a}_1 \underline{a}_2 a_3 \ldots \underline{a}_8 \vee \ldots \vee \underline{a}_1 \underline{a}_2 \underline{a}_3 \ldots a_8 .$$

Поэтому если предположить, что этот код будет использован во внутреннем языке ЭВМ, то необходимо будет с каждой ошибкой в коде ее останавливать и устранять ошибку. Здесь уместно обратиться к Дж.фон Нейману [3.9], который писал: "Весьма вероятно, что если бы каждую ошибку надо было немедленно обнаружить, объяснить и исправлять, то система такой сложности, как живой организм, не смогла бы проработать и миллисекунды. Система такого типа так хорошо скомпонована, что может работать и тогда, когда в ней возникают отдельные ошибки".

Поэтому необходимо стремиться к идеалу – живому организму и в этом стремлении наиболее подходит другой тип кода, который действительно может быть назван обычным цифровым кодом внутреннего языка ЭВМ. Этот код включает все цифры вектора, а в предыдущем рассмотрении был представлен как код одномерных угловых множеств, который, обладая даже несколько меньшей избыточностью (2^{n-1}) по сравнению с ОЦК, имеет огромные возможности по исправлению и обнаружению ошибок.

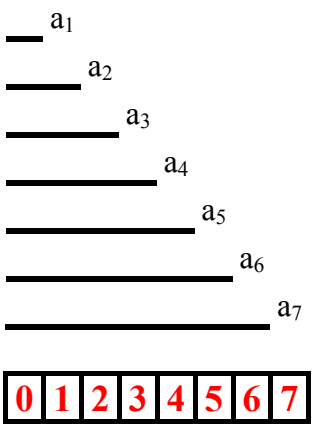


Рис. 3.28

Этот тип кода, очевидно, и является языком человеческого общения. Если мы имеем, например, 6 рублей, то это значит, что у нас есть все составляющие этой суммы. Следовательно, рассматривать одиночное множество 6 не следует: это всегда сумма всех единичных множеств. Поэтому такой код можно также называть интегральным. Его отличие от языка человеческого общения заключается лишь в том, что цифра **0** равноценна здесь со всеми другими цифрами кода соответствующего основания системы счисления.

Для основания n = 8 сигналы ОЦК относительно полюса α весьма просты $a_1 = \mathbf{0}$, $a_2 = \mathbf{0} \vee \mathbf{1}$, ... , $a_7 = \mathbf{0} \vee \ ... \vee 6$ (рис. 3.28), а расположение в ячейках многомерного цифрового пространства штатных сигналов ОЦК, что показано на рис. 3.29, позволяет обнаруживать и исправлять, не останавливая ЭВМ, не только одиночные ошибки, но также ряд двойных и даже тройных ошибок.

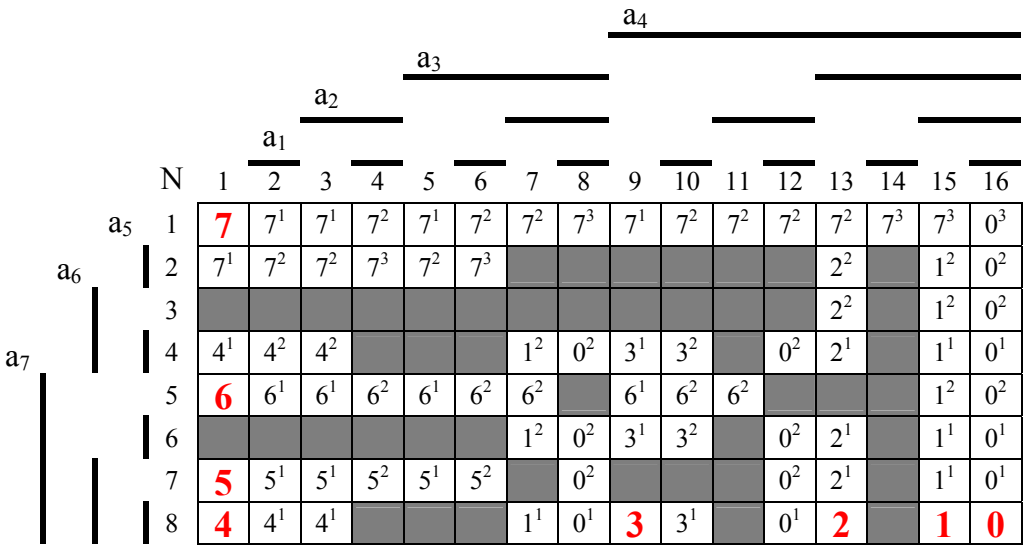


Рис. 3.29

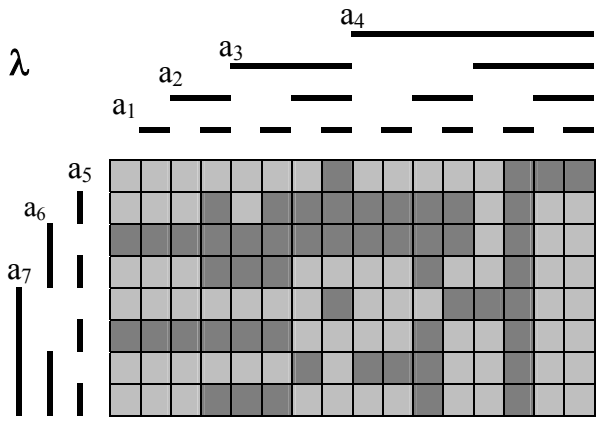


Рис. 3.30

Без учета сигналов тройных ошибок область рабочего пространства данного кода представляется фигурой рис. 3.30, а геометрические образы исправленных сигналов $a'_1 - a'_7$, дополненные с целью упрощения ячейками нерабочего пространства, приведены на рис. 3.31.

Если еще более упростить задачу и исправлять, например, только одиночные ошибки кода и при этом использовать сигналы относительно полюсов и α, β, то логические блоки определения сигнала λ и исправленных сигналов $a'_1 - a'_7$ будут еще более просты.

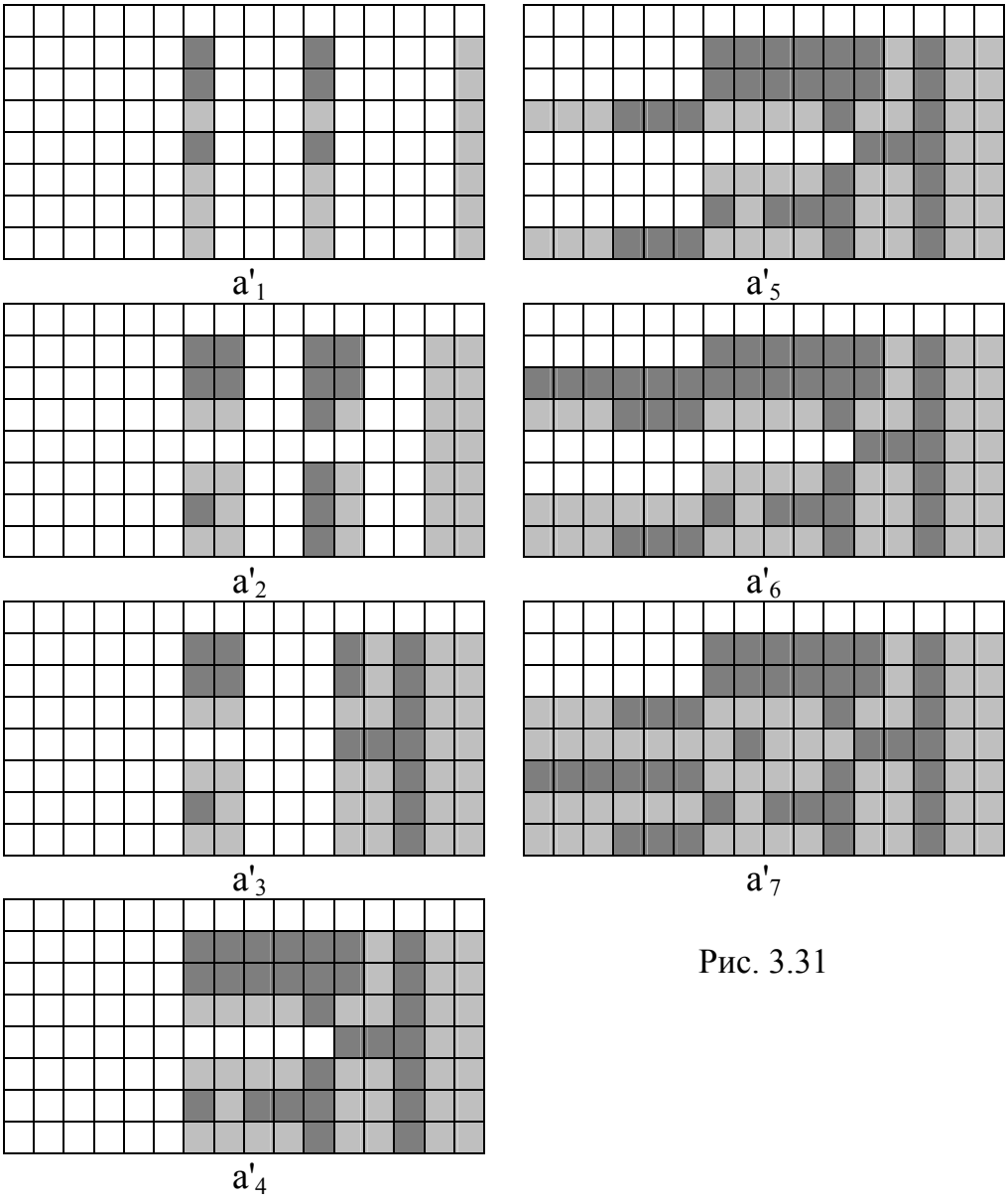


Рис. 3.31

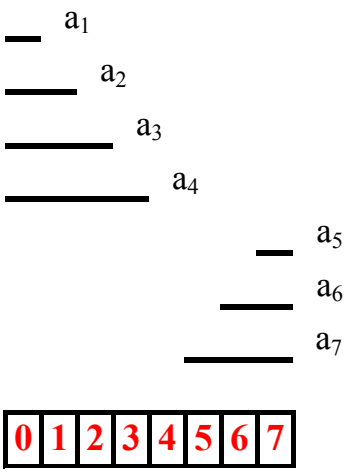


Рис. 3.32

Этот вариант кодирования сигналов с основанием n = 8 приведен на рис. 3.32, а многомерное пространство с обозначением штатных ячеек и ячеек пространства с одиночными ошибками и геометрические образы сигналов λ, $a'_1 - a'_7$ приведены соответственно на рис. 3.33 и 3.34.

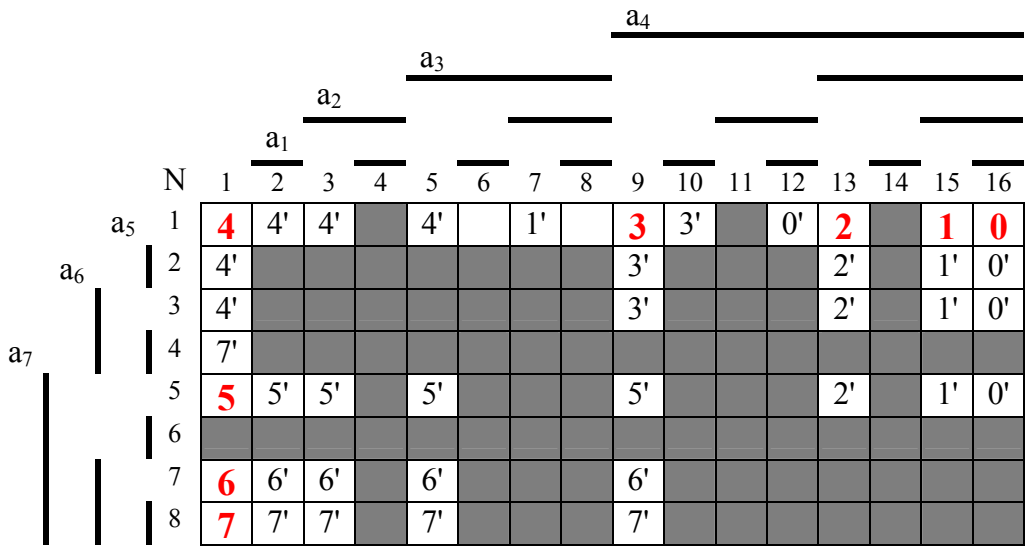


Рис. 3.33

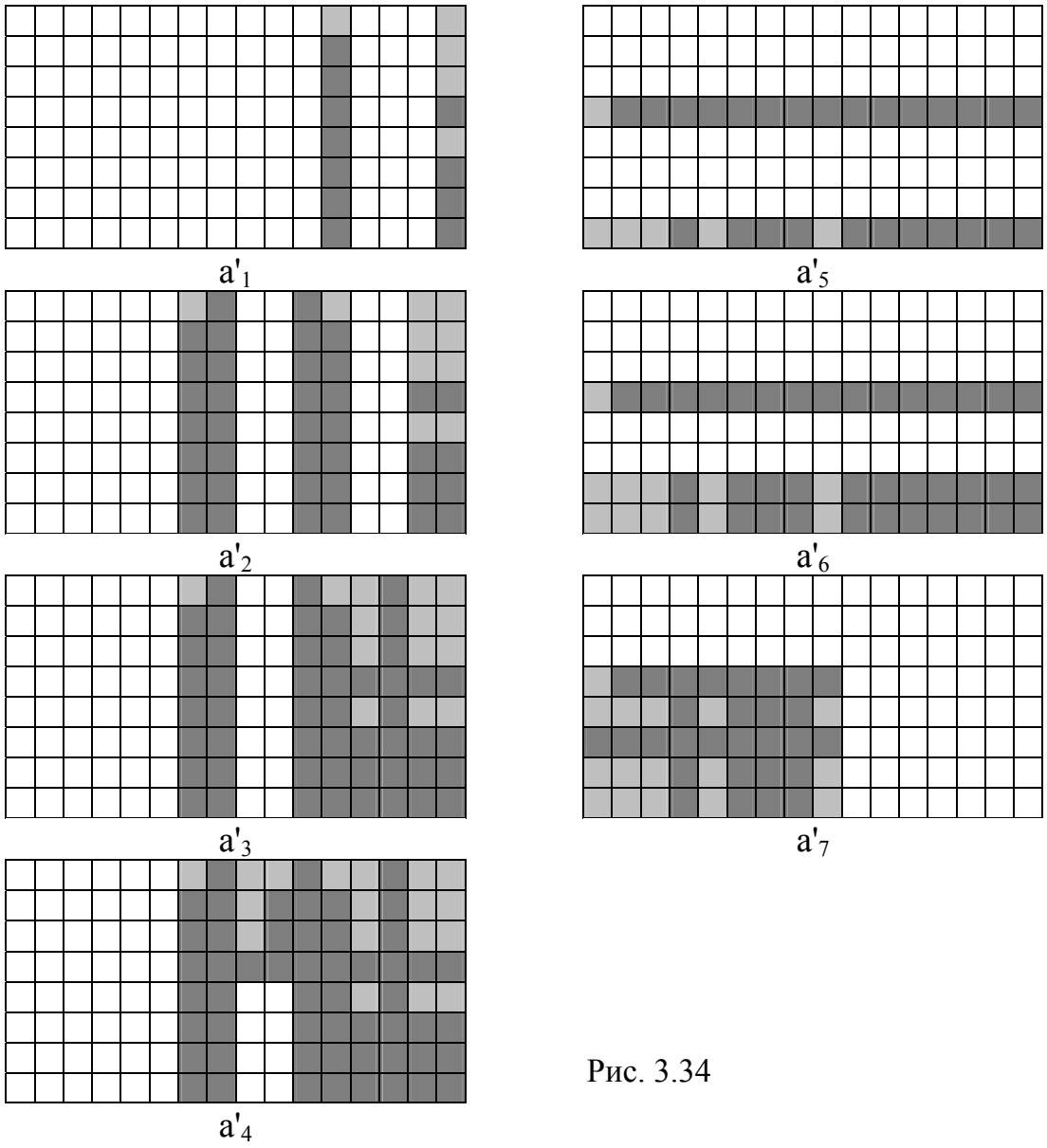


Рис. 3.34

Здесь необходимо отметить, что код одномерных угловых множеств так же, как многофазный код, имеет замечательное свойство, заключающееся в том, что в его каждой кодовой комбинации замкнутый ряд сигналов $\underline{a}_m\, a_1 \ldots a_m\, \underline{a}_1 \ldots \underline{a}_m$ содержит два непрерывных множества сигналов: множество нулей 0* и множество единиц 1*.

Это качество кода позволяет применять весьма простую по технической реализации процедуру обнаружения и исправления любых типов ошибок: одиночных, двойных и т.д., а также их комбинаций и пачек ошибок подобно тому, как это выполняется в многофазном коде [3.4]. При этом следует заметить, что если в цифровой системе либо отдельном цифровом блоке непрерывно осуществляется обнаружение с одновременным исправлением одиночных ошибок с высоким быстродействием, например за два уровня срабатывания одиночного вентиля, то в такой системе практически невозможно появление ошибок большей кратности, тем более пачек ошибок. Поскольку здесь будем рассматривать полностью контролеспособные цифровые системы, то станем в дальнейшем уделять больше внимания исправлению одиночных ошибок в режиме реального времени.

3.6. Анализ контролеспособности кода реверсивного двоичного делителя-счетчика

В реверсивном делителе-счетчике [3.10], где режим работы определяется порядком следования входных сигналов, имеются на выходных шинах два жестко связанных между собой кода: двоичный код i разрядности и код Грея разрядности (i – 1).

Сигналы такого синтезированного кода, предназначенного для представления сигналов ОЦК основания $n = 2^i$, содержат большую избыточность $2^i(2^{i-1} - 1)$. Поскольку делитель-счетчик с этим типом кода широко используется в цифровых устройствах электропривода, преобразователях угла, генераторах многофазного кода и т.д., целесообразно рассмотреть возможности этого кода по обнаружению и исправлению различных типов ошибок.

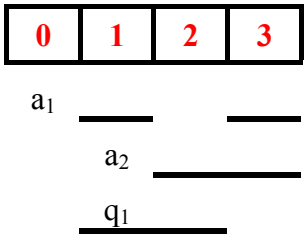


Рис. 3.35

Для основания n = 4 соотношения между сигналами ОЦК **0** – **3**, двоичного кода a_1, a_2 и кода Грея q_1 (рис. 3.35) весьма просты. В качестве информационных сигналов в этом синтезированном коде могут быть приняты сигналы a_1, a_2 либо q_1, a_2, тогда контрольными сигналами будут соответственно сигналы q_1 либо a_1.

Для дальнейшего исследования контролеспособности кода в настоящем разделе примем для любых оснований систем счисления выполнение информационных сигналов в двоичном коде. Распределение в многомерном цифровом пространстве сигналов, кодируемых ими штатных сигналов ОЦК, и их одиночных ошибок приведено на рис. 3.36, из которого очевидна возможность только обнаружения этих

ошибок. Здесь сигнал безошибочности кода, т.е. сигнал рабочей области пространства, следует из его геометрического образа (рис. 3.37), а исправления информационных и контрольных сигналов здесь нет.

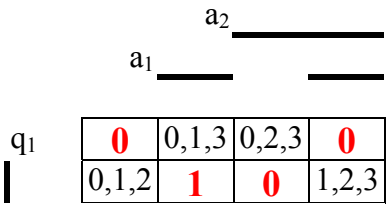


Рис. 3.36

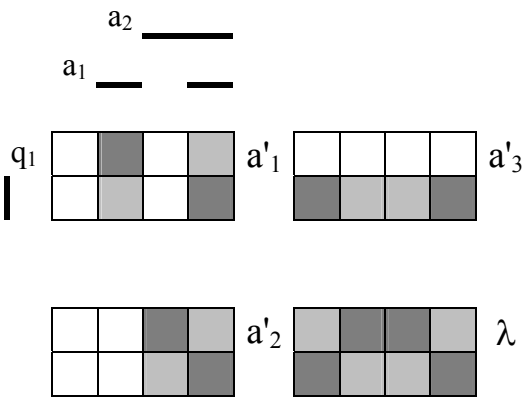


Рис. 3.37

Для следующего основания n = 8 на рис. 3.38 приведены соотношения между сигналами ОЦК **0** – **7**, сигналами двоичного кода a_1, a_2, a_3, и сигналами кода Грея q_1, q_2.

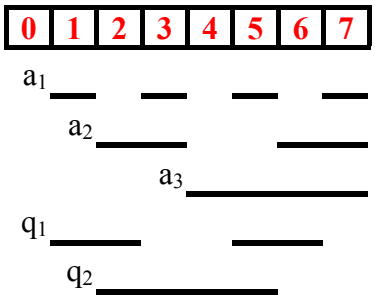


Рис. 3.38

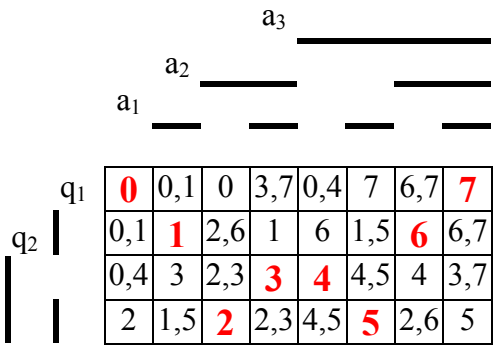


Рис. 3.39

В качестве информационных сигналов в этом случае можно принять следующие группы сигналов: a_1, a_2, a_3; q_1, q_2, a_3; q_1, a_2, a_3, тогда контрольными будут соответственно следующие сигналы q_1, q_2; a_1, a_2; a_1, q_2.

Из распределения штатных сигналов ОЦК и их одиночных ошибок в ячейках многомерного цифрового пространства, которое приведено на рис. 3.39, видно, что этот код является разновидностью кода Хемминга с равноценной с ним контролеспособностью. Поэтому геометрический образ сигнала λ полностью совпадает с кодом Хемминга, а информационные и контрольные сигналы с упрощением их за счет ячеек нерабочего пространства (рис. 3.40) весьма просты:

$$a'_1 = a_1,\ a'_2 = a_3\underline{q}_2 \vee \underline{a}_3 q_2,\ a'_3 = a_3,\ q'_1 = q_1,\ q'_2 = q_2\,. \qquad (3.6.1)$$

Совпадение кода Хемминга с нашим синтезированным кодом начинается и заканчивается на основании n = 8.

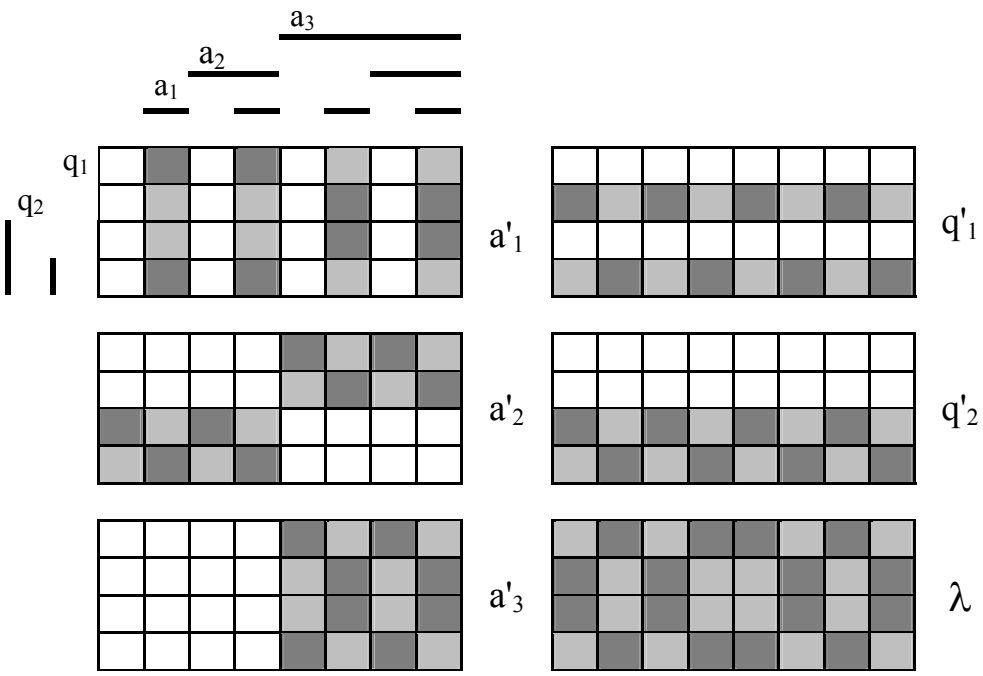


Рис. 3.40

Для основания n = 16, в котором код Хемминга рационально использует все многомерное цифровое пространство (λ =1*), код реверсивного делителя-счетчика не имеет таких возможностей.

Для пояснения этого обратимся к рис. 3.41, где приведены соотношения между сигналами синтезированного кода a_1, ... , a_4, q_1, q_2, q_3 и эквивалентными им сигналами ОЦК **0 – 15** .

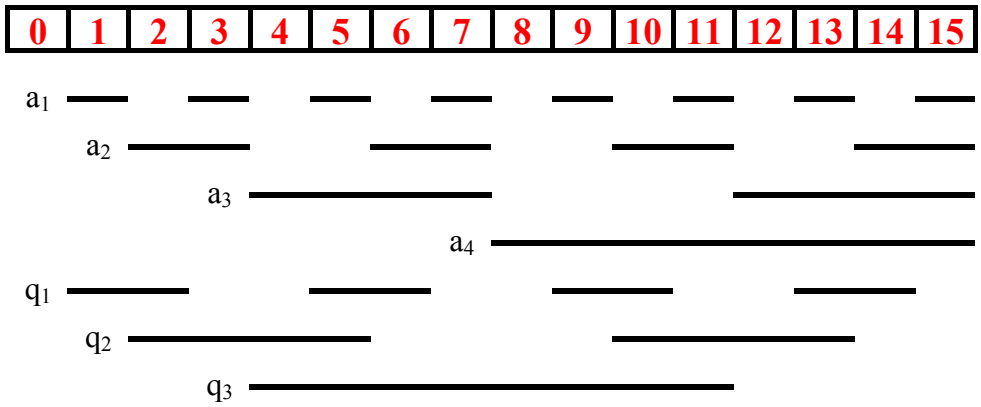
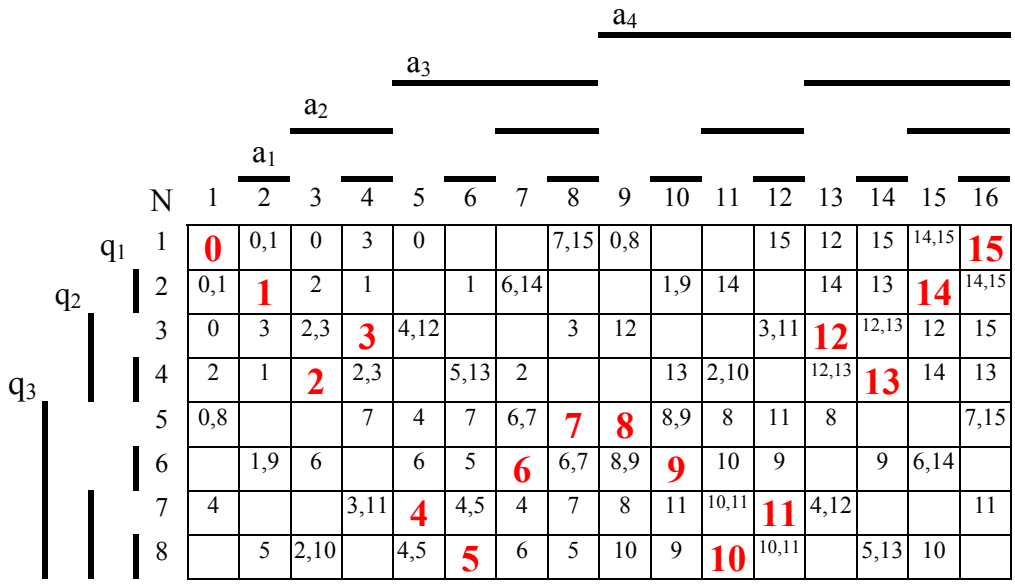


Рис. 3.41



N	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1	**0**	0,1	0	3	0			7,15	0,8			15	12	15	14,15	**15**
2	0,1	**1**	2	1		1	6,14			1,9	14		14	13	**14**	14,15
3	0	3	2,3	**3**	4,12			3	12			3,11	**12**	12,13	12	15
4	2	1	**2**	2,3		5,13	2			13	2,10		12,13	**13**	14	13
5	0,8			7	4	7	6,7	**7**	**8**	8,9	8	11	8			7,15
6		1,9	6		6	5	**6**	6,7	8,9	**9**	10	9		9	6,14	
7	4			3,11	**4**	4,5	4	7	8	11	10,11	**11**	4,12			11
8		5	2,10		4,5	**5**	6	5	10	9	**10**	10,11		5,13	10	

Рис. 3.42

В данном случае в качестве информационных могут быть выбраны следующие группы сигналов: $a_1, \ldots, a_4$; q_1, q_2, q_3, a_4; q_1, a_1, q_3, a_4, а контрольными сигналами для каждой из групп будут оставшиеся сигналы синтезированного кода.

Распределение штатных сигналов **0** – **15** и их одиночных ошибок в ячейках многомерного пространства приведено на рис. 3.42, из которого видно, что одиночные ошибки могут быть обнаружены, но только часть из них может быть исправлена. Незаполненные ячейки многомерного пространства определяют часть двукратных ошибок, которые могут быть только обнаружены.

Из 128 ячеек многомерного цифрового пространства в 64 ячейках располагаются штатные цифровые сигналы **0** – **15** и исправленные сигналы 0 – 15, а остальные 64 ячейки пространства делят поровну между собой неисправляемые одиночные и двойные ошибки.

В соответствии с известной из предыдущего рассмотрения методикой анализа на рис. 3.43 приведены геометрические образы безошибочности кода λ и всех сигналов упрощенного исправления ошибок

$$a'_1 = a_1,\ a'_2 = a_1\underline{q}_1 \vee \underline{a}_1 q_1,\ a'_3 = a_4\underline{q}_3 \vee \underline{a}_4 q_3,\ a'_4 = a_4,\ q'_1 = q_1;$$
$$q'_2 = (a_1\underline{q}_1 \vee \underline{a}_1 q_1)(\underline{a}_4\underline{q}_4 \vee a_4 q_4) \vee (a_1 q_1 \vee \underline{a}_1\underline{q}_1)(\underline{a}_4 q_3 \vee a_4\underline{q}_3);$$
$$q'_3 = q_3. \qquad (3.6.2)$$

Исходя из известности геометрических образов сигналов синтезированного кода $a'_1, \ldots, a'_i, q'_1, \ldots, q'_{i-1}, \lambda$ основания $n = 2^i$, сформулируем общие правила построения геометрических образов сигналов для следующего старшего основания $n = 2^{i+1}$. С этой целью выделим в $(2i - 1)$-мерном цифровом пространстве, где расположены геометрические образы сигналов основания $n=2^i$, восемь неэлементарных ячеек. Для геометрического образа каждого из названных выше

сигналов эти ячейки заполняются четырьмя геометрическими фигурами множеств $\mathbf{M}_{1j}$, ... , $\mathbf{M}_{4j}$, как это показано на рис. 3.44.

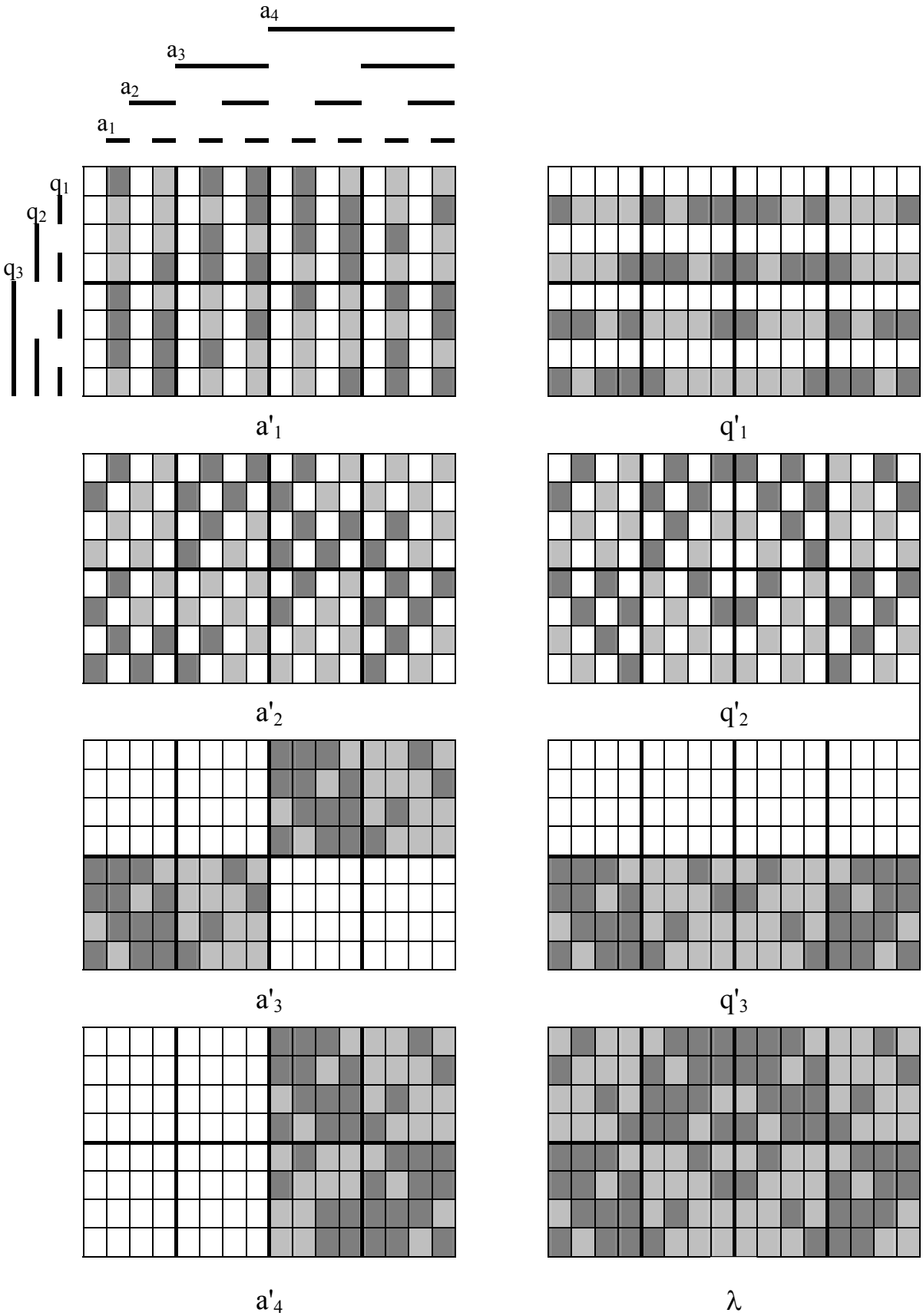


Рис. 3.43

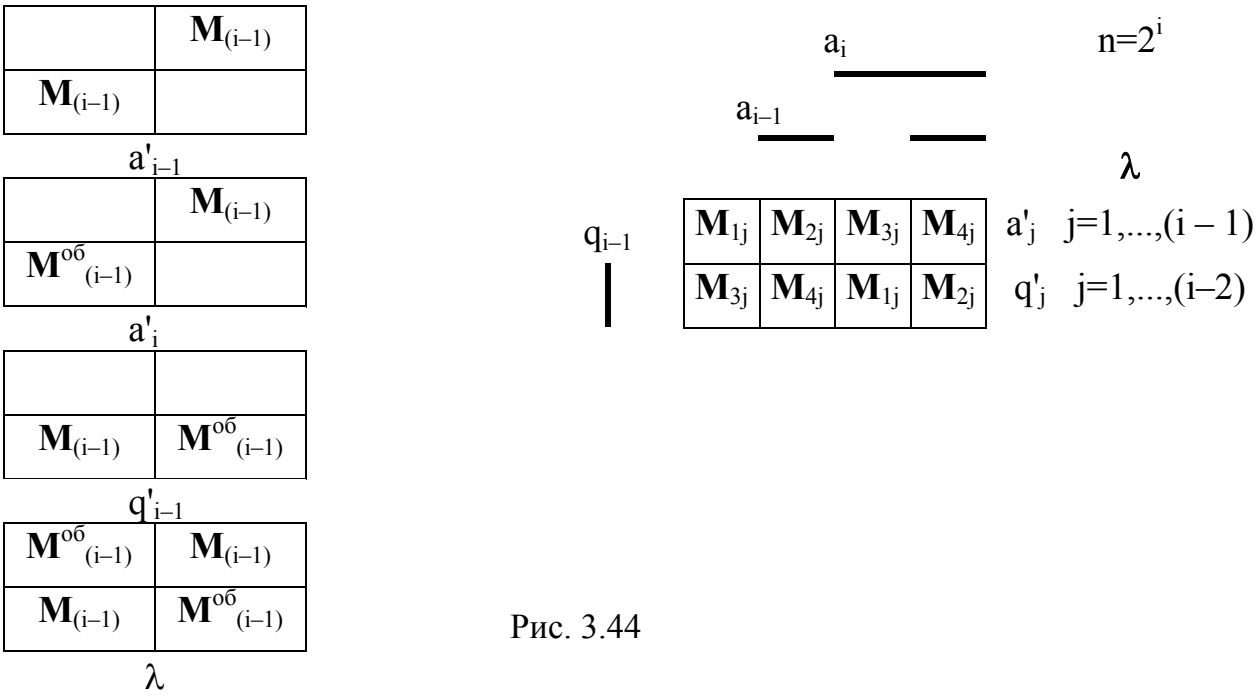


Рис. 3.44

Причем для геометрических образов сигналов a'_{i-1}, a'_i, q'_{i-1} многомерное цифровое пространство может быть разбито и на более крупные четыре ячейки, которые заполняются геометрическими фигурами $\mathbf{M}_{(i-1)}$, $\mathbf{M}^{об}_{(i-1)}$, связанные между собой простыми соотношениями:

$$\mathbf{M}^{об}_{(i-1)}(\mathbf{AQ}) = \mathbf{M}_{(i-1)}(\mathbf{AQ}^{\bullet}). \qquad (3.6.3)$$

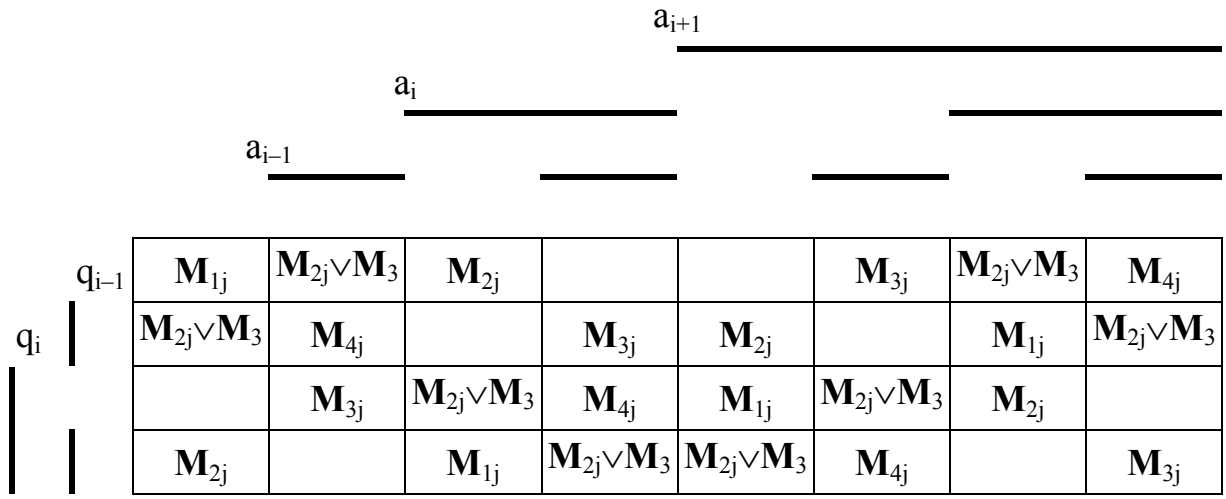


Рис. 3.45

Любой геометрический образ сигналов $a'_1, \ldots, a'_i, q'_1, \ldots, q'_{i-1}$, λ основания $n=2^{i+1}$ может быть получен из одноименных сигналов основания $n=2^i$ по алгоритму, представленному в пространстве $(2i+1)$, как показано на рис. 3.45.

Причем знание геометрического образа сигнала λ либо a'_i основания $n=2^{i+1}$ определяет непосредственно геометрические образы сигналов a'_{i+1}, q'_i этого основания аналогично тому, как это показано для основания $n=2^i$ на рис. 3.44.

Геометрические образы составляющих $\mathbf{M}^{\lambda}_{1j}$, $\mathbf{M}^{\lambda}_{2j}$, $\mathbf{M}^{\lambda}_{3j}$, $\mathbf{M}^{\lambda}_{4j}$ сигнала λ связаны между собой следующими соотношениями:

$$\mathbf{M}^{\lambda}_{1j}(\mathbf{AQ}) = \mathbf{M}^{\lambda}_{4j}(\mathbf{A}^{\bullet}\mathbf{Q}),\ \mathbf{M}^{\lambda}_{2j}(\mathbf{AQ}) = \mathbf{M}^{\lambda}_{3j}(\mathbf{A}^{\bullet}\mathbf{Q}). \qquad (3.6.4)$$

В соответствии с представленным алгоритмом на рис. 3.46 приведен геометрический образ сигнала λ для основания $n = 32$, который синтезирован непосредственно из геометрического образа сигнала рис. 3.43 основания $n = 16$.

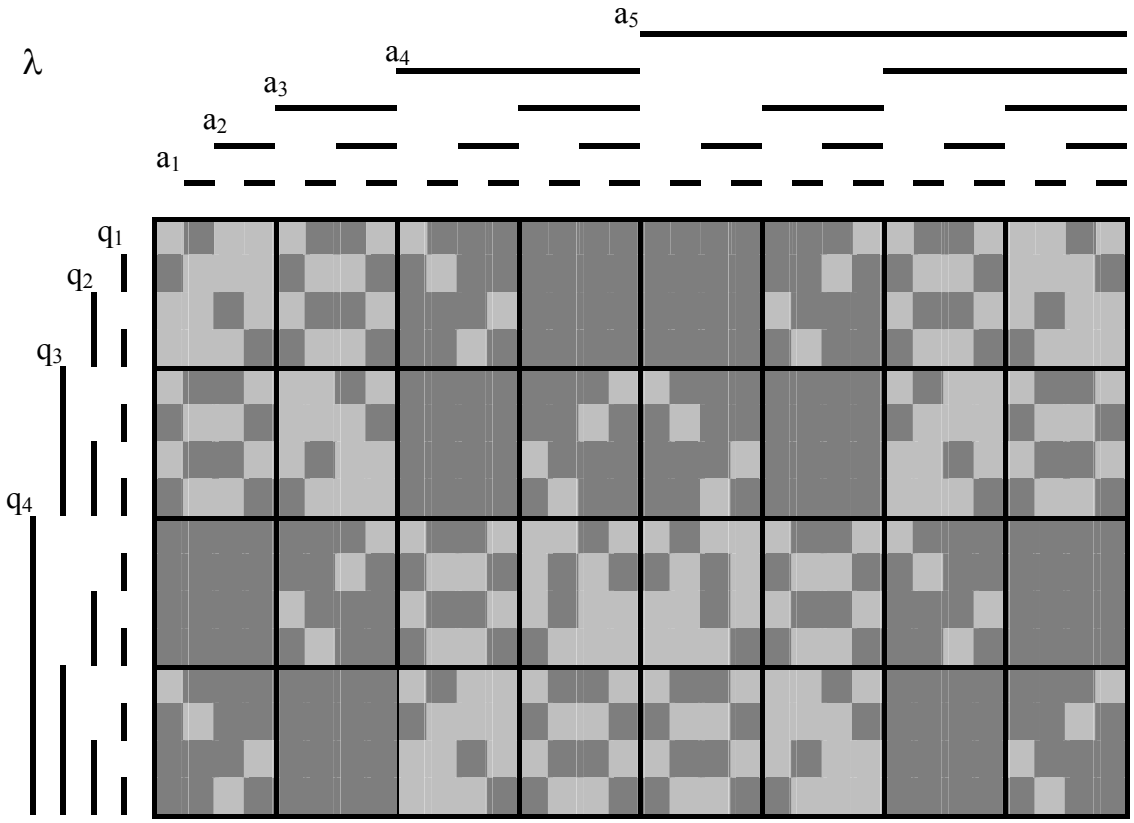


Рис. 3.46

Первообразными для определения геометрических образов исправляемых сигналов всех последующих оснований систем счисления являются сигналы основания $n = 8$, а не $n = 4$, поскольку в последнем нет возможности для исправления одиночных ошибок.

Если же в качестве первообразного принять сигнал λ основания $n = 4$, то, синтезируя по предложенному выше алгоритму аналогичные сигналы для ос-

нований n = 8, 16, 32, ... , получаем геометрические образы сигналов λ, включающие в себя только штатные сигналы ОЦК этих оснований, в чем можно непосредственно убедиться, проведя соответствующий синтез.

Таким образом, код реверсивного двоичного делителя-счетчика при любой его протяженности обладает возможностью обнаружения и исправления ошибок. Структурная схема для обнаружения и исправления ошибок этого кода приведена на рис. 3.47, где блок *1* выполняет задачу определения рабочей зоны многомерного цифрового пространства кода, а блок *2* непосредственно исправляет ошибки, используя процедуру синтеза более простых геометрических образов исправляемых сигналов введением в них клеток нерабочего цифрового пространства $\underline{\lambda}$.

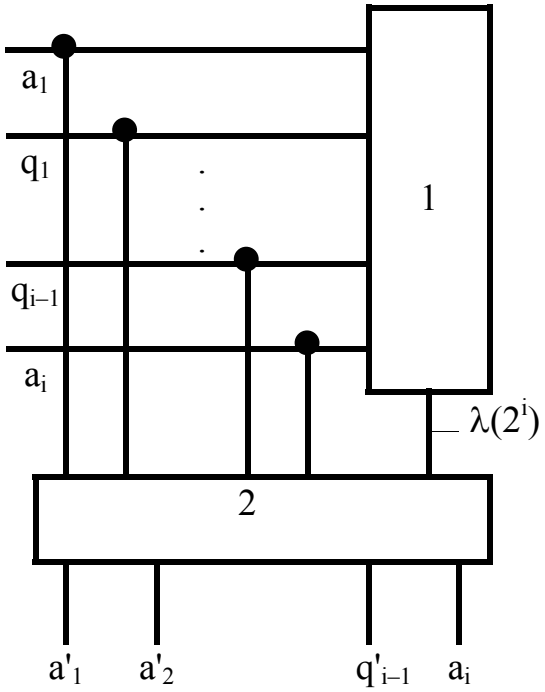


Рис. 3.47

Для быстродействующего устройства обнаружения и исправления ошибок блоки *1* и *2* выполняются по логическим функциям в ДНФ, что при значительной протяженности кода требует больших аппаратурных затрат.

Для снижения аппаратурных затрат можно весь код разбить на более мелкие, последовательно соединенные составляющие оснований систем счисления, например n = 8, и определять множества $\mathbf{M}_{1j}, \ldots, \mathbf{M}_{4j}$ последовательно по алгоритму, который непосредственно следует из геометрического образа сигнала λ (рис. 3.44):

$$\lambda = \mathbf{M}^{\text{об}}_{(i-1)}(a_i q_{i-1} \vee \underline{a_i} \underline{q}_{i-1}) \vee \mathbf{M}_{(i-1)}(a_i \underline{q}_{i-1} \vee \underline{a_i} q_{i-1}).$$

Схема по обнаружению и исправлению одиночных ошибок кода для этого варианта приведена на рис. 3.48.

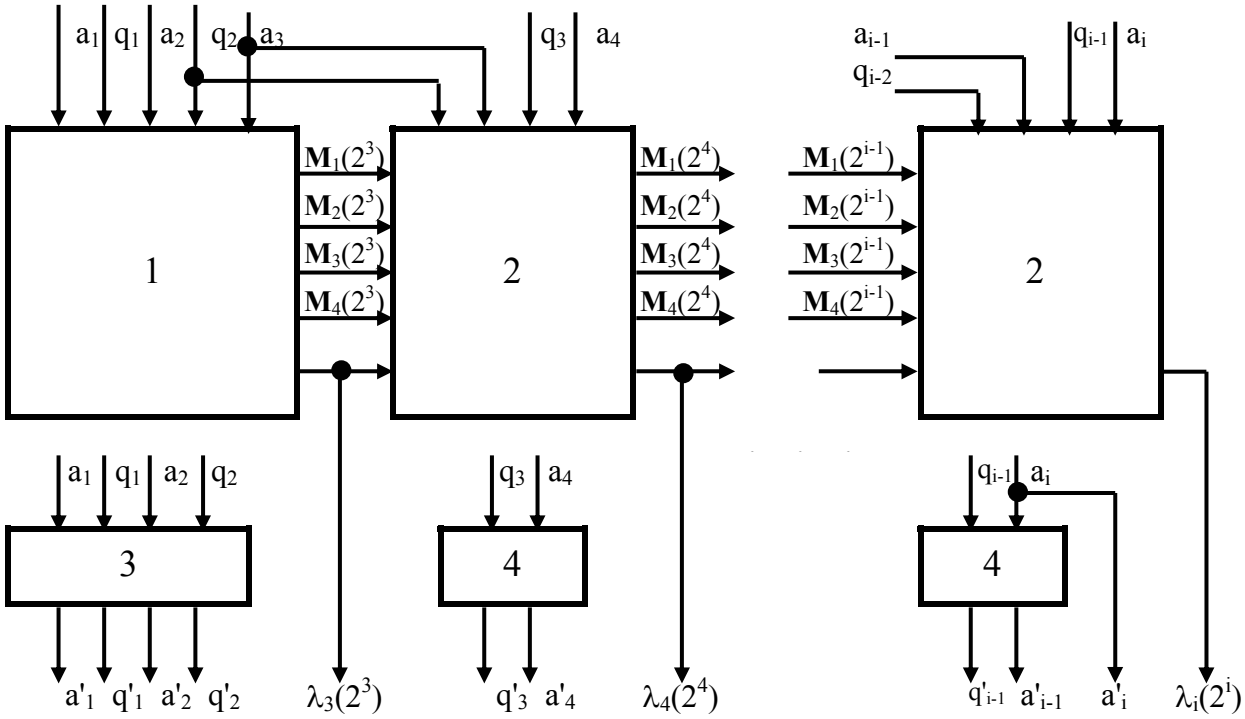


Рис. 3.48

В первом блоке этой структурной схемы формируются сигналы четырех множеств (рис. 3.39):

$$\mathbf{M}_1(2^3) = \mathbf{M}_2(2^3) = a_1q_1 \vee \underline{a}_1\underline{q}_1;$$
$$\mathbf{M}_3(2^3) = \mathbf{M}_4(2^3) = a_1\underline{q}_1 \vee \underline{a}_1q_1 \qquad (3.6.5)$$

и сигнал безошибочной работы разряда

$$\lambda = (a_1q_1 \vee \underline{a}_1\underline{q}_1)(a_3q_2 \vee \underline{a}_3\underline{q}_2) \vee (a_1\underline{q}_1 \vee \underline{a}_1q_1)(a_3\underline{q}_2 \vee \underline{a}_3q_2). \qquad (3.6.6)$$

Все последующие блоки *2* формирования множеств $\mathbf{M}_{1j}$, ... ,$\mathbf{M}_{4j}$ и сигнала $\lambda(2^j)$ выполняются по одинаковым логическим формулам:

$$\mathbf{M}_1(2^j) = \mathbf{M}_1(2^{j-1})\underline{a}_{j-3}\underline{q}_{j-3} \vee (\mathbf{M}_2(2^{j-1}) \vee \mathbf{M}_3(2^{j-1}))(\underline{a}_{j-3}q_{j-3} \vee a_{j-3}\underline{q}_{j-3}) \vee \mathbf{M}_4(2^{j-1})a_{j-3}q_{j-3};$$
$$\mathbf{M}_2(2^j) = \mathbf{M}_2(2^{j-1})\underline{a}_{j-3}\underline{q}_{j-3} \vee \mathbf{M}_3(2^{j-1})a_{j-3}q_{j-3};$$
$$\mathbf{M}_3(2^j) = \mathbf{M}_2(2^{j-1})\underline{a}_{j-3}q_{j-3} \vee \mathbf{M}_3(2^{j-1})a_{j-3}\underline{q}_{j-3};$$
$$\mathbf{M}_4(2^j) = \mathbf{M}_1(2^{j-1})\underline{a}_{j-3}q_{j-3} \vee (\mathbf{M}_2(2^{j-1}) \vee \mathbf{M}_3(2^{j-1}))(\underline{a}_{j-3}\underline{q}_{j-3} \vee a_{j-3}q_{j-3}) \vee \mathbf{M}_4(2^{j-1})a_{j-3}\underline{q}_{j-3};$$
$$\lambda(2^j) = \mathbf{M}_1(2^j)(\underline{a}_{j-1}\underline{a}_j\underline{q}_{j-1} \vee \underline{a}_{j-1}a_jq_{j-1}) \vee \mathbf{M}_2(2^j)(a_{j-1}\underline{a}_j\underline{q}_{j-1} \vee a_{j-1}a_jq_{j-1}) \vee$$
$$\mathbf{M}_3(2^j)(\underline{a}_{j-1}a_j\underline{q}_{j-1} \vee \underline{a}_{j-1}\underline{a}_jq_{j-1}) \vee \mathbf{M}_4(2^j)(a_{j-1}\underline{a}_jq_{j-1} \vee a_{j-1}a_j\underline{q}_{j-1}). \qquad (3.6.7)$$

Схема блока *3* для исправления ошибок первого разряда в соответствии с (3.6.1) элементарна, поскольку сигналы a_1, q_1, q_2 пропускаются на выходные шины без изменения, а сигнал $\mathbf{a_2}$ исправляется по элементарному выражению $a'_2 = a_3\underline{q}_2 \vee \underline{a}_3 q_2$. По таким же элементарным функциям выполняются блоки *4* исправления ошибок этого кода $q'_j = a_{j+1}\underline{q}_j \vee \underline{a}_{j+1} q_j$, $q'_j = q_j$. Дальнейшее снижение аппаратурных затрат возможно осуществить, если определять штатные сигналы ОЦК оснований систем счисления, начиная с $n = 2^2$. В этом случае $\mathbf{M}_1(2^2) = 1^*$, $\mathbf{M}_2(2^2) = \mathbf{M}_3(2^2) = 0^*$ $(\mathbf{M}_2(2^j) = \mathbf{M}_3(2^j) = 0^*)$, $\mathbf{M}_4(2^2) = 1^*$ и сигнал безошибочности кода этого основания равен

$$\lambda(2^2) = \underline{a}_1\underline{a}_2 q_1 \vee a_1\underline{a}_2 q_1 \vee \underline{a}_1 a_2 q_1 \vee a_1 a_2\underline{q}_1, \qquad (3.6.8)$$

а множества для определения сигнала безошибочности кода следующего разряда основания $n = 2^3$ определяется по выражениям:

$$\mathbf{M}_1(2^3) = \underline{a}_1\underline{q}_1 \vee a_1 q_1 \ , \ \mathbf{M}_4(2^3) = a_1\underline{q}_1 \vee \underline{a}_1 q_1. \qquad (3.6.9)$$

Тогда сигнал безошибочности кода основания $n = 2^3$ представляется следующим образом:

$$\lambda(2^3) = \mathbf{M}_1(2^3)\,(\underline{a}_2\underline{a}_3\underline{q}_2 \vee \underline{a}_2 a_3 q_2) \vee \mathbf{M}_4(2^3)\,(a_2\underline{a}_3 q_2 \vee a_2 a_3\underline{q}_2), \qquad (3.6.10)$$

В общем виде для основания $n = 2^j$ можно записать следующие логические выражения, которые значительно проще выражений (3.6.7):

$$\mathbf{M}_1(2^j) = \mathbf{M}_1(2^{j-1})\underline{a}_{j-2}\underline{q}_{j-2} \vee \mathbf{M}_4(2^{j-1})a_{j-2}q_{j-2} \ ;$$

$$\mathbf{M}_4(2^j) = \mathbf{M}_1(2^{j-1})\underline{a}_{j-2}q_{j-2} \vee \mathbf{M}_4(2^{j-1})a_{j-2}\underline{q}_{j-2} \ ;$$

$$\lambda(2^j) = \mathbf{M}_1(2^j)\,(\underline{a}_{j-1}\underline{a}_j\underline{q}_{j-1} \vee \underline{a}_{j-1}a_j q_{j-1}) \vee \mathbf{M}_4(2^j)\,(a_{j-1}\underline{a}_j q_{j-1} \vee a_{j-1}a_j\underline{q}_{j-1}). \qquad (3.6.11)$$

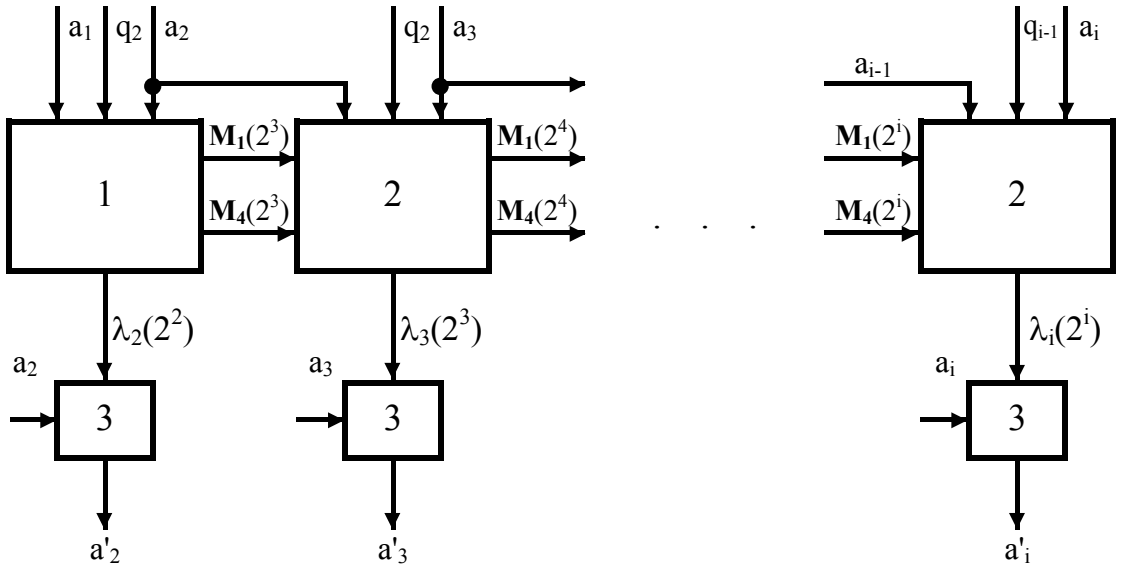


Рис. 3.49

Структурная схема для обнаружения и исправления ошибок кода для этого варианта приведена на рис. 3.49, где блоки *1*, *2* выполняются в соответствии с (3.6.8) – (3.6.11), а блоки *3* являются простыми инверторами для информационных сигналов $a'_j = a_j \lambda_j \vee \underline{a_j}\,\underline{\lambda_j}$.

На рис. 3.50 приведены соотношения между сигналами $\lambda_2(2^2)$, ... , $\lambda_i(2^i)$ и всеми сигналами кода, из которых видно, что сигналы a_1, a_2 первых двух разрядов кода бесконтрольны, а при наличии сигнала ошибки $\lambda_i = 0^*$ возможна ошибка в информационном a_j и контрольном q_{j-1} разрядах.

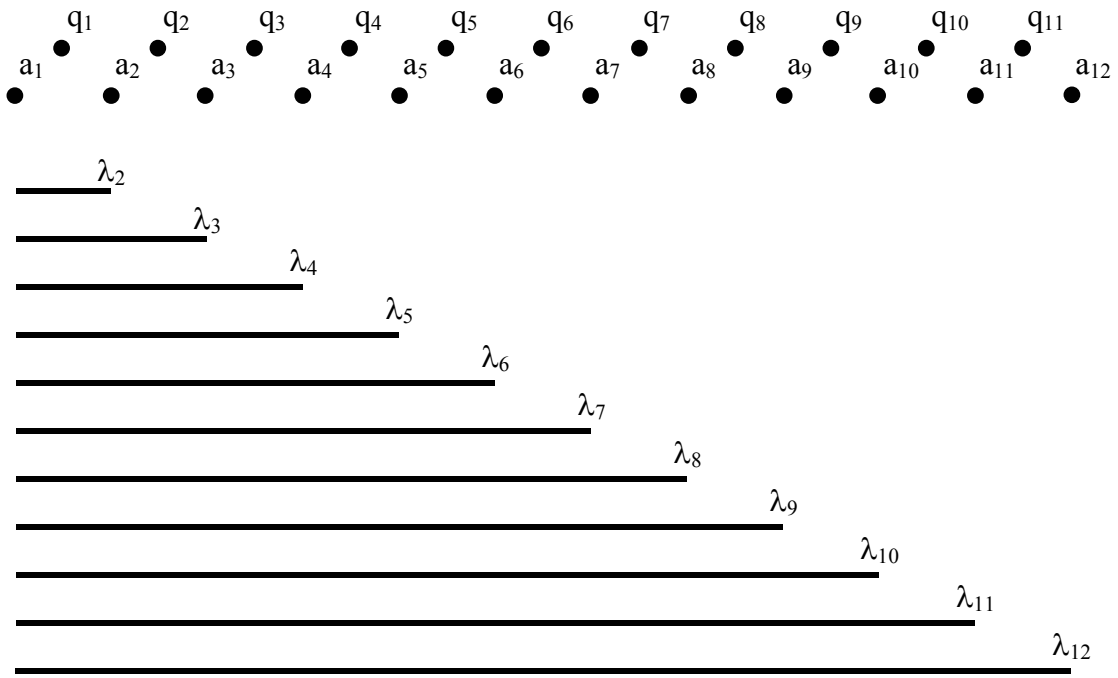


Рис. 3.50

Возможность исправления информационных разрядов в структурной схеме рис. 3.49 предполагает безошибочность контрольных разрядов кода, что далеко от фактического положения.

Наиболее простой аппаратурной реализацией для исправления различных комбинаций ошибок кода делителя-счетчика является метод анализа взаимно перекрывающихся групп сигналов. Возможность выделения таких групп сигналов определяется замечательным свойством этого кода: какое бы количество последовательно расположенных информационных разрядов кода мы ни рассматривали на любом протяжении кода, в его контрольных разрядах всегда имеются сигналы кода Грея и их совместный ансамбль с выделенными информационными разрядами будет также кодом реверсивного делителя-счетчика.

Например, информационные разряды a_1, a_2 совместно с контрольным разрядом q_1 (рис. 3.51) образуют этот тип кода с основанием $n = 4$; сигналы a_3, a_4 и q_3 также образуют этот тип кода этого основания, а сигналы a_1, a_2, a_3 совместно с q_1, q_2 образуют код основания $n = 8$; сигналы a_3, a_4, a_5 совместно с q_3, q_4 также являются кодом этого основания и т.д.

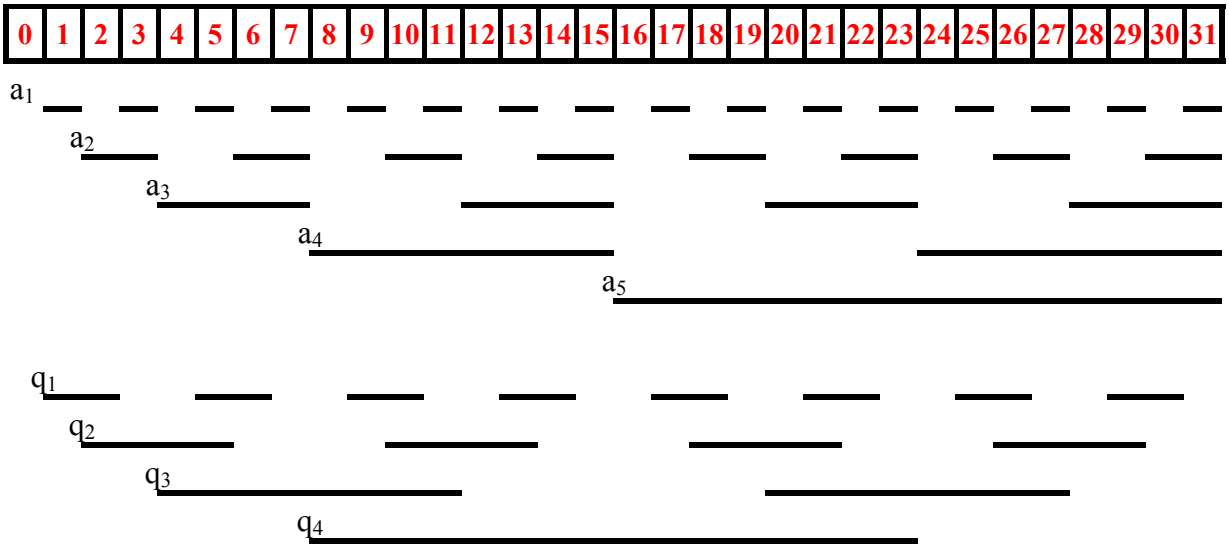


Рис. 3.51

При разбивке слова, например на триады сигналов $a_{j-1}q_{j-1}a_j$ (j= 2, ... , i), и безошибочности этой группы сигналов, что определяется зависимостью

$$\lambda(0) = (\underline{a_j}\ \underline{a_{j-1}} \vee a_j\ a_{j-1})\ \underline{q_{j-1}} \vee (a_j\ \underline{a_{j-1}} \vee \underline{a_j}\ a_{j-1})\ q_{j-1}\ ,$$

появляется возможность обнаружения и исправления ошибок не только одиночных, но и других комбинаций ошибок как в информационных, так и в контрольных разрядах, за исключением крайних информационных разрядов слова, для исправления которых необходимо выделять на концах слова групп сигналов большей разрядности, где имеется возможность исправления ошибок, рассмотренных выше.

Общая структура групп сигналов кода делителя-счетчика при таком способе исправления может быть представлена следующим образом:

	a_1	q_1	a_2	q_2	a_3	q_1	a_4	.	.	.	a_{i-2}	q_{i-2}	a_{i-1}	q_{i-1}	a_i
$\lambda_1(1)$	■	■	■	■	■										
$\lambda_1(0)$	■	■	■												
$\lambda_2(0)$			■	■	■										
$\lambda_3(0)$					■	■	■								
.							.								
.								.							
.									.						
$\lambda_{i-2}(0)$											■	■	■		
$\lambda_{i-1}(0)$													■	■	■
$\lambda_{i-1}(1)$											■	■	■	■	■

Тогда сигнал на исправление (инвертирование) j-го информационного разряда кода будет $\xi_j = \underline{\lambda}_{j-1}\,\underline{\lambda}_j$, а на исправление контрольного разряды кода – сигнал $\varepsilon_j = \lambda_{j-1}\,\underline{\lambda}_j\,\lambda_{j+1}$. Например, на необходимость инвертирования сигнала разряда a_2 будет указывать сигнал $\xi_j = \underline{\lambda}_1(0)\,\underline{\lambda}_2(0)$, на необходимость инвертирования сигнала q_2 – сигнал $\varepsilon_j = \lambda_1(0)\,\underline{\lambda}_2(0)\lambda_3(0)$ и т.д.

Исправление сигналов разрядов a_1, q_1, а также q_{i-1}, a_i осуществляется по анализу комбинаций сигналов большей разрядности $\lambda_1(1)$, $\lambda_{i-2}(1)$, как представлено выше.

Таким образом, нами здесь проведен анализ контролеспособности кода только реверсивного двоичного делителя-счетчика и не рассмотрены другие варианты аналогичных реверсивных делителей-счетчиков, где разряды выполнены в иных кодах.

Для примера на рис. 3.52 приведена структурная схема двух разрядов подобного реверсивного делителя-счетчика, где между разрядами многофазного кода произвольного основания $n = 2m$ установлены согласующие делители двухфазного кода (q_1, q_2), на выходных шинах которых формируются сигналы α, β, α', β', управляющие следующим разрядом многоразрядного делителя-счетчика.

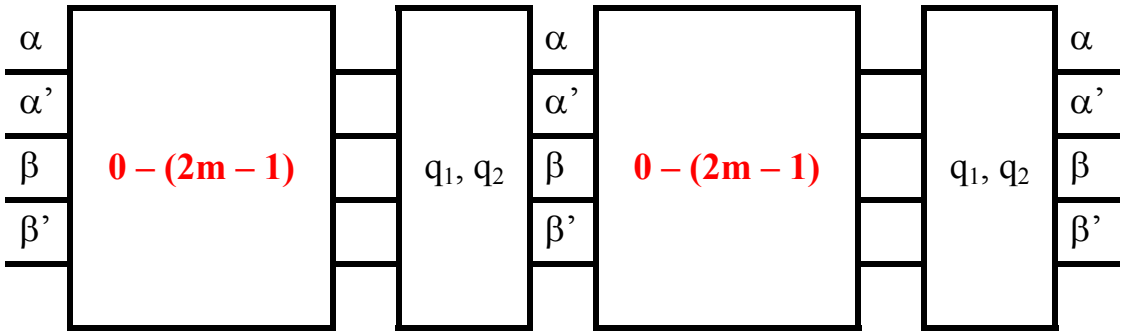


Рис. 3.52

Систематический анализ контролеспособности подобных делителей- счетчиков требует значительного объема. Поэтому настоящий раздел не может претендовать на полноту изложения этих вопросов, и в нем приведены только те результаты, которые представляют интерес и потребуются для дальнейшего использования теории многомерных цифровых множеств в приложениях к электроприводам и системам электропитания.

3.7. Начала геометрического синтеза контролеспособных кодов позиционных систем счисления

До настоящего времени мы в основном занимались только анализом контролеспособности известных кодов. Здесь поставим более сложную задачу – синтез кодов с заданной контролеспособностью, решение которой опирается на принятую концепцию обнаружения и исправления ошибок как процедуру поиска аварийного перехода чисел натурального ряда из отведенных им структурой кода ячеек многомерного цифрового пространства в нештатные ячейки этого пространства. Эта процедура, как показано выше, позволяет обнаружить все виды и комбинации ошибок, определить наиболее вероятную штатную ячейку пространства, из которой ошибочная кодовая комбинация сигналов информационных и контрольных была получена.

Структура кода и все его разряды (информационные и контрольные), составляющие все универсальное цифровое пространство, определяют штатное $\lambda(0)$ и нештатное $\underline{\lambda}(0)$ многомерные подмножества (фигуры) этого пространства, где в рабочей части пространства расположены ячейки подмножеств с одиночными, двойными и т.д. безальтернативными ошибками, т.е. нештатное подмножество представляет, в свою очередь, множества подмножеств безальтернативных одиночных $\lambda(1)$, двойных $\lambda(2)$ и т.д. ошибок ($\underline{\lambda}(0) \supset \lambda(1)$, $\underline{\lambda}(0) \supset \lambda(2)$, ...).

В нештатном подмножестве могут располагаться также ячейки с альтернативными ошибками, которые могут быть только обнаружены, но не исправлены. Это подмножество цифрового пространства является нерабочим, и естественно стремление свести его к нулю. Такие коды с нулевым нерабочим цифровым пространством будем называть полностью контролеспособными для определенного вида ошибок.

Контролеспособность кода, как это следует из предыдущего, зависит только от конфигурации штатной фигуры $\lambda(0)$ и ее соотношения со всем многомерным пространством.

В этом разделе в основном развивается эвристический подход к рассматриваемой проблеме, что связано со стремлением дать достаточно простые, универсальные и прозрачные методы синтеза, не исключая и более строгих подходов к решению поставленных задач. При этом ограничимся только двоичным представлением информационной части кода, рассмотрение которой дает в то же время полную ясность и для любого другого принципа кодирования.

Предрасположением к успешному решению задачи синтеза контролеспособных кодов геометрическим способом является геометрически прозрачное распределение любого типа ошибок кодовых комбинаций на цифровой прямой емкости 2^k. Эта прозрачность была продемонстрирована на примерах одиночных и двойных ошибок кодовых комбинаций (см. рис. 3.4а, 3.4б).

Обращает на себя внимание то, что при симметричном расположении штатных ячеек относительно центра цифровой прямой совместного двоичного пред-

ставления всех информационных и контрольных кодовых комбинаций, также соблюдается строгая симметрия расположения их ошибок. Из этого следует правило распределения штатных ячеек для цифр натурального ряда на цифровой прямой, исключающее заполнение остальных ячеек пространства несколькими ошибками одинаковой кратности. Это правило свидетельствует не только о необходимости сохранения определенного кодового расстояния между штатными ячейками на цифровой прямой, но и об их обязательном симметричном расположении относительно центра цифровой прямой.

Например, если первая штатная ячейка располагается на позиции с номером 1, то симметричная ей ячейка должна быть расположена на позиции с номером 2^k, что для нашего примера – 32. Для исправления, например, одиночных ошибок необходимо сохранить определенное кодовое расстояние между штатными ячейками, и поэтому следующая штатная ячейка должна быть в соответствии с рис. 3.4а расположена на позиции с номером 8, а симметричная ей ячейка – на позиции номера 25 и т.д.

3.7.1. Коды с обнаружением одиночных ошибок

В разд. 3.1 мы рассмотрели принципы синтеза контролеспособного кода основания n= 2. Сейчас поставим задачу распространить этот подход на системы счисления большего основания, предполагая, что построение фигур $\lambda(0)$ больших оснований систем счисления должно производиться на основе сочетания аналогичных фигур именно основания n = 2.

На рис. 3.53 показано построение таких фигур с обнаружением одиночных ошибок соответственно для оснований n = 2, 4, 8, 16 и 32.

Каждая из фигур $\lambda_j(0)$ основания $n = 2^i (j=i+1)$ строится из аналогичных фигур $\lambda_{j-1}(0)$, $\underline{\lambda}_{j-1}(0)$ меньшего на две единицы основания по следующим логическим выражениям:

$$\lambda_j(0) = \left| \underline{x}_j \, x_j \right| \begin{vmatrix} \lambda_{j-1}(0) \\ \\ \underline{\lambda}_{j-1}(0) \end{vmatrix}, \qquad \underline{\lambda}_j(0) = \left| \underline{x}_j \, x_j \right| \begin{vmatrix} \underline{\lambda}_{j-1}(0) \\ \\ \lambda_{j-1}(0) \end{vmatrix}. \qquad (3.7.1.1)$$

Очевидно, что в данном случае для любого n требуется только один контрольный разряд, в качестве которого может быть принят любой из аргументов x_i (i= 1, ... , j). Тогда остальные аргументы, взятые в последовательности двоичного принципа кодирования либо иного принципа, определяют конкретное распределение цифр **0 – (n –1)** в ячейках цифрового пространства, отмеченных соответствующей заливкой.

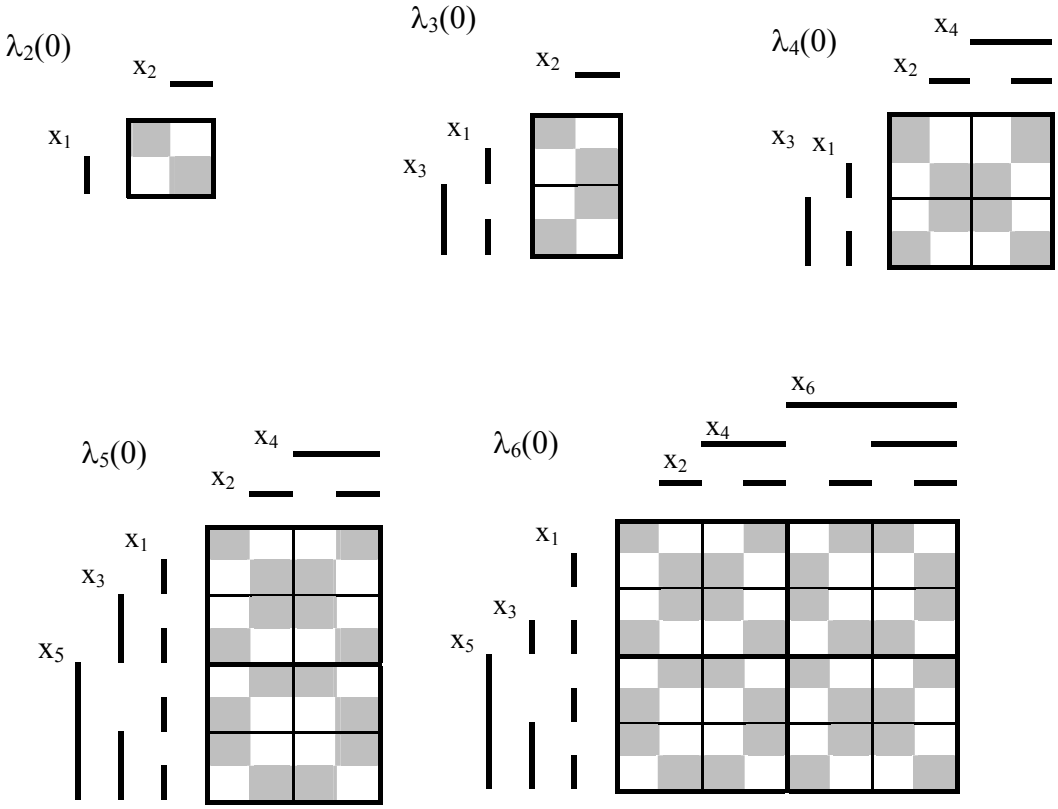


Рис. 3.53

Несмотря на тривиальность полученного решения, которое заключается во введении в код разряда проверки на четность (нечетность), эти фигуры обладают свойством симметрии, когда любая перестановка сигналов разрядов кода не меняет фигуру $\lambda_j(0)$**,** а логическая функция, связывающая между собой сигналы $\lambda_j(0)$ и x_j, при выборе в качестве функции любого аргумента этой зависимости остается постоянной, где новая функция и аргумент поменяются местами.

Например, для основания n = 4 можно записать:

$$\lambda_3(0) = \lambda_2(0)\underline{x}_3 \vee \underline{\lambda}_2(0)x_3 = x_1\, x_2\, \underline{x}_3 \vee \underline{x}_1\, \underline{x}_2\, \underline{x}_3 \vee x_1\, \underline{x}_2\, x_3 \vee \underline{x}_1\, x_2\, x_3\,;$$

$$\underline{\lambda}_3(0) = \underline{\lambda}_2(0)\underline{x}_3 \vee \lambda_2(0)x_3 = x_1\, \underline{x}_2\, \underline{x}_3 \vee \underline{x}_1\, x_2\, \underline{x}_3 \vee x_1\, x_2\, x_3 \vee \underline{x}_1\, \underline{x}_2\, x_3\,;$$

$$x_1 = \lambda_3(0)x_2\, \underline{x}_3 \vee \underline{\lambda}_3(0)\underline{x}_2\, \underline{x}_3 \vee \lambda_3(0)\underline{x}_2\, x_3 \vee \underline{\lambda}_3(0)x_2\, x_3\,;$$

$$\underline{x}_1 = \lambda_3(0)\underline{x}_2\, \underline{x}_3 \vee \underline{\lambda}_3(0)x_2\, \underline{x}_3 \vee \lambda_3(0)x_2\, x_3 \vee \underline{\lambda}_3(0)\underline{x}_2\, x_3.$$

Такие логические функции будем называть обратимыми. При переводе из прямого кода в обратный всех аргументов этой функции она остается неизменной при их четном числе, а при нечетном числе аргументов эта операция приводит к инвертированию функции, в чем можно убедиться, проводя соответствующие преобразования над фигурами рис. 3.53.

3.7.2. Коды с исправлением одиночных ошибок

Синтез кодов больших оснований систем счисления с обнаружением и исправлением одиночных ошибок можно, очевидно, производить на основании комбинации фигур, например основания n = 2 трехмерного цифрового пространства, определяющих исправление одиночных ошибок этого основания, с последующим размещением их в ячейках других пространств, содержащих в качестве элементарных эти ячейки трехмерного пространства. Причем заполняемые элементарные ячейки этих пространств должны образовывать фигуры цифровых множеств, характеризующие обнаружение одиночных ошибок.

На рис. 3.54 приведены эти элементарные ячейки трехмерного цифрового пространства, которые совместно с размещенными в них фигурами обозначены соответственно $\mu_1 - \mu_4$. Здесь же представлены цифровые пространства большей мерности, которые с размещенными в них фигурами обозначены λ_2, λ_3, λ_4 , где светлой заливкой отмечены элементарные ячейки для помещения фигур $\mu_1 - \mu_4$.

Фигуры $\mu_1 - \mu_4$ охватывают все возможные варианты размещения цифр **0, 1** основания n = 2 в трехмерном цифровом пространстве, где исправляются одиночные ошибки. Построение этих фигур определяется последовательным размещением этих цифр на цифровой прямой емкостью 2^k с сохранением симметрии размещения относительно центра этой прямой и неизменностью кодового расстояния между ними, обеспечивающего возможность исправления одиночных ошибок.

Для основания n = 4 необходимо в соответствующие ячейки пространства λ_2 размещать фигуры цифровых множеств $\mu_1 - \mu_4$, где $a_i = a_1$.

Причем для обеспечения равенства нулю информационных и контрольных сигналов синтезируемого кода для эквивалентной информационной цифры **0** будем всегда при любых основаниях систем счисления в начале координат размещать фигуру μ_1.

Оставшаяся при этом незаполненная ячейка пространства λ_2 может в принципе включать в себя любую из фигур $\mu_1 - \mu_4$. Рассмотрим все варианты размещения, которые показаны соответственно на рис. 3.55 – 3.58.

На этих рисунках в ячейках пространства λ_2 в соответствии с двоичным принципом кодирования информационной части кода выделены штатные информационные цифры **0 – 3** этого основания и приведены их одиночные безальтернативные ошибки. Здесь также на основании представленного размещения штатных цифр приведено одномерное графическое соответствие информационным сигналам a_1, a_2 их эквивалентных цифр, а также контрольных сигналов x_1, x_2, x_3.

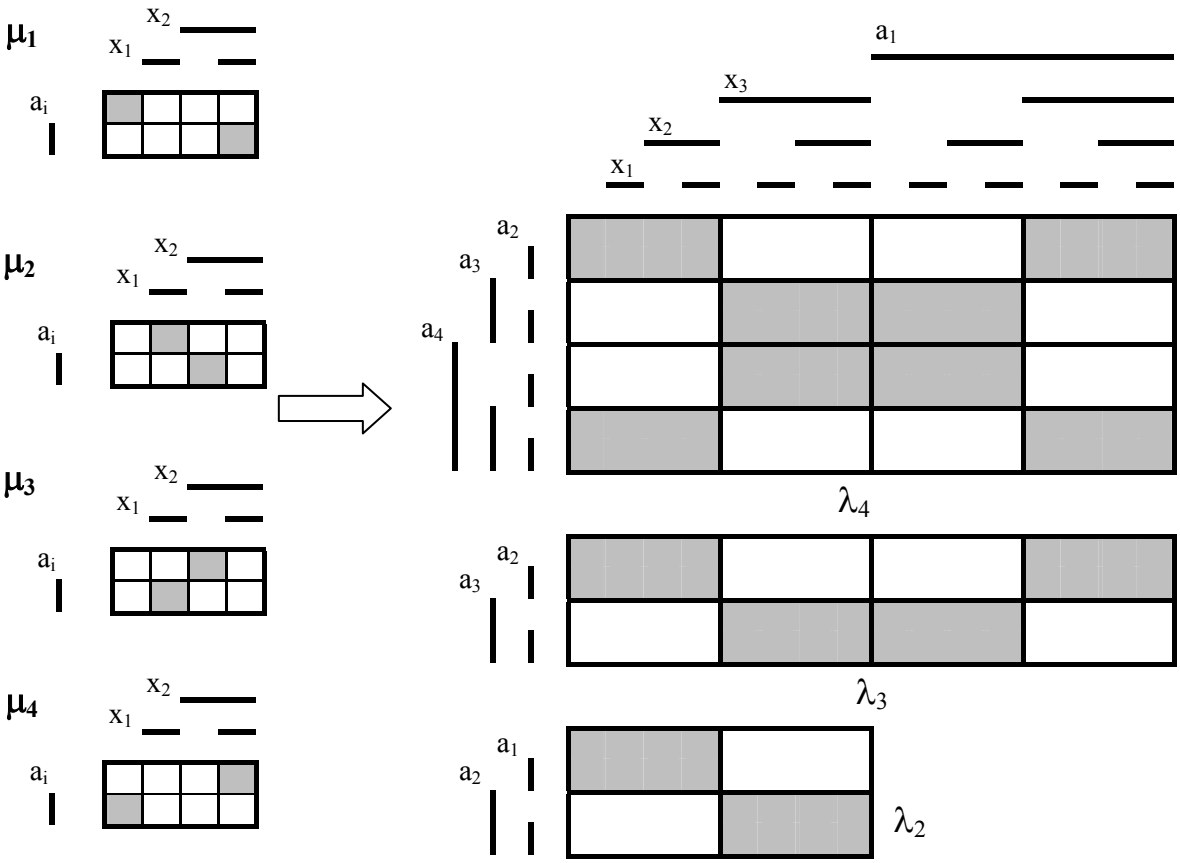


Рис. 3.54

Эти соотношения позволяют разместить в ячейках многомерного пространства информационных сигналов кода, которые сохраняют стандартную нумерацию его ячеек от **0** до **3**, эквивалентные цифры 0 – 7 контрольных разрядов синтезированного кода. Эти эквивалентные контрольные цифры также соответствуют их двоичному принципу кодирования сигналами x_1, x_2, x_3.

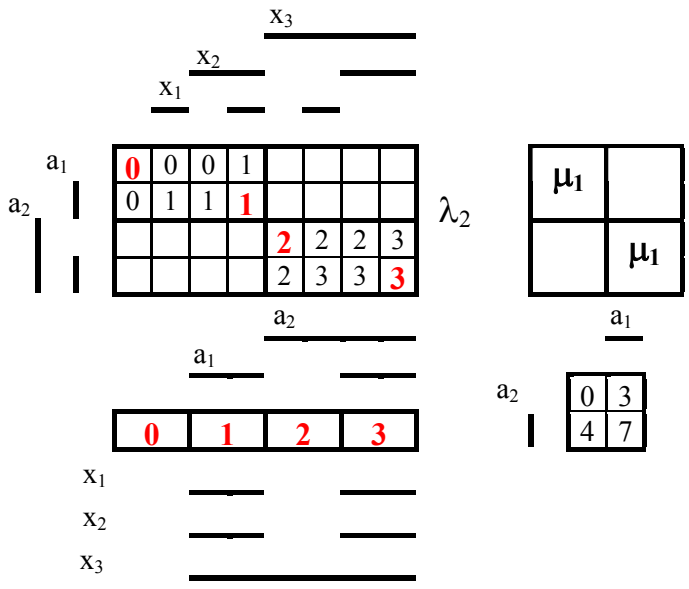


Рис. 3.55

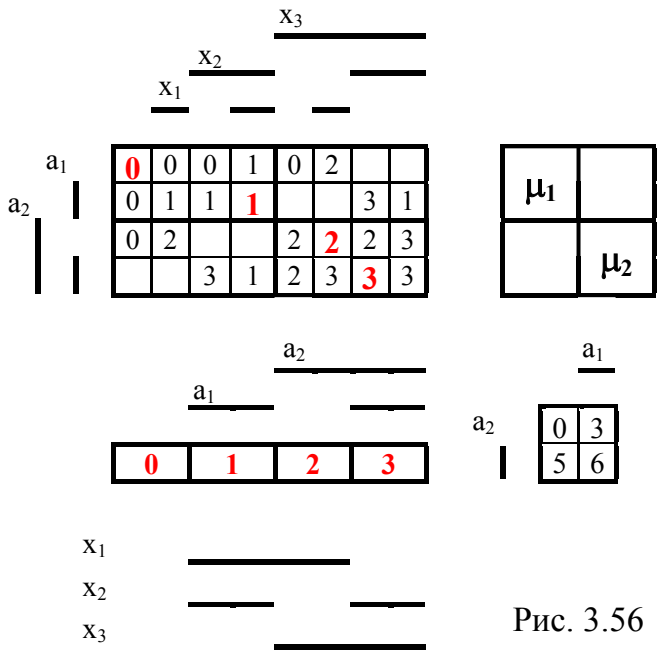


Рис. 3.56

Из этих графических соотношений непосредственно следует определение нерабочей области многомерного цифрового пространства синтезируемого кода для этих вариантов размещения:

$$\underline{\lambda}(\mu_1/\mu_4) = x_1\underline{x}_2\underline{x}_3a_2 \vee \underline{x}_1x_2\underline{x}_3a_2 \vee x_1\underline{x}_2x_3\underline{a}_2 \vee \underline{x}_1x_2x_3\underline{a}_2\,;$$

$$\underline{\lambda}(\mu_1/\mu_1) = a_2\underline{x}_3 \vee \underline{a}_2x_3\,;$$

$$\underline{\lambda}(\mu_1/\mu_2) = x_2x_3\underline{a}_1\underline{a}_2 \vee \underline{x}_2x_3a_1\underline{a}_2 \vee x_2\underline{x}_3\underline{a}_1a_2 \vee \underline{x}_2\underline{x}_3a_1a_2\,;$$

$$\underline{\lambda}(\mu_1/\mu_3) = x_1x_3\underline{a}_1\underline{a}_2 \vee \underline{x}_1x_3a_1\underline{a}_2 \vee x_1\underline{x}_3\underline{a}_1a_2 \vee \underline{x}_1\underline{x}_3a_1a_2\,. \qquad (3.7.2.1)$$

Из 3.7.2.1 следует, что определение нерабочей области цифрового пространства первого варианта размещения наиболее просто, но использование многомерного пространства здесь составляет только 50%. Остальные варианты используют более рационально ячейки многомерного пространства (75%), но в отличие от полного совпадения в первом варианте сигналов контрольных и информационных разрядов здесь только один контрольный разряд совпадает с информационным ($x_3 = a_2$).

Очевидно, что при большем совпадении контрольных и информационных сигналов кода выполнение каких-либо арифметических или логических операций в таком синтезированном коде упрощается. Однако это не означает, что данный код лучше других по обеспечению контролеспособности в конкретной арифметической или логической операции, и для ответа на этот вопрос необходимо провести отдельные исследования.

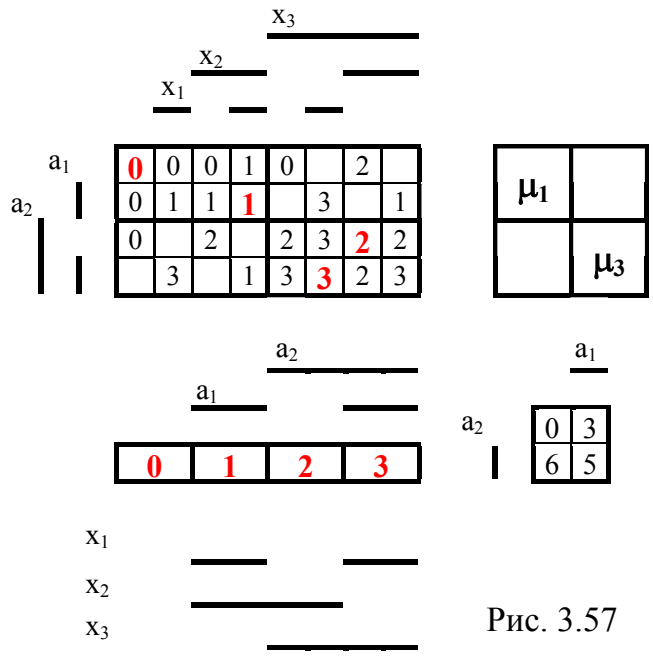


Рис. 3.57

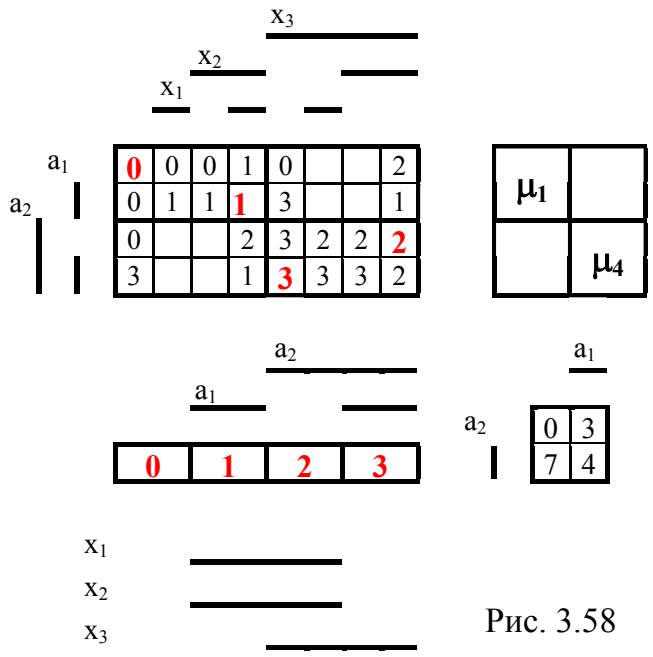


Рис. 3.58

Из симметрии многомерного цифрового пространства очевидно, что число эквивалентных синтезированных контролеспособных кодов, при выбранном принципе кодирования его информационной части, определяется только мерностью контрольной части кода. Ограничиваясь при этом только такими типами кодов, число кодов одного класса будет определяться количеством перестановок контрольных разрядов. Из этого следует, что второй и третий вариант размещения (рис. 3.56 и 3.57) образуют два эквивалентных кода.

Обратимся к синтезу кода основания n = 8, для чего в соответствующих рис. 3.54 ячейках пространства λ_3 разместим фигуры $\mu_1 - \mu_4$, где $a_i = a_2$.

Этот вариант синтезированного кода, в полной аналогии с рассмотренным выше для основания n = 4, представлен на рис. 3.59.

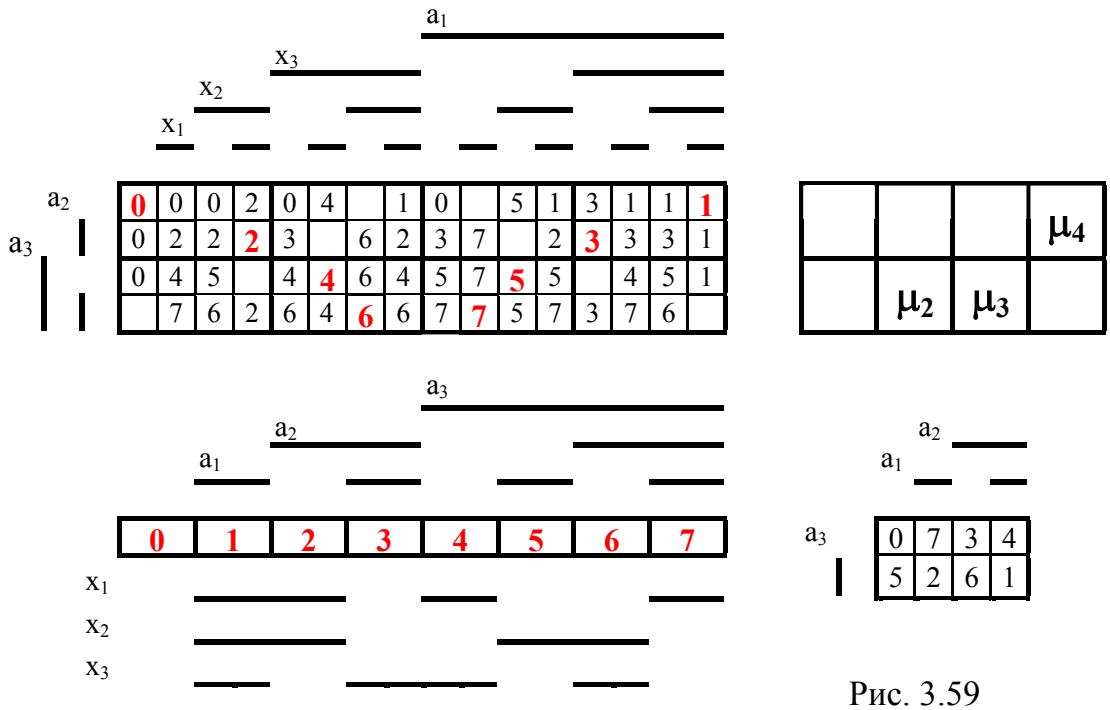


Рис. 3.59

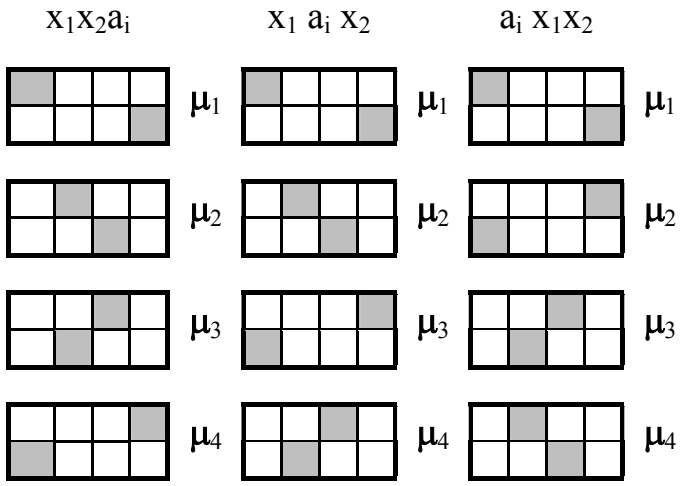


Рис. 3.60

Он является представителем класса синтезированного контролеспособного кода, где остальные получаются перестановкой сигналов контрольных разрядов.

Таким образом, в каждом классе будет содержаться шесть кодов, которые связаны между собой следующей перестановкой эквивалентных цифр контрольных разрядов:

$$
\begin{aligned}
x_1\ x_2\ x_3 &\rightarrow 0\ 1\ 2\ 3\ 4\ 5\ 6\ 7\ ;\\
x_1\ x_3\ x_2 &\rightarrow 0\ 1\ 4\ 5\ 2\ 3\ 6\ 7\ ;\\
x_2\ x_1\ x_3 &\rightarrow 0\ 2\ 1\ 3\ 4\ 6\ 5\ 7\ ;\\
x_2\ x_3\ x_1 &\rightarrow 0\ 2\ 4\ 6\ 1\ 3\ 5\ 7\ ;\\
x_3\ x_2\ x_1 &\rightarrow 0\ 4\ 2\ 6\ 1\ 5\ 3\ 7\ ;\\
x_3\ x_1\ x_2 &\rightarrow 0\ 4\ 1\ 5\ 2\ 6\ 3\ 7\ .
\end{aligned}
\qquad (3.7.2.2)
$$

Очевидно, что остальные представители классов синтезированного кода могут быть определены из рассмотрения перестановок сигналов $x_1\ x_2\ a_i$, где следует взять только перестановки, отличающиеся расположением сигнала a_i. Таким образом, для исправления одиночных ошибок может быть выделено три класса контролеспособных кодов, которые характеризуются различным размещением фигур $\mu_1 - \mu_4$ в соответствующих ячейках пространства. Эти подстановки должны выполняться по рис. 3.60.

Тогда типопредставители второго и третьего класса синтезированных кодов могут быть показаны соответствующим образом на рис. 3.61 и 3.62.

Связь между контрольными и информационными сигналами для трех классов этих кодов на основании рис. 3.59, 3.61 и 3.62 определяется соответственно следующими логическими зависимостями:

$$x_1 = \underline{a}_1\underline{a}_2a_3 \vee a_1\underline{a}_2\underline{a}_3 \vee \underline{a}_1a_2\underline{a}_3 \vee a_1a_2a_3\ ,\ x_2 = \underline{a}_1a_2 \vee a_1\underline{a}_2\ ,\ x_3 = \underline{a}_1a_3 \vee a_1\underline{a}_3; \qquad (3.7.2.3)$$

$$x_1 = \underline{a}_2a_3 \vee a_2\underline{a}_3\ ,\ x_2 = \underline{a}_1a_2 \vee a_1\underline{a}_2\ ,\ x_3 = \underline{a}_1a_3 \vee a_1\underline{a}_3; \qquad (3.7.2.4)$$

$$x_1 = \underline{a}_1\underline{a}_2a_3 \vee a_1\underline{a}_2\underline{a}_3 \vee \underline{a}_1a_2\underline{a}_3 \vee a_1a_2a_3\ ,\ x_2 = \underline{a}_2a_3 \vee a_2\underline{a}_3\ ,\ x_3 = \underline{a}_1a_3 \vee a_1\underline{a}_3. \qquad (3.7.2.5)$$

Все приведенные здесь коды основания n =8 используют 87,5% многомерного цифрового пространства.

Теперь перейдем к синтезу кода основания n =16 . Для этого необходимо в соответствующих восьми ячейках пространства λ_4 разместить четыре фигуры $\mu_1 - \mu_4$. Выполненный выше синтез кода меньшего основания, и закон симметрии расположения штатных цифр на цифровой прямой позволяет выполнить эти размещения сразу. Эти варианты размещения, определяющие три класса кодов, в полной аналогии с рассмотренными выше синтезированными кодами представлены соответственно на рис. 3.63, 3.64, 3.65.

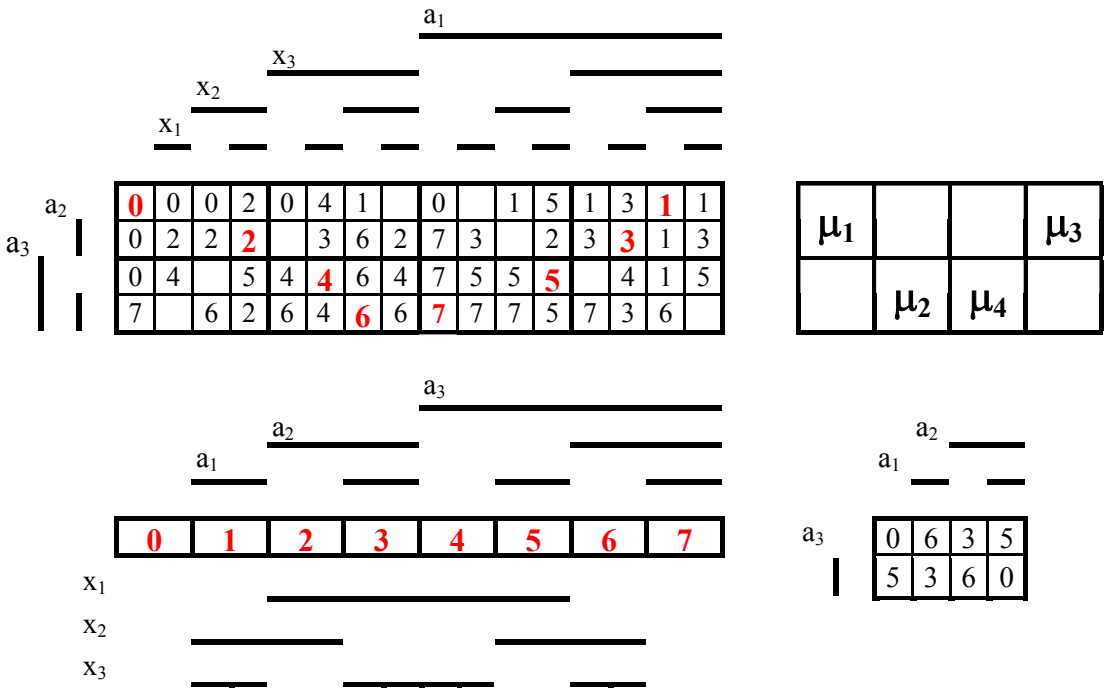


Рис. 3.61

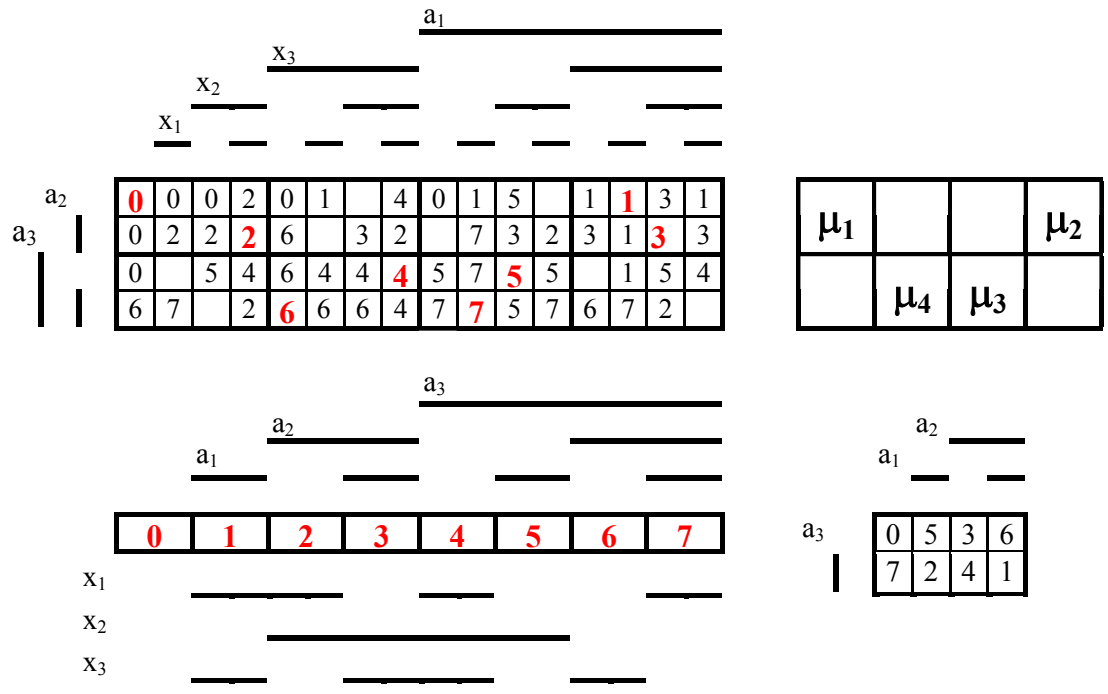
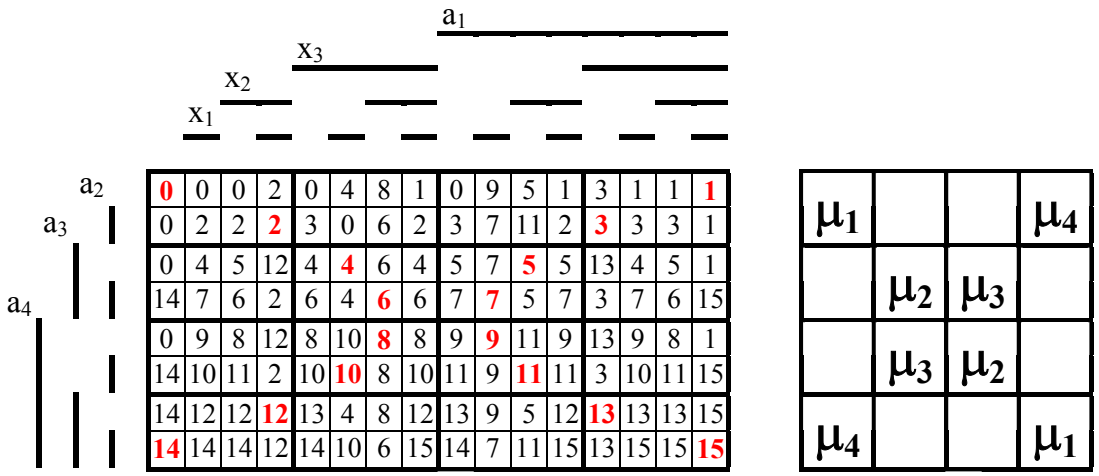


Рис. 3.62

Приведенные здесь синтезированные коды основания n = 16 используют на 100% все многомерное цифровое пространство относительно одиночных ошибок.

Связь между контрольным разрядом и определенной группой информационных сигналов разрядов для всех кодов всех классов одна и та же. Эта связь полностью определяется логическим выражением (3.7.1.1) для $\underline{\lambda}_3(0)$.

Все восемнадцать синтезированных кодов основания n = 16, представленные распределением цифр контрольных разрядов в многомерном пространстве информационной части кода, приведены на рис. 3.66.



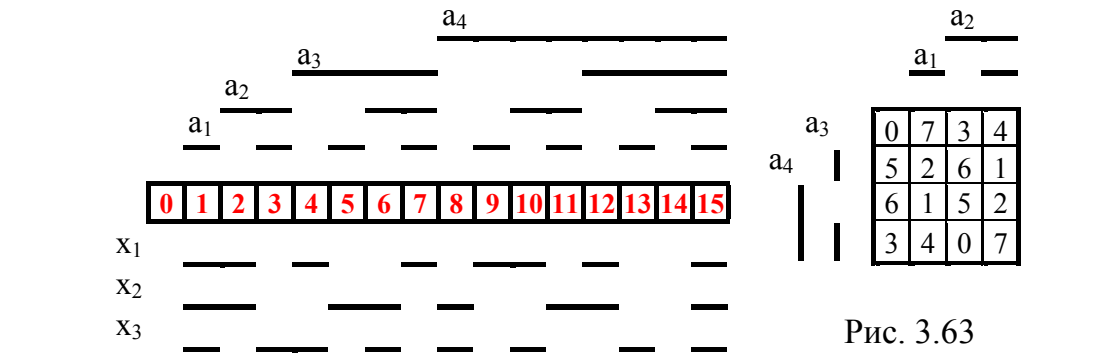
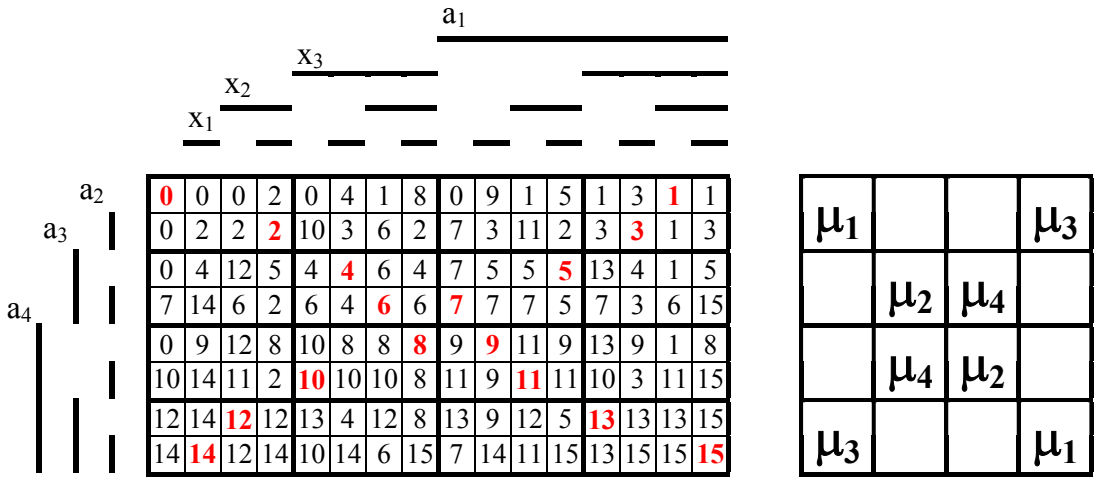


Рис. 3.63



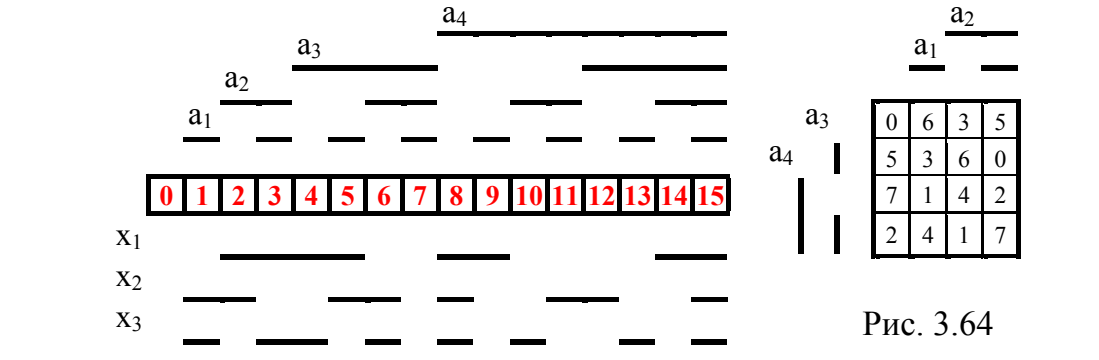


Рис. 3.64

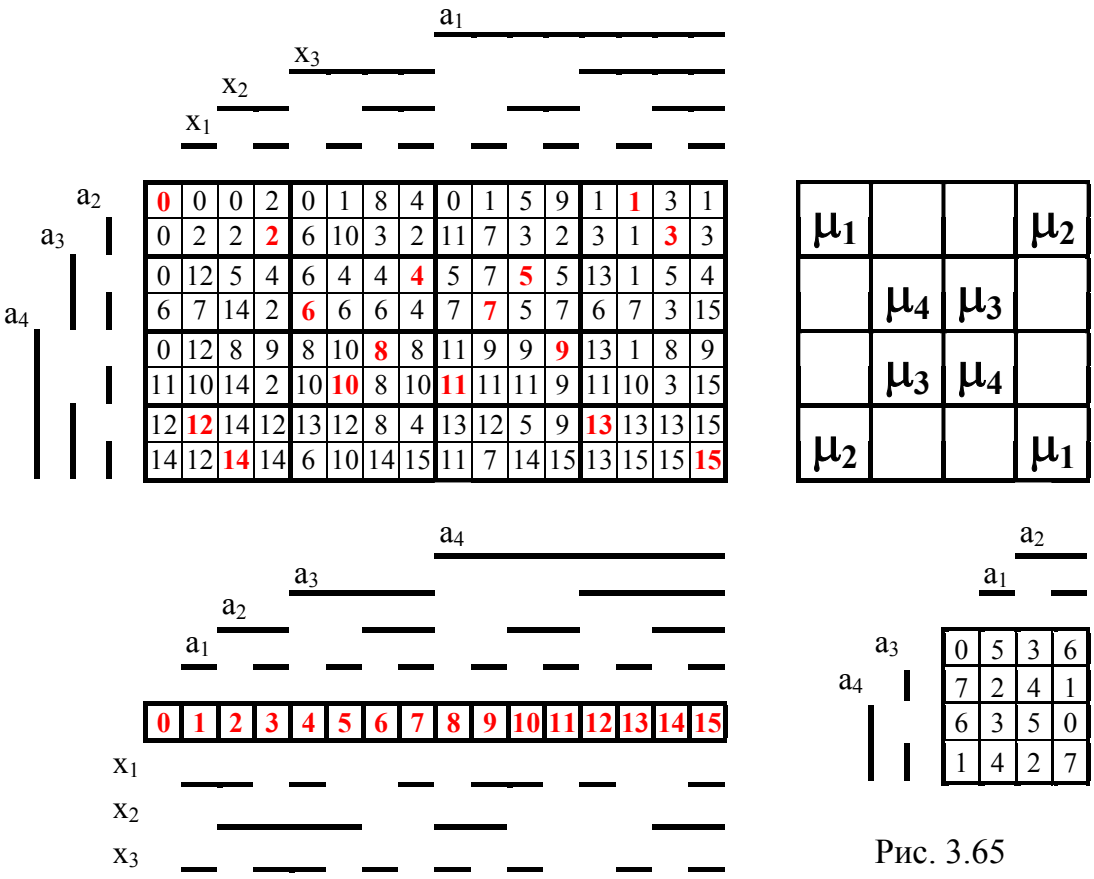


Рис. 3.65

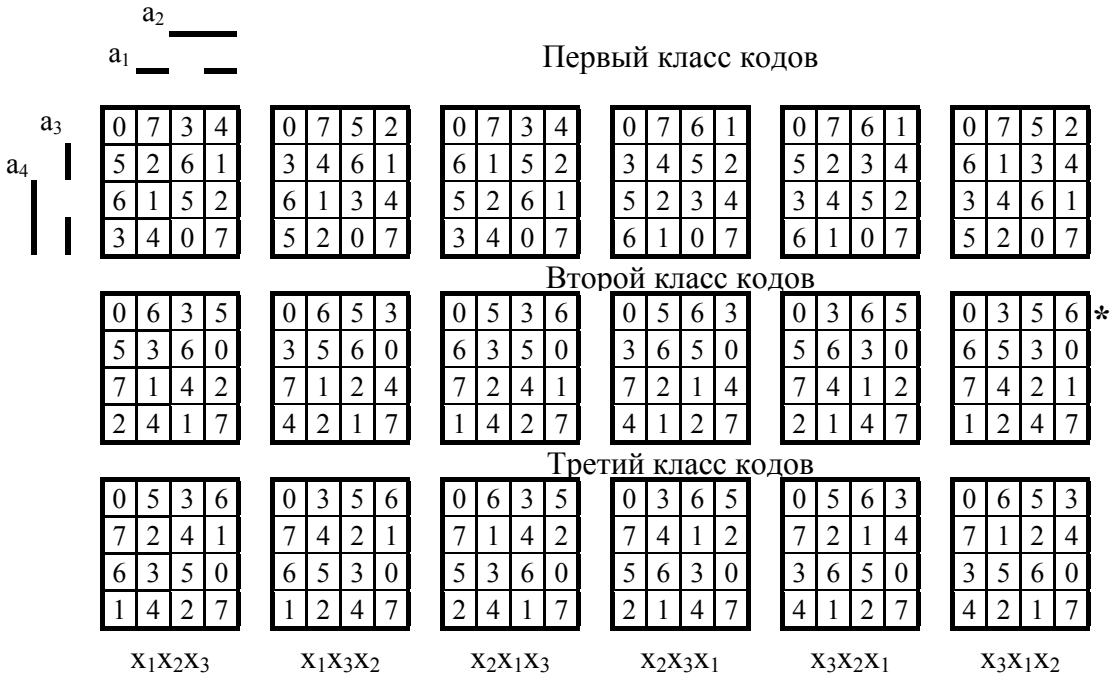


Рис. 3.66

Сравнение распределения цифр 0 – 7 контрольных разрядов в многомерном цифровом пространстве информационной части кода с аналогичным распределением кодов оснований n = 4, 8 показывает, что полностью контролеспособный код основания n = 16 определяет все соотношения между информационной и контрольной частями в кодах меньших оснований. Поэтому в дальнейшем будем рассматривать только такие основания систем счисления, которые позволяют синтезировать полностью контролеспособные коды.

3.7.3. Коды больших оснований систем счисления с исправлением одиночных ошибок

Синтез кодов больших оснований систем счисления можно выполнить, опираясь на представленную выше систему счисления основания n = 16. При этом процедура операции синтеза будет так же, как рассмотренная выше, заключаться в размещении в многомерном цифровом пространстве информационных и одного контрольного разряда фигур основания n = 16 семимерного цифрового пространства (рис. 3.53), где реализовано исправление одиночных ошибок.

Для сокращения графического материала ограничим свое рассмотрение только представлением синтеза кода одного класса.

На рис. 3.67 приведены эти восемь ячеек семимерного пространства, которые вместе с размещенными в них фигурами обозначены $\sigma_1 - \sigma_8$. Эти фигуры охватывают все варианты размещения цифр **0 – 15** основания n = 16 в семимерном (k = 3, i = 4) цифровом пространстве, где исправляются все одиночные ошибки. Построение этих фигур, выполненное аналогично основанию n = 2, определяется последовательным размещением этих цифр на цифровой прямой емкостью 2^7 с сохранением симметрии размещения относительно центра этой прямой и неизменности кодового расстояния между ними, обеспечивающим исправление одиночных ошибок.

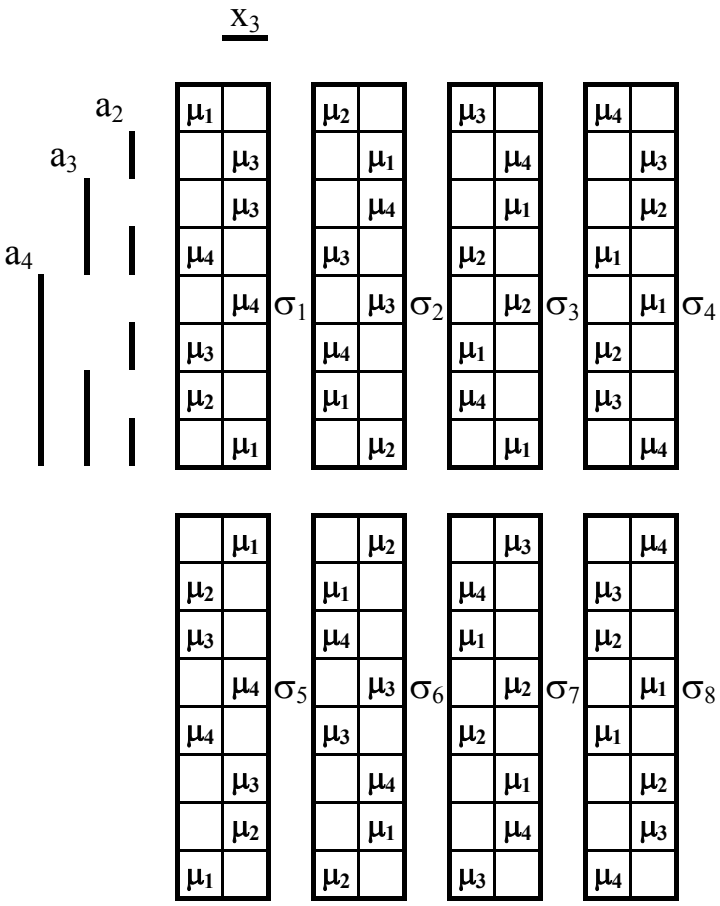


Рис.3.67

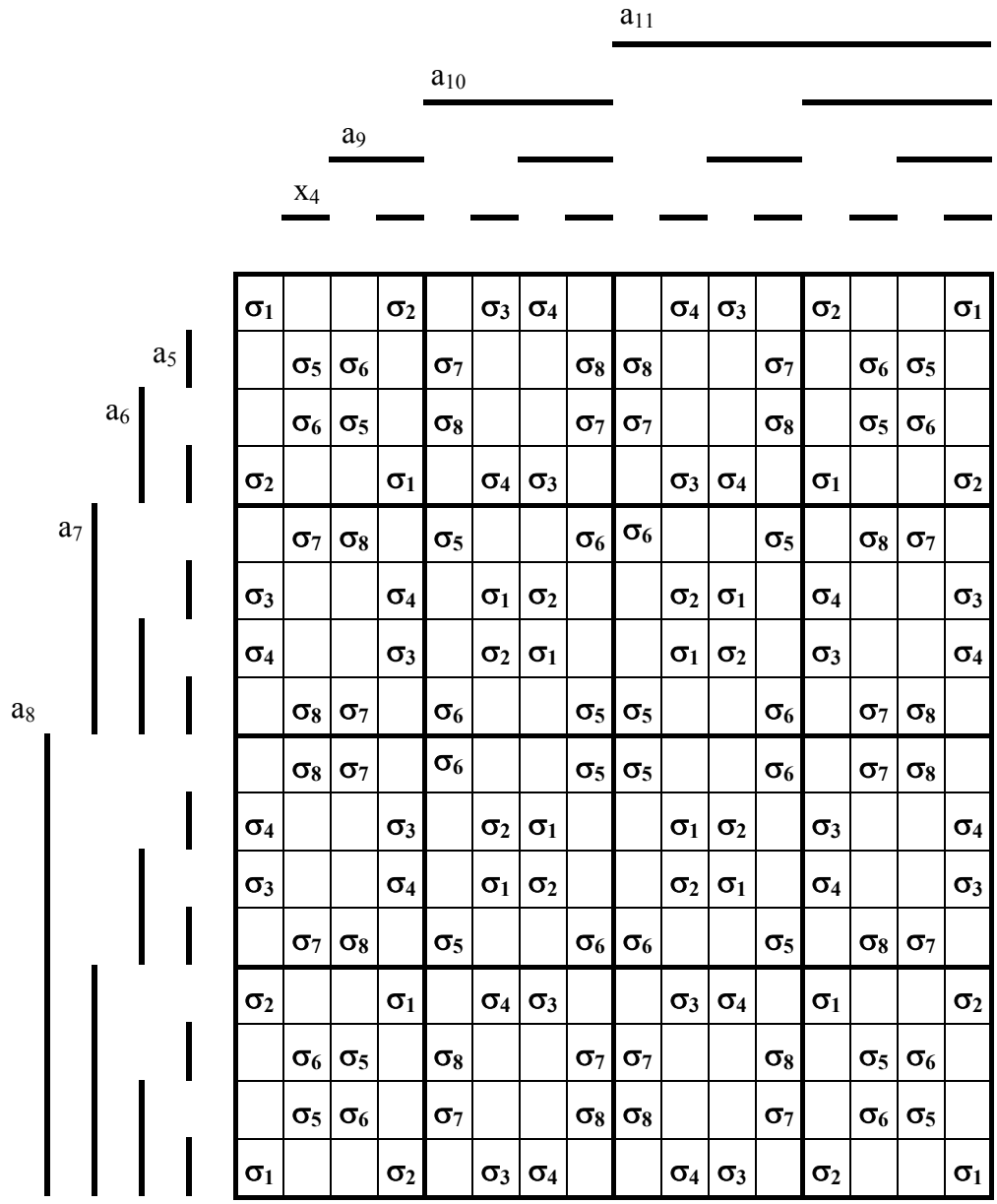


Рис. 3.68

Опустив достаточно прозрачные из изложенного выше операции подстановки фигур $\boldsymbol{\sigma_1} - \boldsymbol{\sigma_8}$ в ячейки пространства большей мерности (рис. 3.53), на рис. 3.68 приведен один из многочисленных вариантов такого размещения в пространстве $\lambda_8(0)$, что определяет полностью контролеспособный код для основания $n = 2^{11}$. В соответствии с этой процедурой не представит какого-либо труда разместить в ячейках многомерного цифрового пространства информационной части кода эквивалентные контрольным сигналам разрядов $\mathbf{x}_1 - \mathbf{x}_4$ цифры 0 – 15.

Для компактного графического представления результата синтеза на рис. 3.69,*а* показаны большие ячейки информационного пространства, которые обозначены соответственно $\mathbf{s}_1 - \mathbf{s}_4$ и $\boldsymbol{s}_1 - \boldsymbol{s}_4$, а на рис. 3.69, *б* приведена ячейка $\mathbf{s}_1$ с заполненными элементарными ячейками информационного пространства эквивалентными цифрами контрольной части синтезированного кода.

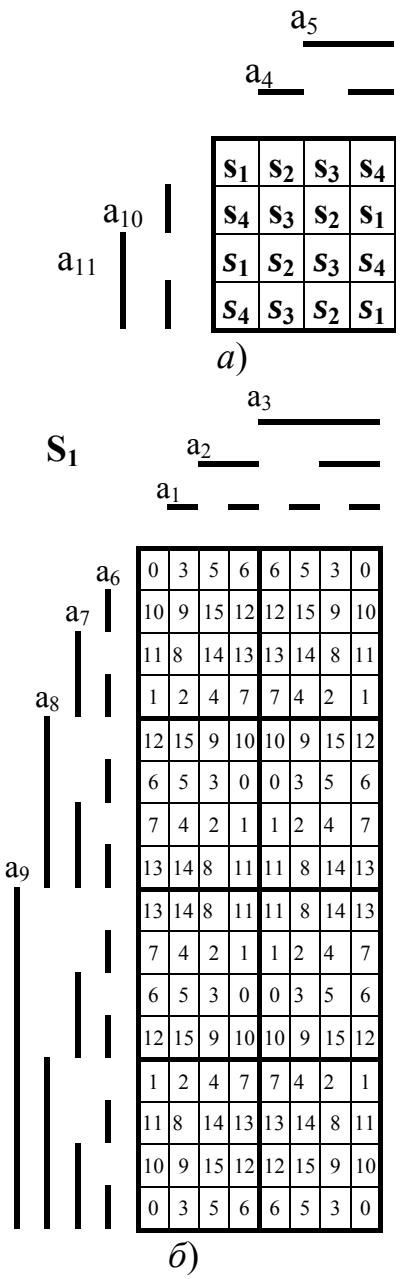


Рис. 3.69

Заполнение остальных больших ячеек информационного цифрового пространства, которые имеют такие же координаты, как $\mathbf{s_1}$, подчиняется следующим взаимным перестановкам эквивалентных цифр контрольной части кода:

$$\begin{vmatrix} \mathbf{s_1} \Leftrightarrow \mathbf{s_2} \\ \mathbf{s_3} \Leftrightarrow \mathbf{s_4} \end{vmatrix} \equiv \begin{matrix} 0 & 1 & 2 & 3 & 8 & 9 & 10 & 11 \\ 7 & 6 & 5 & 4 & 15 & 14 & 13 & 12 \end{matrix}$$

$$\begin{vmatrix} \mathbf{s_1} \Leftrightarrow \mathbf{s_4} \\ \mathbf{s_2} \Leftrightarrow \mathbf{s_3} \end{vmatrix} \equiv \begin{matrix} 0 & 1 & 2 & 3 & 4 & 5 & 6 & 7 \\ 14 & 15 & 12 & 13 & 10 & 11 & 8 & 9 \end{matrix}$$

$$\begin{vmatrix} \mathbf{s_1} \Leftrightarrow \mathbf{s_1} \\ \mathbf{s_2} \Leftrightarrow \mathbf{s_2} \\ \mathbf{s_3} \Leftrightarrow \mathbf{s_3} \\ \mathbf{s_4} \Leftrightarrow \mathbf{s_4} \end{vmatrix} \equiv \begin{matrix} 0 & 1 & 2 & 3 & 4 & 5 & 6 & 7 \\ 15 & 14 & 13 & 12 & 11 & 10 & 9 & 8 \end{matrix}.$$

На основании зависимостей рис. 3.69, выполняя несложные преобразования, аналогичные тем, которые выполнялись выше, можно получить графические образы логических функций, связывающие между собой контрольные и информационные сигналы разрядов.

На рис. 3.70 приведена такая зависимость между сигналом контрольного разряда x_1 и информационными разрядами $x_1 = \mathbf{F}(a_1, a_2, a_4, a_5, a_7, a_9, a_{11})$, которая полностью определяется выражением $\underline{\lambda}_7(0)$.

Аналогичные зависимости представляются для сигналов других контрольных разрядов, которые отличаются только иными группами сигналов информационных разрядов, а именно:

$$x_2 = \mathbf{F}(a_1, a_3, a_4, a_6, a_7, a_{10}, a_{11});$$

$$x_3 = \mathbf{F}(a_2, a_3, a_4, a_8, a_9, a_{10}, a_{11});$$

$$x_4 = \mathbf{F}(a_5, a_6, a_7, a_8, a_9, a_{10}, a_{11}).$$

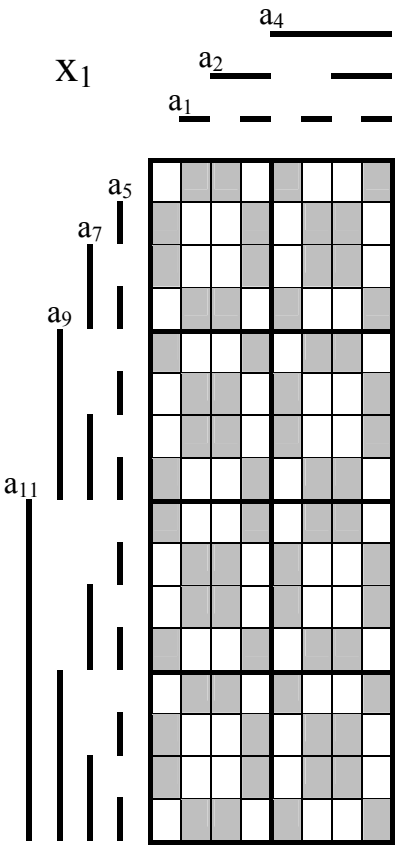


Рис. 3.70

В представленных нами примерах синтеза полностью контролеспособных кодов относительно одиночных ошибок, тем более охватывающих все их классы, должны содержаться все коды, синтезированные каким-либо иным способом. Например, замечательная процедура синтеза контролеспособных кодов Хемминга для исправления одиночных ошибок представлена на рис. 3.66 во втором классе и отмечена звездочкой, а только что синтезированный код основания $n = 2^{11}$ также является кодом Хемминга.

Связь между контрольными k и информационными i сигналами разрядов полностью контролеспособных кодов определяется зависимостью $i=[2^k – (k+1)]$, что для оснований $n =2^4$, 2^{11}, 2^{26}, ... позволяет исправлять все одиночные ошибки.

Отмеченное здесь не означает, что для этих оснований и любых других нет возможности обнаруживания и исправления большего количества комбинаций ошибок, чем рассмотрено выше. Увеличение числа контрольных разрядов сверх представленного приведет к тому, что при геометрическом способе синтеза кодов необходимо будет в ячейках пространства рис. 3.53 размещать, например, фигуры основания n= 2, позволяющие исправлять одиночные, двойные и т.д. ошибки, частично рассмотренные в разд. 3.1. Однако это рассмотрение также выходит за рамки настоящей работы.

3.7.4. Быстродействующие схемы исправления ошибок контролеспособных кодов

При выполнении арифметических и логических операций с контролеспособными кодами возникает не только задача построения конкретных устройств, работающих с этими кодами, но также необходимость исправления ошибок, которые могли появиться при выполнении этих операций, для чего и были использованы эти коды.

Широко известная процедура поиска и исправления ошибок, например, кодов Хемминга, которая заключается в обнаружении ошибок контрольных разрядов, а затем по их кодовым комбинациям определении номера информационного либо контрольного разряда, где вероятней всего произошла

ошибка, и в ее дальнейшем исправлении, не отличается высоким быстродействием.

Это ограничивает область использования контролеспособных кодов Хемминга в быстродействующих устройствах машинной арифметики и системах управления электроприводами. Кроме того, в неполностью контролеспособных кодах Хемминга, где имеется нерабочая область цифрового пространства, процедура Хемминга не только не исправляет возможные ошибки, но и сама может приводить к аварийным ситуациям, поскольку не блокирует работу устройства при попадании в эту нерабочую область пространства.

Здесь рассматривается другая более быстродействующая процедура исправления и обнаружения ошибок любых контролеспособных кодов, которая заключается в построении в многомерном цифровом (i+k) пространстве геометрических образов сигналов этих кодов, на основе которых могут быть построены по описанным выше правилам логические блоки исправления ошибок этих сигналов различного быстродействия, вплоть до предельного.

На примере кода Хемминга для основания n = 16 представим эту процедуру синтеза схем исправления ошибок.

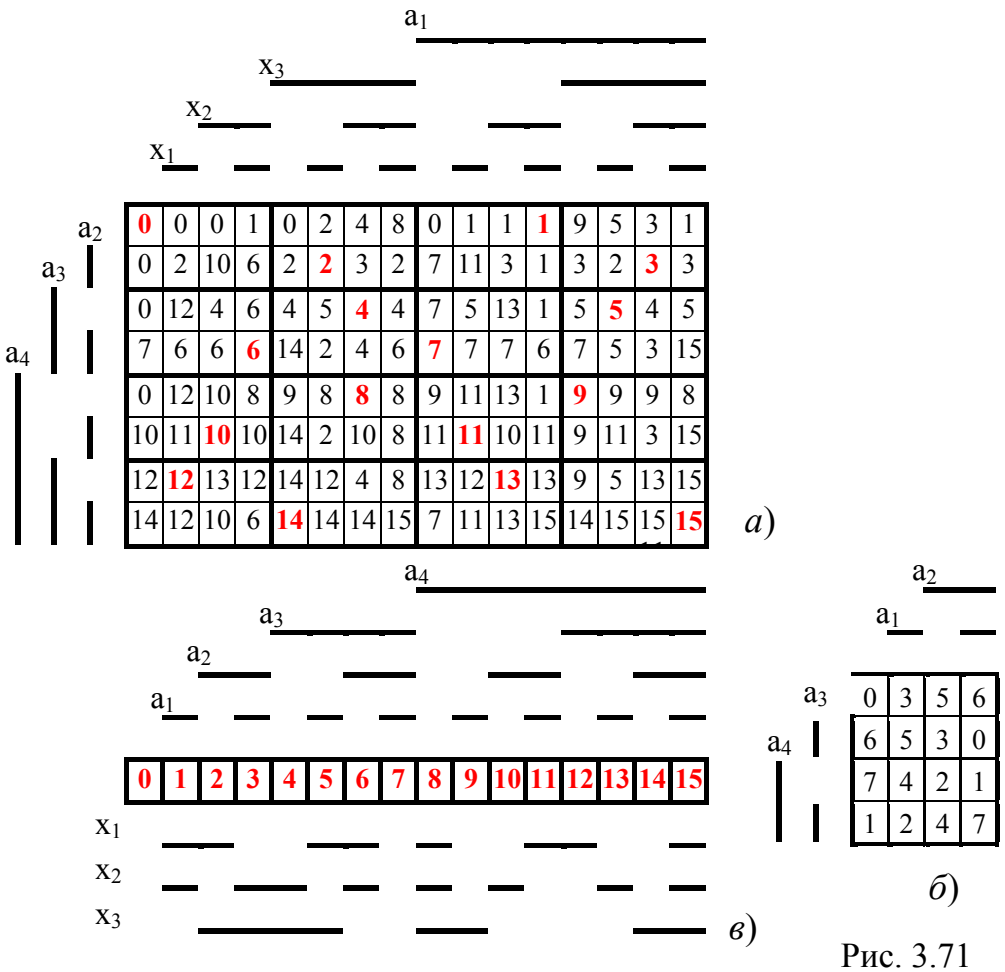
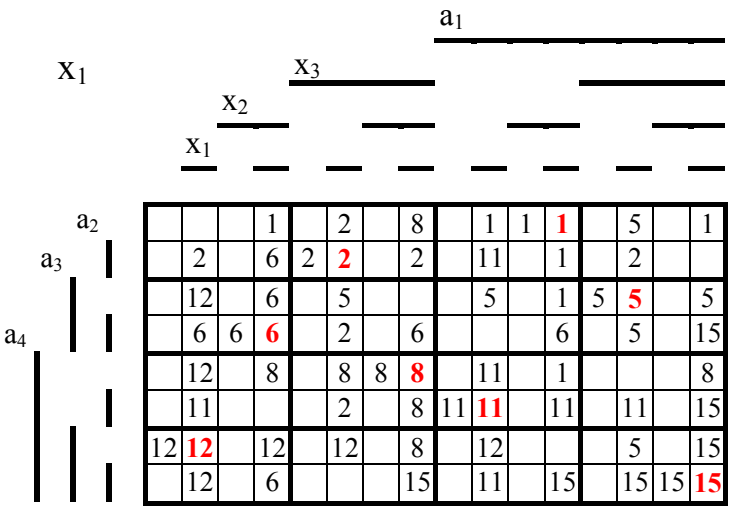


Рис. 3.71

Обратимся к рис. 3.71, где для этого типа кода приведены, как это выполнялось выше, три цифровых пространства: цифровое пространство координат x_1, x_2, x_3, $a_1 - a_4$ (рис. 3.71, *а*); цифровое пространство координат $a_1 - a_4$ (рис. 3.71, *б*) и одномерное цифровое пространство цифр **0 – 15** (рис. 3.71, *в*). В ячейках первого пространства установлены цифры **0 – 15**, а также цифры 0 – 15 при одиночных ошибках в кодовом слове x_1, x_2, x_3, $a_1 - a_4$. Ячейки второго пространства заполнены цифрами 0 – 7, эквивалентные контрольным разрядам x_1, x_2, x_3. Одномерное цифровое пространство устанавливает соответствие между кодовыми словами информационных, контрольных разрядов и информационными цифрами **0 – 15**.

Эти соотношения позволяют непосредственно представить в данном семимерном пространстве геометрические образы контрольных и информационных сигналов x_1, x_2, x_3, $a_1 - a_4$, что показано на рис. 3.72 и 3.73.



			1		2		8		1	1	**1**		5		1
	2		6	2	**2**		2		11		1		2		
	12		6		5				5		1	5	**5**		5
	6	6	**6**		2		6				6		5		15
	12		8		8	8	**8**		11		1				8
	11				2		8	11	**11**		11		11		15
12	**12**		12		12		8		12				5		15
	12		6				15		11		15		15	15	**15**

			1			4	8		1	1	**1**			3	1
		10	6			3				3	1	3		**3**	3
		4	6	4		**4**	4			13	1			4	
	6	6	**6**			4	6				6			3	15
		10	8		8	8	**8**			13	1				8
10		**10**	10			10	8			10				3	15
		13				4	8	13		**13**	13			13	15
		10	6				15			13	15		15	15	**15**

					2	4	8					9	5	3	
	2			2	**2**	3	2			3		3	2	**3**	3
		4		4	5	**4**	4		5			5	**5**	4	5
				14	2	4							5	3	15
			8	9	8	8	**8**	9				**9**	9	9	8
				14	2		8					9		2	15
				14		4	8					9	5		15
14				**14**	14	14	15				15	14	15	15	**15**

Рис. 3.72

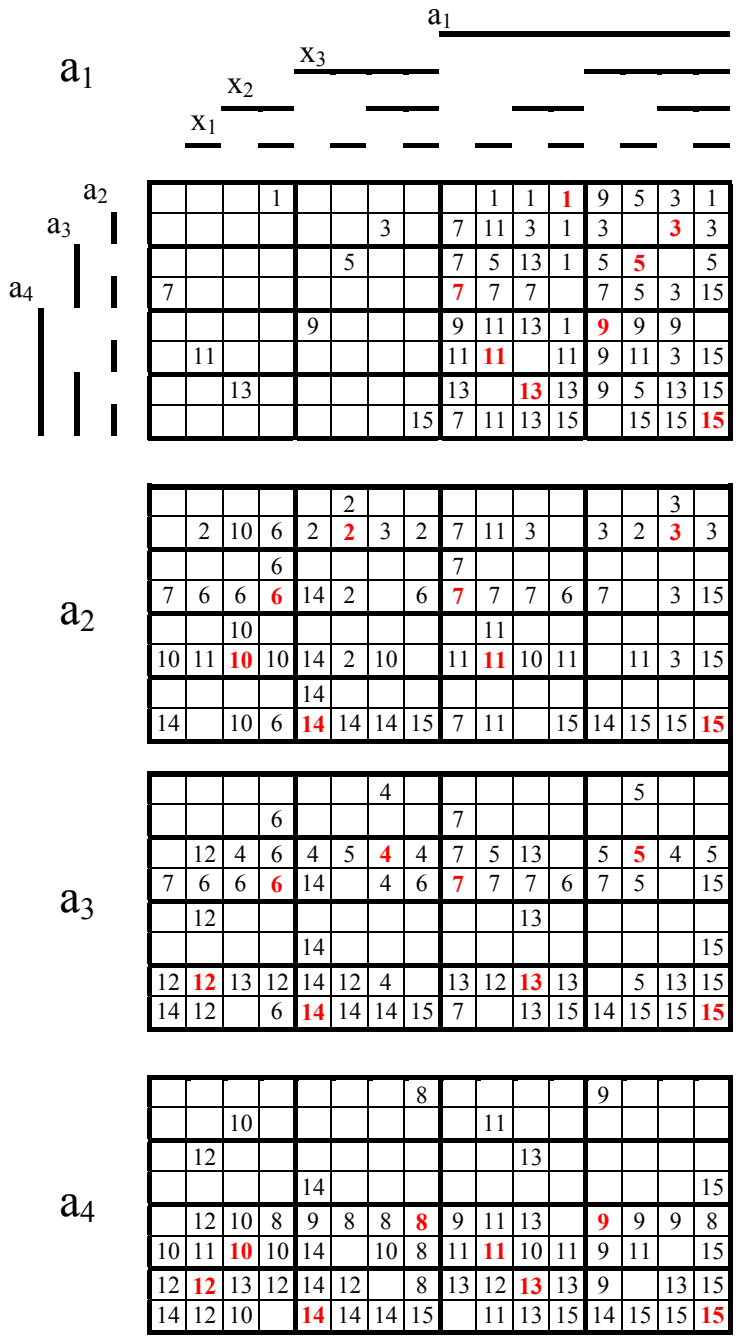


Рис. 3.73

Удобнее эти геометрические образы представить в меньшей мерности пространства, где исключена мерность искомого сигнала, а сам искомый сигнал представлен двумя геометрическими образами – прямой и инверсной составляющими. Выполненные таким образом построения искомых геометрических образов приведены на рис. 3.74 и 3.75, из которых непосредственно получаем логические функции исправленных сигналов контрольных и информационных разрядов:

$$x'_1 = \mathbf{A}(x_2,x_3,a_1, a_2, a_3, a_4)\ \underline{x}_1 \vee \boldsymbol{A}(x_2,x_3,a_1, a_2, a_3, a_4)\ x_1;$$

$$x'_2 = \mathbf{B}(x_1,x_3,a_1, a_2, a_3, a_4)\ \underline{x}_2 \vee \boldsymbol{B}(x_1,x_3,a_1, a_2, a_3, a_4)\ x_2;$$

$$x'_3 = \mathbf{C}(x_1,x_2,a_1, a_2, a_3, a_4)\ \underline{x}_3 \vee \boldsymbol{C}(x_1,x_2,a_1, a_2, a_3, a_4)\ x_3;$$

$$a'_1 = \mathbf{D}(x_1,x_2,x_3, a_2, a_3, a_4)\ \underline{a}_1 \vee \boldsymbol{D}(x_1,x_2,x_3, a_2, a_3, a_4)\ a_1; \qquad (3.7.4.1)$$

$$a'_2 = \mathbf{E}(x_1,x_2,x_3, a_1, a_3, a_4)\ \underline{a}_2 \vee \boldsymbol{E}(x_1,x_2,a_1, x_3, a_3, a_4)\ a_2;$$

$$a'_3 = \mathbf{F}(x_1,x_2,x_3, a_1, a_2, a_4)\ \underline{a}_3 \vee \boldsymbol{F}(x_1,x_2,x_3, a_1, a_2, a_4)\ a_3;$$

$$a'_4 = \mathbf{G}(x_1,x_2,x_3, a_1, a_2, a_3)\ \underline{a}_4 \vee \boldsymbol{G}(x_1,x_2,x_3, a_1, a_2, a_3)\ a_4,$$

где

$$\boldsymbol{A}(x_2,x_3,a_1, a_2, a_3,a_4) = \underline{\mathbf{A}}(\underline{x}_2,\underline{x}_3,\underline{a}_1, \underline{a}_2, \underline{a}_3,\underline{a}_4);$$

$$\boldsymbol{B}(x_1,x_3,a_1, a_2, a_3,a_4) = \underline{\mathbf{B}}(\underline{x}_1,x_3,\underline{a}_1, \underline{a}_2, \underline{a}_3,\underline{a}_4);$$

$$\boldsymbol{C}(x_1,x_2,a_1, a_2, a_3,a_4) = \underline{\mathbf{C}}(x_1,x_2,\underline{a}_1, \underline{a}_2, \underline{a}_3,\underline{a}_4);$$

$$\boldsymbol{D}(x_1,x_2,x_3, a_2, a_3,a_4) = \underline{\mathbf{D}}(\underline{x}_1,\underline{x}_2,\underline{x}_3, \underline{a}_2, \underline{a}_3,\underline{a}_4);$$

$$\boldsymbol{E}(x_1,x_2,x_3, a_1, a_3,a_4) = \underline{\mathbf{E}}(\underline{x}_1,\underline{x}_2,\underline{x}_3, \underline{a}_1, \underline{a}_3,\underline{a}_4);$$

$$\boldsymbol{F}(x_1,x_2,x_3, a_1, a_2,a_4) = \underline{\mathbf{F}}(\underline{x}_1,\underline{x}_2,\underline{x}_3, \underline{a}_1, \underline{a}_2,\underline{a}_4);$$

$$\boldsymbol{G}(x_1,x_2,x_3, a_1, a_2,a_3) = \underline{\mathbf{G}}(\underline{x}_1,\underline{x}_2,\underline{x}_3, a_1, a_2,a_3).$$

Запись логических функций геометрических образов **A,** ... **, G** на основании изложенного в предыдущих разделах не требует каких-либо дополнительных пояснений и здесь не приводится.

Также из (3.7.4.1) непосредственно следует запись логических выражений исправления одиночных ошибок при предельном быстродействии устройства.

При необходимости уменьшения аппаратурных затрат и, соответственно, быстродействия может быть реализована схема последовательного действия, которая поясняется на примере исправления сигнала a_1.

Структурная схема для этого варианта приведена на рис. 3.76. При сигнале $a_1 = 0$* остальные сигналы кода пропускаются через инвертор без изменения на вход логической схемы, формирующей сигнал $\mathbf{D}(x_1, x_2, x_3, a_1, a_2, a_3, a_4)$, а при сигнале $a_1 = 1$* инвертируются сигналы на входе и выходе этой логической схемы, что в соответствии с (3.7.4.1) определяет исправление сигнала a_1.

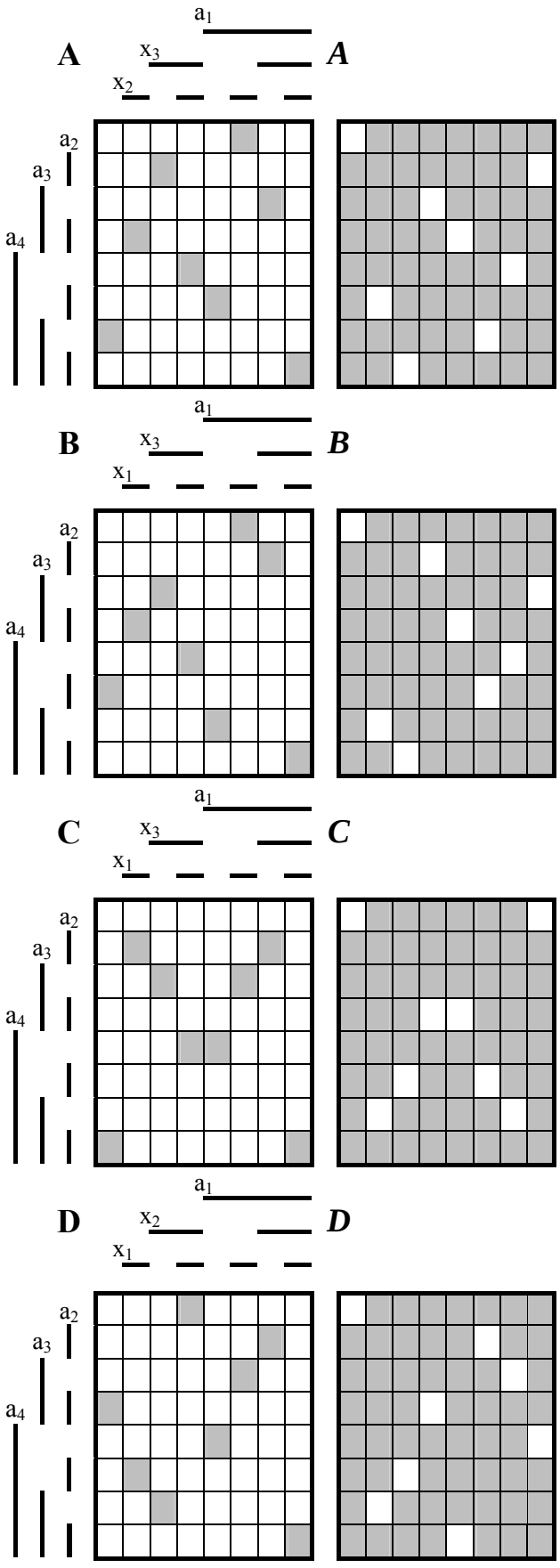

a1
A
x3
A
x2
a2
a3
a4
a1
B
x3
B
x1
a2
a3
a4
a1
C
x3
C
x1
a2
a3
a4
a1
D
x2
D
x1
a2
a3
a4

Рис. 3.74

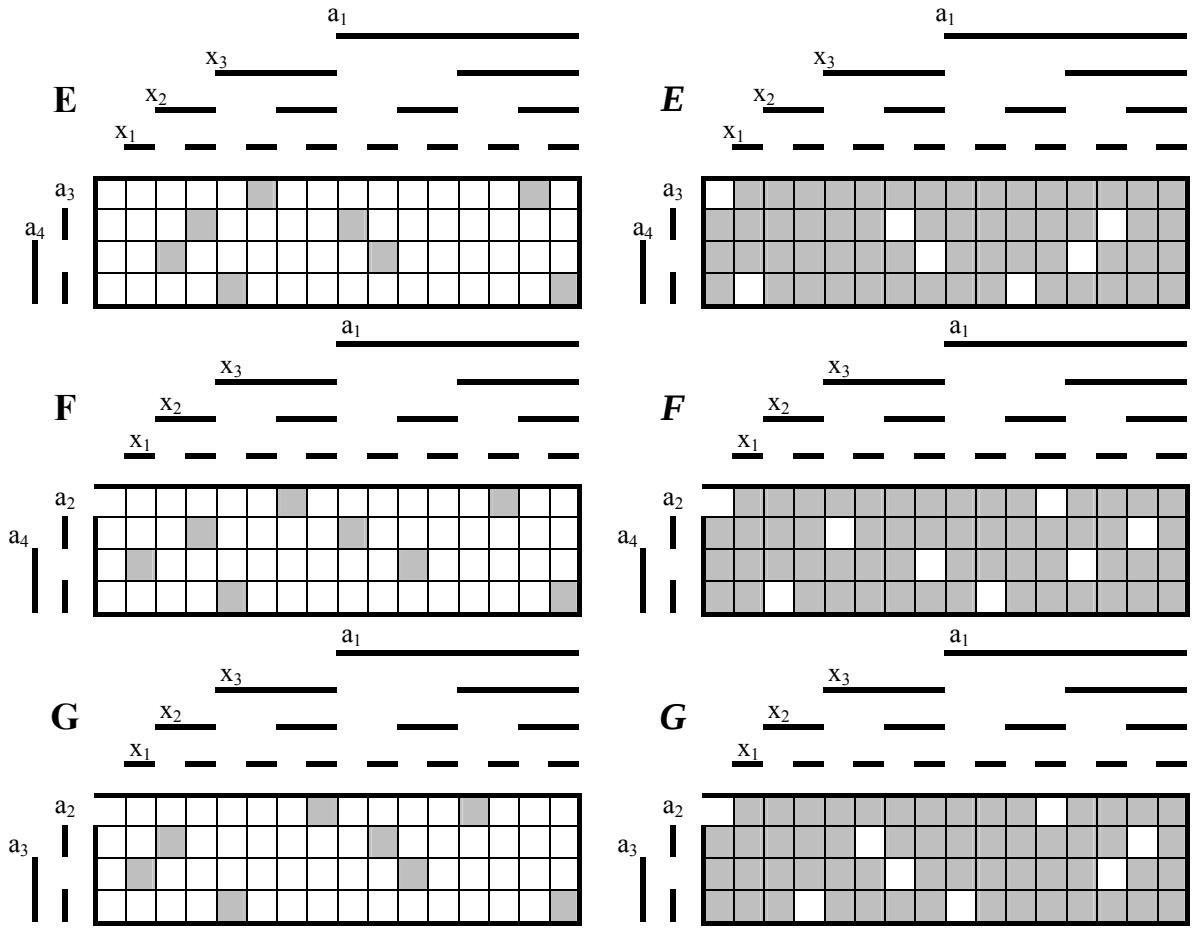


Рис. 3.75

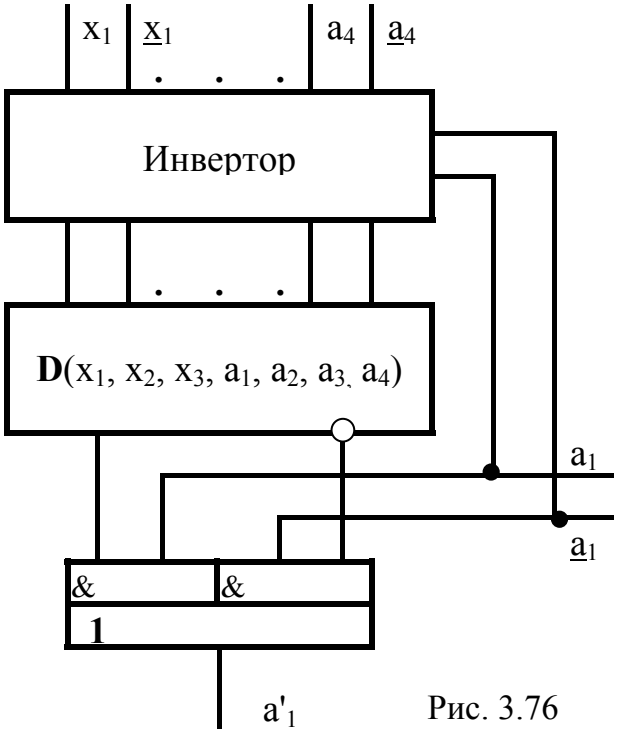


Рис. 3.76

В системах средств связи, где информационные сигналы должны только передаваться без искажения на значительные расстояния через среду с помехами и перед их передачей формируется контрольная часть кода. Эта контрольная часть кода передается совместно с информационной частью кода, и на приемном конце линии осуществляется обнаружение и исправление ошибок в этих частях синтезированного кода. В устройствах электропривода, вычислительной техники и т.д. сигналы контрольной части кода могут заканчивать свои функции на выходе соответствующих блоков того или иного устройства после выполнения необходимых функций, совмещенных с операцией исправления ошибок в информационной части кода, что определяет использование только части логических выражений (3.7.4.1).

* * *

Рассмотреть все аспекты контролеспособности цифровых устройств электропривода и систем энергоснабжения в одной главе невозможно. Этой проблеме в системах связи, где «кодирование с исправлением ошибок является обычным делом» [3.11], посвящается большое количество книг и научных статей. В цифровых же вычислительных комплексах, например, электроприводов дело обстоит гораздо сложнее и имеются большие пробелы. Особенно значительны они у блоков, выполняющих конкретные арифметические и логические функции в реальном масштабе времени. Это должно стать предметом самостоятельного изложения, где метод многомерных цифровых множеств позволяет решать все задачи по исправлению ошибок с максимальной наглядностью и строгостью принимаемых решений.

Поскольку характер цифровых систем таков, что результат вычислений может быть разрушен искажением только одного информационного или управляющего сигнала, то по мере «важности» сигнала его контролеспособность должна возрастать. Поэтому весьма перспективно применение позиционных кодов с неравномерным и возрастающим по мере увеличения числа разрядов основанием систем счисления. В этом случае по мере «важности» цифры числа оно должно располагаться в разрядах большего основания системы счисления. Использование здесь естественных кодов, например многофазных и интегральных, позволяет обнаруживать и исправлять ошибки с максимально возможным быстродействием в масштабе реального времени без использования каких-либо математических вычислений.

В технической литературе встречается мнение [3.7], что общим недостатком кодов Хемминга “является то, что они не приспособлены для выполнения арифметических операций». Из материалов настоящей главы следует, что такое утверждение научно не обосновано. Такое же заблуждение в равной степени относится к коду Грея, который также позволяет выполнять любые арифметические операции, как для применения в вычислительных системах, так и в различных приложениях. При этом необходимо отметить, что деление кодов на

арифметические и неарифметические, что встречается в научно-технической литературе, не соответствует действительности: все позиционные коды являются арифметическими. Во всех этих кодах можно выполнять все известные математические операции. Все сводится к затратам оборудования для достижения конкретного быстродействия выполнения математической операции, а приспособленность кода выполнять эти математические операции с минимальными затратами оборудования действительно различна.

Однако необходимо продолжать изучение конфигурации ошибок, характерных для отдельных устройств и узлов ЦВМ, а также поиск оптимальных контролеспособных кодов для этих устройств. В этом исследовании должны учитываться не только симметрия многомерного цифрового пространства, но и порядок многомерных множеств конкретной математической операции, а также симметрия или асимметрия кодов ее операнд.

Природе следуй: лишь ее закон
В суждениях прими за эталон,
Во всей Природе заблуждений нет,
Она всему неугасимый свет.

А. Поуп

Глава 4

ИНВЕРТОРЫ НАПРЯЖЕНИЯ С ЦИФРОВЫМ УПРАВЛЕНИЕМ

4.1. Постановка задачи

Бесконтактные электроприводы на базе двигателей переменного тока (синхронных, асинхронных, синхронно-реактивных и т.д.) используют инверторы напряжения, которые преобразуют постоянный ток в переменный необходимой формы и фазности. Наиболее перспективны схемы инверторов на полностью управляемых элементах, например транзисторах. Силовая схема такого инвертора напряжения в общем случае представляет собой транзисторный m-фазный мост с диодным мостом обратного тока, осуществляющий попеременно циклическое подключение к выходным зажимам каждой фазы отрицательного и положительного полюсов источника питания.

Приведенная структура транзисторного m-фазного инвертора формирует заданное по форме и величине напряжение на выходных зажимах, тогда как ток в фазах двигателя будет определяться характером нагрузки. Поэтому с известными допущениями внешние характеристики силовой части такого инвертора приближаются к источнику напряжения.

Схемы многофазных инверторов напряжения, как известно, могут быть представлены двумя обширными классами. К первому классу относятся инверторы, обладающие улучшенным гармоническим спектром формируемых кривых выходного напряжения, что должно создать равномерное пространственное вращение вектора напряжения статора двигателя. Ко второму классу относятся инверторы с простейшей формой кривых выходного напряжения, что создает дискретное вращение этого вектора.

Поскольку основной задачей в приводе является не получение определенной формы выходного напряжения инвертора, а обеспечение плавности вращения электрической машины при сохранении достаточно высокого КПД, то естественно стремление использовать более простые формы выходного напряжения, где так же просты и надежны схемы управления.

Инверторы напряжения с простейшей формой выходного напряжения представляют собой либо m-фазный мостовой инвертор либо инвертор, построенный из m однофазных с раздельным подключением фаз двигателя.

Инверторы напряжения с улучшенным гармоническим спектром выходных напряжений могут быть разделены на два подкласса: инверторы, в которых

улучшение гармонического спектра достигается широтно-импульсной модуляцией, и инверторы, где эта задача решается формированием многоступенчатых кривых выходного напряжения амплитудно-импульсной модуляцией.

Остановимся на мостовых многофазных инверторах с широтно-импульсной модуляцией. Исследования [4.1]–[4.3] показали, что при высоких частотах вращения двигателей можно обойтись инверторами второго класса, позволяющими достигнуть приемлемую плавность вращения при высоком КПД. Применение инверторов первого класса часто необходимо при работе электродвигателя привода на сверхнизких частотах вращения.

Высокая плавность вращения на низких частотах может быть получена и в инверторах второго класса при увеличении числа фаз электродвигателя. Этим объясняется определенный интерес к многофазным инверторам с числом фаз более трех [4.4], [4.35], [4.36]. Кроме того, как было показано выше, увеличение числа фаз многофазного кода позволяет обнаруживать и даже исправлять ошибки в системах управления, что создает определенные предпосылки для синтеза высоконадежных схем электроприводов.

В электроприводах со сверхширокими диапазоном регулирования частот вращения целесообразно использовать инверторы с перестраиваемой структурой, если на высоких частотах вращения используется простейшая форма выходного напряжения, а на низких частотах – форма с улучшенным спектром кривых выходного напряжения.

При рассмотрении многофазных инверторов используем векторно-цифровое представление его выходных напряжений и цифровое выполнение его управляющей части.

Обобщенная структурная схема мостового инвертора с цифровым управлением приведена на рис. 4.1.

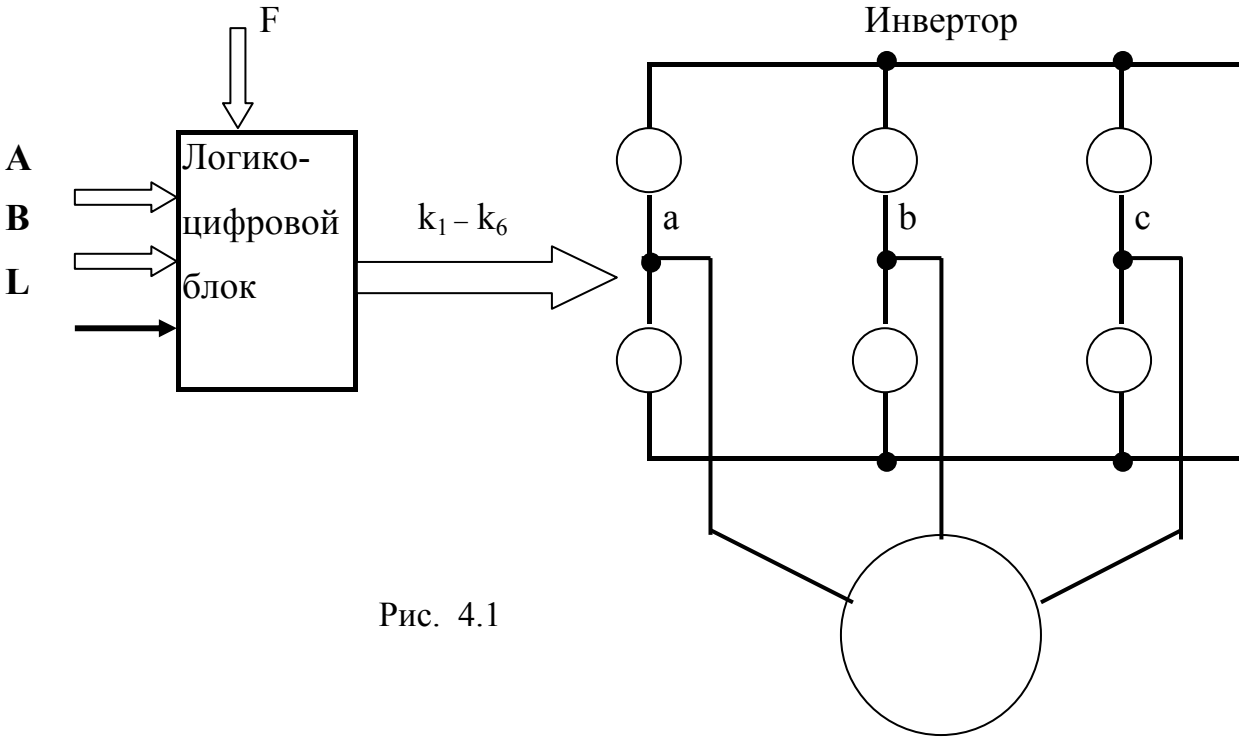


Рис. 4.1

Схема содержит мостовой, например, трехфазный инвертор напряжения и логико-цифровой блок управления переключением силовых транзисторов k_1 – k_6 инвертора. Этот блок включает входные шины: **A** – циклического цифрового кода, который определяет частоту выходного напряжения; **B** – цифрового кода задания величины выходного напряжения инвертора; **L** – цифрового входа управления формой выходного напряжения; **F** – циклического цифрового кода, определяющего частоту модуляции выходного напряжения инвертора.

4.2. Инверторы с простейшей формой выходного напряжения

В мостовых схемах трехфазных инверторов используется длительность открытия силовых элементов $\alpha = \pi$ либо $\alpha = 2\pi/3$ [4.5]. Сравнение этих способов [4.6] отдает предпочтение режиму с $\alpha = \pi$. Однако этот вывод нельзя считать бесспорным, поскольку имеются такие нагрузки, например синхронные двигатели с постоянными магнитами (вентильные двигатели) либо нагрузка с параллельной емкостной компенсацией [4.7], [4.8], где управление с $\alpha = 2\pi/3$ предпочтительнее или единственно возможное.

Многофазные инверторы с управлением $\alpha = \pi$ и симметричной нагрузкой фаз представляют собой источники несинусоидального напряжения с формой, не зависящей от параметров нагрузки.

Рассмотрим трехфазный инвертор, состоящий из трех однофазных (рис. 4.2, *а*).

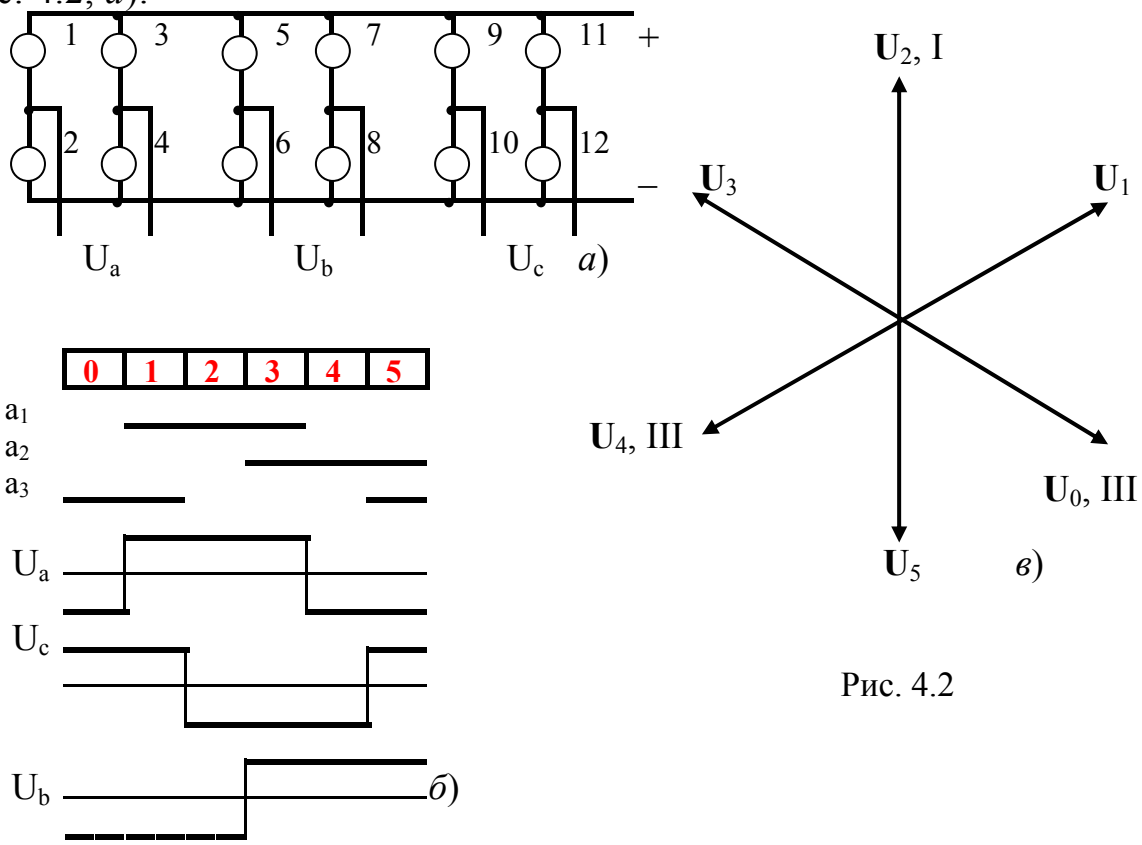


Рис. 4.2

Трехфазные сигналы a_1, a_2, a_3 (рис. 4.2, *б*), эквивалентные шести цифрам **0** – **5** обычного цифрового кода, управляют переключением силовых транзисторов. При сигналах a_1, a_2, a_3 обмотки фаз двигателя подключаются к положительному полюсу источника питания, например началом соответствующей обмотки, а при инверсных сигналах $\underline{a}_1$, $\underline{a}_2$, $\underline{a}_3$ – к отрицательному полюсу. В двигателе с нечетным числом фаз его обмотки располагаются между собой под углом $2\pi/m = 2\pi/3$ и каждой эквивалентной цифре кода соответствуют определенное пространственное расположение векторов напряжения в обмотках фаз и определенное пространственное расположение вектора напряжения. Модуль этого напряжения для трехфазного инвертора $|\mathbf{U}| = 2U_п$. Этот вектор при смене эквивалентных цифр от **0** до **5** поворачивается, например, против часовой стрелки (рис. 4.2, *в*) и принимает шесть дискретных значений от $\mathbf{U_0}$ до $\mathbf{U_5}$.

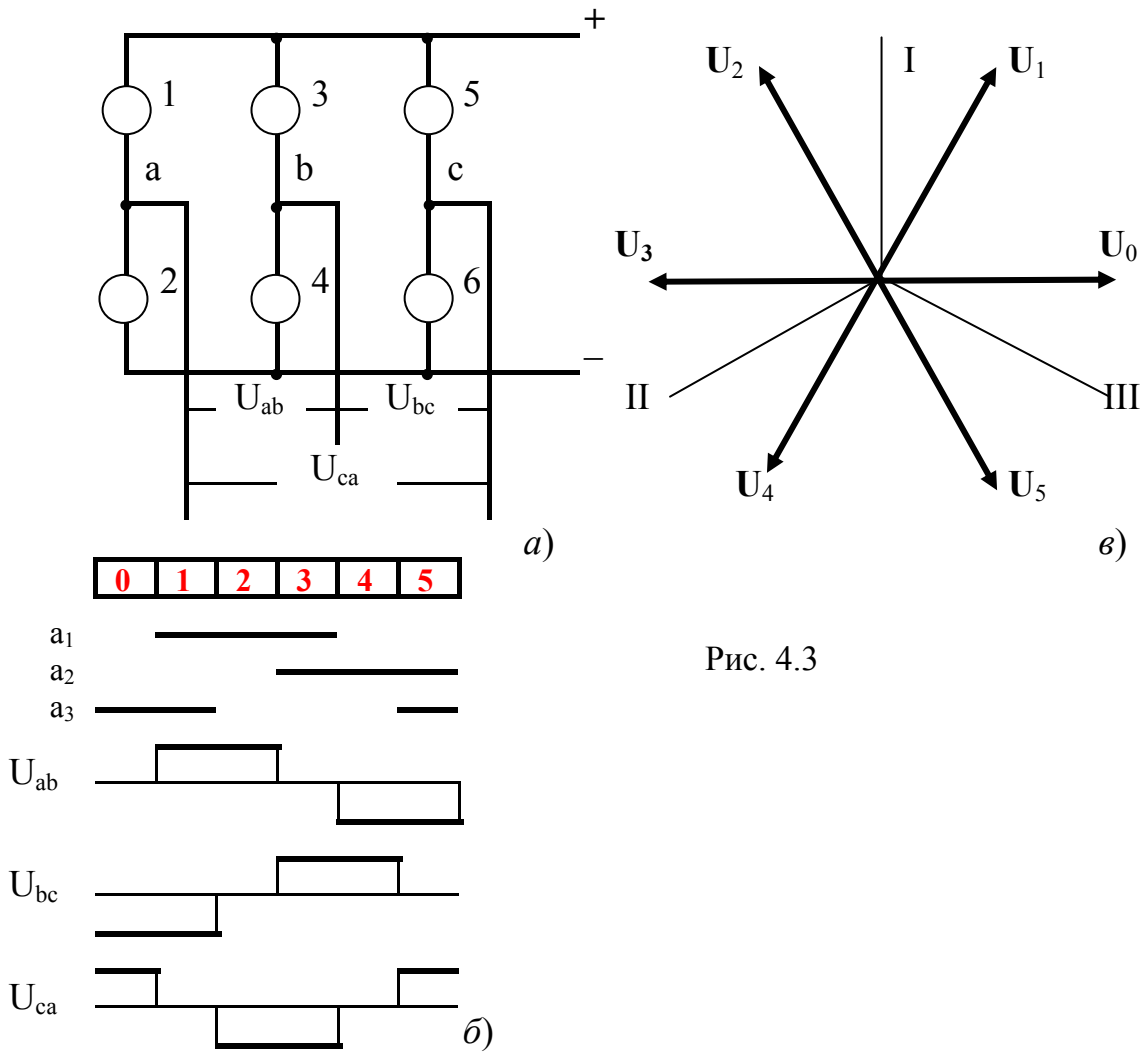


Рис. 4.3

В трехфазном мостовом инверторе, состоящем из трех "стоек" (рис. 4.3, *а*), если обмотки фаз двигателя соединены в "треугольник", трехфазные сигналы управления a_1, a_2, a_3 подключают углы "треугольника" к положительному полюсу источника питания, а инверсные сигналы $\underline{a}_1$, $\underline{a}_2$, $\underline{a}_3$ – к отрицательному. В этом случае потенциалы средних точек "стоек" фаз φ_a, φ_b, φ_c будут совпадать со значениями сигналов фаз a_1, a_2, a_3, а разность этих потенциалов будет определять напряжения на обмотках питания двигателя $U_{ab} = \varphi_a - \varphi_b$, $U_{bc} = \varphi_b - \varphi_c$, $U_{ca} = \varphi_c - \varphi_a$. Пространственное расположение векторов напряжений $\mathbf{U}_0 - \mathbf{U}_5$ приведено на рис. 4.3, *в*, где модуль результирующего вектора напряжения $|\mathbf{U}| = 3^{1/2} U_п$.

При соединении обмоток фаз двигателя в "звезду" (рис. 4.4, *а*) подключение свободных концов обмоток к соответствующему полюсу источника питания изменяет не только потенциалы этих концов обмоток, но и меняет потенциал общей точки обмоток φ_0. При четных цифрах **0**, **2**, **4** к отрицательному полюсу подключены начала (m+1)/2 обмоток, а к положительному полюсу – (m – 1)/2 обмоток (рис. 4.4, *б*). При нечетных цифрах число обмоток, подключенных к разным полюсам источника питания, противоположно представленному выше соединению. Тогда потенциал точки 0 для четных цифр многофазного кода определяется зависимостью $\varphi_{01} = U_п (m - 1)/2m$, а нечетных цифр многофазного кода – $\varphi_{02} = U_п (m+1)/2m$.

Для трехфазного варианта инвертора $\varphi_{01} = U_п/3$, $\varphi_{02} = 2U_п/3$. Напряжение на обмотках фаз двигателя ($U_a = \varphi_a - \varphi_0$, $U_b = \varphi_b - \varphi_0$, $U_c = \varphi_c - \varphi_0$) приведено на рис. 4.4, *в*. Пространственное расположение векторов напряжений $\mathbf{U}_0 - \mathbf{U}_5$ показано на рис. 4.4, *г*, а модуль результирующего вектора напряжения равен напряжению питания инвертора $|\mathbf{U}| = U_п$.

Обратимся к инвертору с четным числом фаз, например четырехфазному, составленному из однофазных. В этом случае схема инвертора тривиальна и ее, очевидно, нет необходимости приводить. Остановимся на временных соотношениях управляющих сигналов, выходных напряжениях и их векторных эквивалентах (рис. 4.5, *а*, *б*). Многофазные управляющие сигналы $a_1 - a_4$ и их инверсии совпадают соответственно с положительными и отрицательными полуволнами выходных напряжений U_a, U_b, U_c, U_d, а оси фаз обмоток расположены под углом $\beta = \pi/m = \pi/4$. Модуль результирующего вектора напряжения многофазного кода равен $|\mathbf{U}| = 2{,}6\ U_п$, а векторы $\mathbf{U}_0 - \mathbf{U}_7$ располагаются между осями фаз обмоток электродвигателя.

Аналогично выполняются многофазные инверторы на любом нечетном и четном числе фаз.

Наиболее распространена и хорошо изучена трехфазная схема инвертора напряжения. Использование многофазных систем, где число фаз кратно трем m = 3, 6, 12, ... , может быть сведено к их построению из нескольких трехфазных мостовых инверторов. В этом случае схема управления переключением силовых ключей инвертора сохраняет все возможности по обнаружению и исправлению ошибок, как это было бы при одной m-фазной схеме инвертора.

Остановимся на одном из таких вариантов построения инвертора для m = 6 (рис. 4.6, *а*, *б*, *в*).

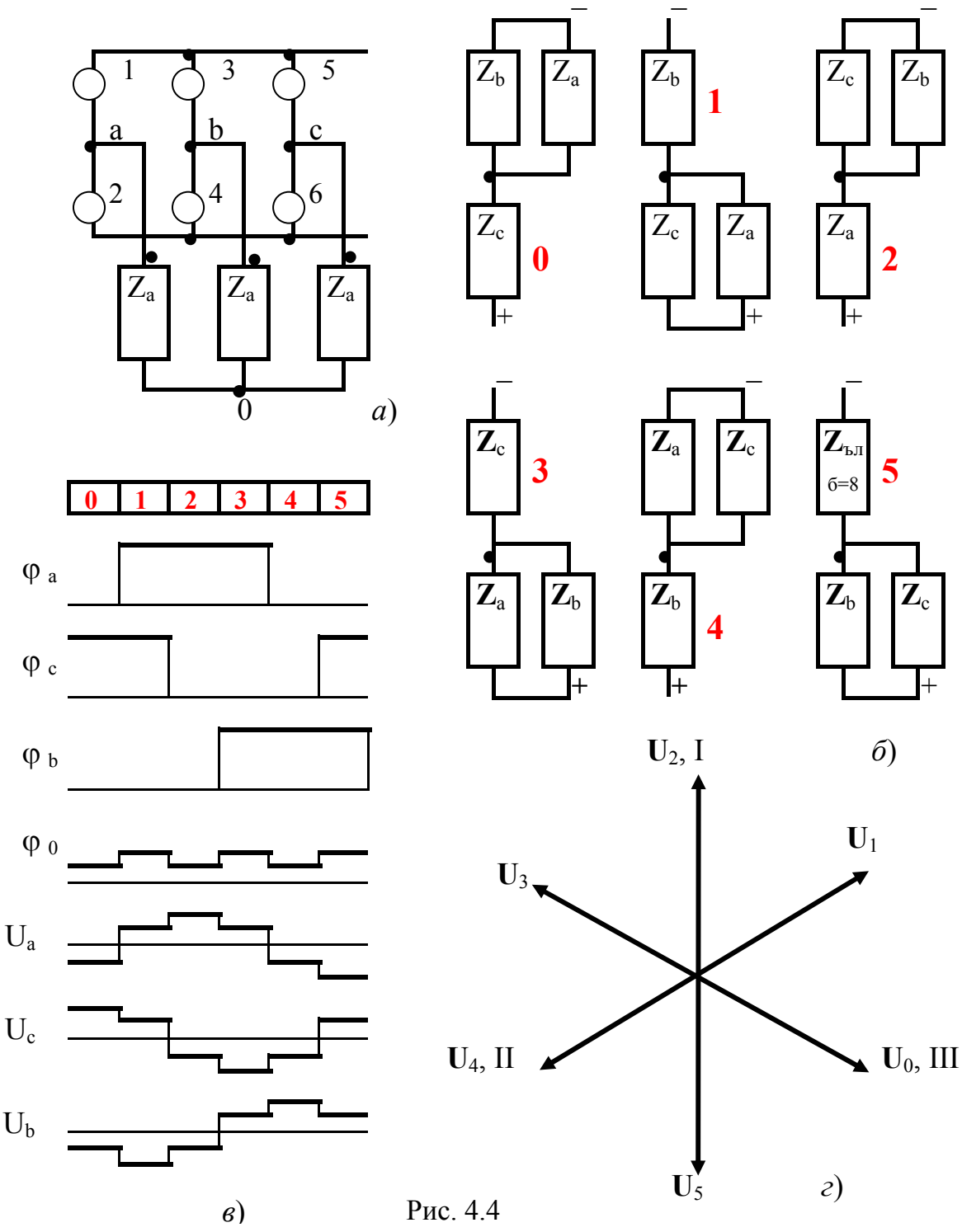
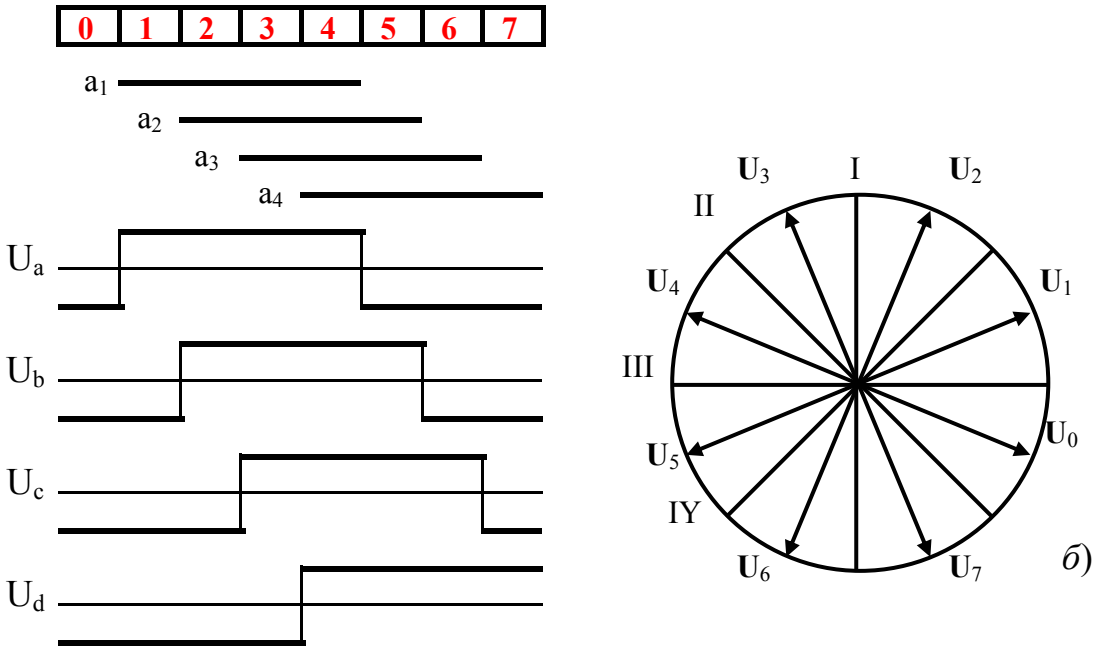


Рис. 4.4



а) *б*)

Рис. 4.5

Сигналы управления переключением силовых транзисторов двух трехфазных мостовых инверторов могут быть представлены здесь как единая шестифазная система, например в записи кода Либау-Крейга, эквивалентная цифрам **0** – **11**.

Каждая трехфазная группа сигналов (a_1, a_2, a_3), (a'_1, a'_2, a'_3) формирует, например, при соединении фаз нагрузки в "треугольник", две трехфазные системы напряжений на выходных шинах инвертора соответственно U_{ab}, U_{bc}, U_{ca}; $U_{a'b'}$, $U_{b'c'}$, $U_{c'a'}$. Поскольку оси обмоток фаз двигателя (I, II, III; I', II', III') этих трехфазных систем располагаются между собой под углом в 30 град.эл., результирующие вектора напряжений эквивалентных цифр **0** – **11** равномерно распределены по окружности при угле между векторами в 30 эл.град.

Так как в электроприводах, особенно большой мощности, устранить различные виды электромагнитных помех практически невозможно, то задача уменьшения их влияния на управляющую часть системы весьма актуальна. Вопреки установившемуся мнению [4.34] относительно того, что попытки изложить теорию кодов исправляющих ошибки, без использования сложного математического аппарата представляется безнадежным, это выполнено нами в предыдущей главе. Там также показано, что именно многофазный код обладает большими возможностями для обнаружения и исправления ошибок в реальном масштабе времени без использования каких-либо математических вычислений.

Здесь будет рассмотрен еще один простой вариант исправления ошибок многофазного кода без использования математических вычислений, основанный на существовании непрерывных множеств логических единиц и нулей в структуре этого кода [4.9].

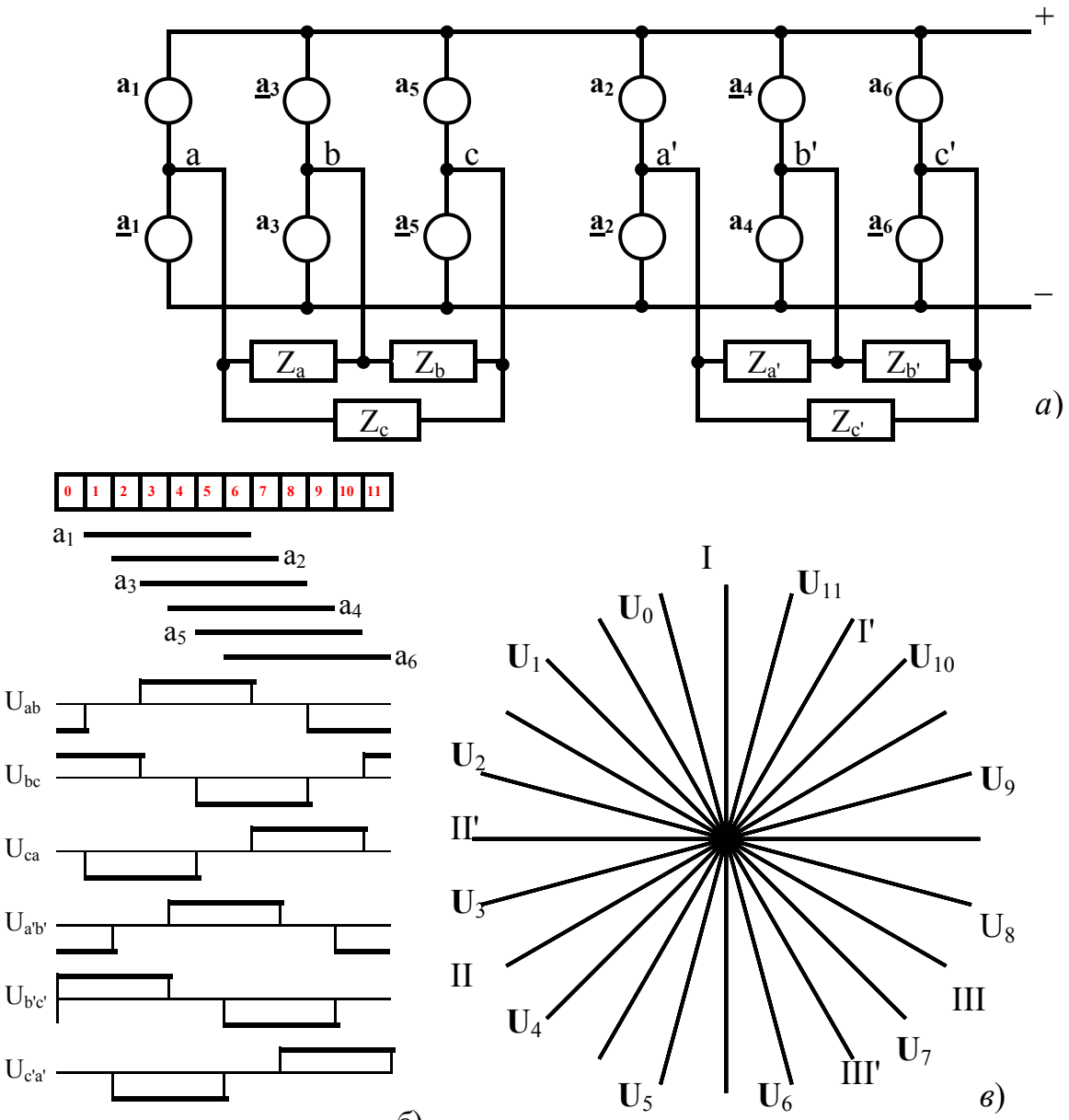
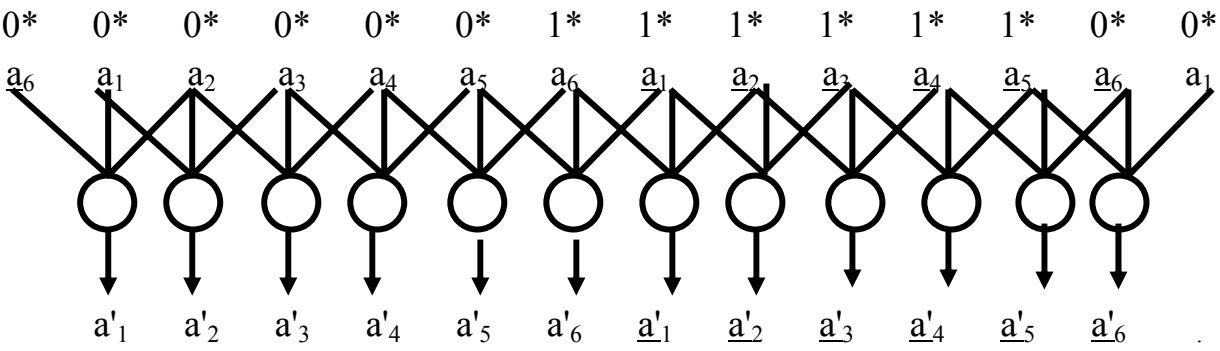


Рис. 4.6

Обратимся к прямым и инверсным сигналам многофазного кода (рис. 4.6, *б*) при построчной табличной записи их цифровых эквивалентов от **0** до **11**:

	a_1	a_2	a_3	a_4	a_5	a_6	$\underline{a}_1$	$\underline{a}_2$	$\underline{a}_3$	$\underline{a}_4$	$\underline{a}_5$	$\underline{a}_6$
0	0*	0*	0*	0*	0*	0*	1*	1*	1*	1*	1*	1*
1	1*	0*	0*	0*	0*	0*	0*	1*	1*	1*	1*	1*
2	1*	1*	0*	0*	0*	0*	0*	0*	1*	1*	1*	1*
3	1*	1*	1*	0*	0*	0*	0*	0*	0*	1*	1*	1*
4	1*	1*	1*	1*	0*	0*	0*	0*	0*	0*	1*	1*
5	1*	1*	1*	1*	1*	0*	0*	0*	0*	0*	0*	1*
6	1*	1*	1*	1*	1*	1*	0*	0*	0*	0*	0*	0*
7	0*	1*	1*	1*	1*	1*	1*	0*	0*	0*	0*	0*
8	0*	0*	1*	1*	1*	1*	1*	1*	0*	0*	0*	0*
9	0*	0*	0*	1*	1*	1*	1*	1*	1*	0*	0*	0*
10	0*	0*	0*	0*	1*	1*	1*	1*	1*	1*	0*	0*
11	0*	0*	0*	0*	0*	1*	1*	1*	1*	1*	1*	0*

Очевидно, что установка мажоритарных элементов на выходе сигналов многофазного кода позволяет не пропускать одиночные ошибки, отстоящие от границ множеств нулей и единиц более чем на два сигнала. Рассмотрим графический фрагмент этих множеств, например для цифры **11**:



Одиночная ошибка в сигнале a_4 либо a_5 пройдет на выход шины сигнала a'_5. Аналогично при одиночной ошибке в сигнале $\underline{a}_4$ либо $\underline{a}_5$ она пройдет на выход шины сигнала $\underline{a}'_5$. Такие же выводы можно сделать относительно одиночных ошибок в сигналах a_6, $\underline{a}_6$, a_1, $\underline{a}_1$.

При одиночных ошибках в остальных $(2m - 8)$ сигналах (a_2, $\underline{a}_2$, a_3, $\underline{a}_3$) они будут исправлены. Таким образом, использование мажоритарных элементов на пути прохождения сигналов многофазного кода является эффективным средством повышения помехоустойчивости без существенного снижения быстродействия при большом значении числа фаз m.

4.3. Регулирование напряжения в инверторах с простейшей формой выходного напряжения

Управление выходным напряжением инвертора возможно тремя основными способами: амплитудным при неизменной форме выходного напряжения; широтным на основной частоте; широтно-импульсным на повышенной частоте.

Для амплитудного способа управления, который применим при любых типах инверторов, необходимо устанавливать на его входе по питанию дополнительный силовой регулятор (конвертор) на полную мощность нагрузки, что является основным недостатком данного способа. Его достоинство – неизменность гармонического состава выходного напряжения. Основные технические задачи, которые приходится решать при амплитудном способе управления, относятся к конвертору, что составит самостоятельный предмет нашего рассмотрения.

При широтном и широтно-импульсном способах управления напряжение инвертора регулируется при неизменной амплитуде импульсов, равной напряжению источника постоянного тока. Эти два способа осуществляются без ис-

пользования дополнительного силового регулятора особым построением схемы управления выходными силовыми элементами инвертора.

Управление выходным напряжением инвертора изменением длительности открытого состояния силовых элементов на основной частоте [4.10] не обеспечивает стабильности дискретных положений результирующего вектора напряжения при изменении cosφ нагрузки и режимов работы (двигательный или генераторный) электрической машины.

Другой вариант широтного регулирования – геометрический [4.11], сущность которого заключается в изменении угла фазового сдвига между напряжениями последовательно соединенных по выходу элементарных инверторов. При изменении угла сдвига меняется значение выходного напряжения. Данный вариант, как и первый, приводит к изменению содержания гармонических составляющих напряжения. Особенно это проявляется при последовательном соединении лишь двух инверторов. Для уменьшения количества гармонических составляющих в спектре выходного напряжения осуществляется последовательное соединение по входу не двух, а четырех инверторов, причем между напряжениями первого и второго, а также третьего и четвертого инвертора сдвиг по фазе – постоянный, а регулирование производится изменением фазы между первым и третьим инвертором. Геометрический вариант управления отличается сложностью, громоздкостью схемы управления, требует наличия на выходе инверторов трансформаторов , поэтому не будет рассматриваться в дальнейшем.

Широтный же способ управления в схеме многофазного мостового инвертора целесообразно рассматривать не отдельно, а как частный случай широтно-импульсного способа при равенстве основной и модуляционной частот.

Рассмотрим широтно-импульсное управление выходным напряжением инвертора при равномерном распределении высокочастотных импульсов и двух способах модуляции выходного напряжения: одностороннем (рис. 4.7, *а*) и двухстороннем (рис. 4.7, *б*).

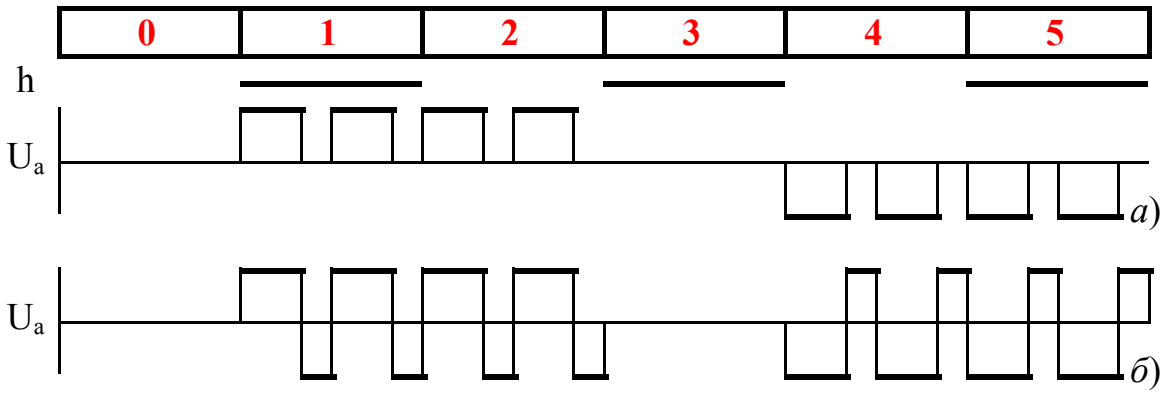


Рис. 4.7

На этих же рисунках приведены эквивалентные цифры **0** – **5** трехфазного кода, а также сигнал h , соответствующий нечетным цифрам кода.

Обращаясь к векторному представлению выходного напряжения инвертора, можно сказать, что при односторонней модуляции выходного напряжения во время высокочастотной паузы модуль результирующего вектора выходного напряжения уменьшается до нуля, а при двухсторонней модуляции этот вектор меняет свое направление на противоположное. Изменение при этом относительных значений амплитуд гармонических составляющих для трехфазного инвертора рассмотрено в [4.12].

Техническая же реализация схем управления при двухсторонней модуляции тривиальна и не требует каких-либо пояснений.

Обратимся к одностороннему способу модуляции, где нулевое значение вектора напряжения достигается, например, закрытием всех транзисторов только одной группы силовых элементов мостового инвертора (коллекторной либо эмиттерной) и открытием другой.

При таком управлении будут снижены энергетические показатели привода. Для пояснения этого утверждения обратимся к рис. 4.8, *а*, где приведены для этого случая потенциалы средних точек стоек φ_a, φ_b и выходное напряжение U_{ab} инвертора.

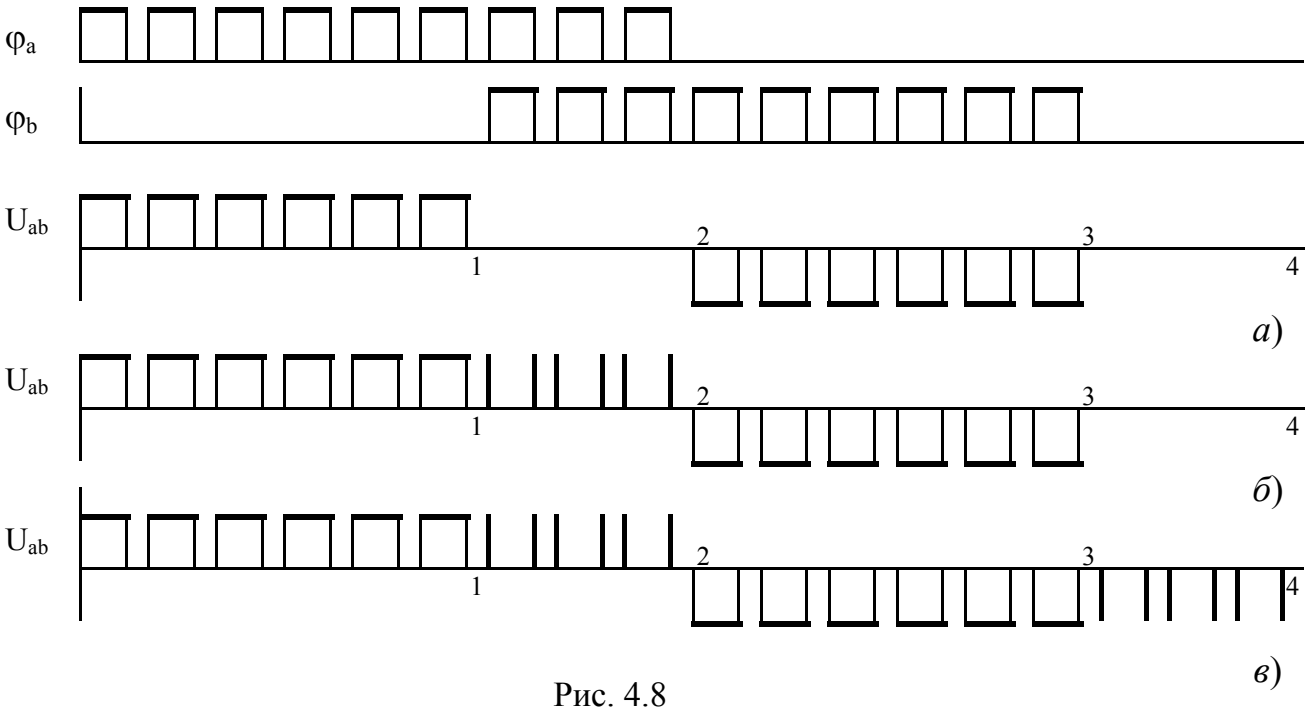


Рис. 4.8

В этой теоретической кривой U_{ab} отсутствуют высокочастотные пики напряжений в моменты низкочастотных пауз 1, 2 и 3, 4. В реальной же кривой U_{ab} (рис. 4.8, *б*) при таком управлении в моменты пауз 1, 2 имеются пики напряжений при работе инвертора на активно-индуктивную нагрузку. Появление этих пиков объясняется наличием высокочастотной коммутации в эти моменты времени и неодинаковостью выхода транзисторов стоек различных фаз из режима насыщения, что вызвано не только различной величиной токов в один и тот же момент времени, но и разным характером тока (прямой и инверсный).

Пики напряжений в моменты низкочастотной паузы с одной стороны основного импульса приводят к появлению постоянной составляющей выходного напряжения, которая создает дополнительный к основному режиму, например двигательному, режим динамического торможения. Это ухудшает энергетические и точностные показатели электроприводов, что особенно нежелательно для высокоточных систем с большим диапазоном регулирования, а также для систем с силовыми гироскопами, например космических аппаратов, где требуется минимальное энергопотребление при отсутствии управляющего момента.

Для устранения отмеченного недостатка в [4.13] предложено чередовать на частоте модуляции открытие групп силовых элементов мостового инвертора. Это чередование открытия силовых элементов приводит к тому, что пики напряжений (рис. 4.8, *в*) появляются в моменты низкочастотных пауз с обеих сторон основного импульса напряжения с чередующейся полярностью. Тем самым устраняется постоянная составляющая в кривой выходного напряжения.

В развитие этого метода регулирования в [4.14] предложено чередовать открытие групп силовых элементов на частоте смены эквивалентных цифр многофазного кода, причем открываются транзисторы той группы элементов, где в данный момент имеется больше открытых транзисторов. Такое управление позволяет не только убрать пики в моменты низкочастотных пауз, но и снизить частоту переключения силовых элементов без изменения формы выходного напряжения инвертора. Для трехфазного мостового инвертора частота переключений уменьшается при этом на 1/3. С увеличением фазности инвертора преимущества данного способа управления уменьшаются. По этой причине энергетически выгодно построение многофазных инверторов, состоящих из нескольких трехфазных.

Логические зависимости для сигналов управления коллекторной и эмиттерной групп силовых элементов определяются простыми выражениями:

$$\begin{vmatrix} k_1 \\ k_3 \\ k_4 \end{vmatrix} = \begin{vmatrix} a_1 & h \\ \underline{a}_2 & h \\ a_3 & h \end{vmatrix} \begin{vmatrix} \underline{p} \\ p \end{vmatrix}, \qquad \begin{vmatrix} k_2 \\ k_4 \\ k_6 \end{vmatrix} = \begin{vmatrix} \underline{a}_1 & \underline{h} \\ a_2 & \underline{h} \\ \underline{a}_3 & \underline{h} \end{vmatrix} \begin{vmatrix} \underline{p} \\ p \end{vmatrix}, \tag{4.3.1}$$

где a_1, a_2, a_3 – сигналы управления трехфазного кода в записи Либау-Крейга; h – сигнал наличия нечетной цифры многофазного кода; p – сигнал, при котором результирующий вектор напряжения равен нулю.

Один из возможных вариантов структурной схемы такого инвертора с цифровым управлением, реализующий способ односторонней модуляции, приведен на рис. 4.9.

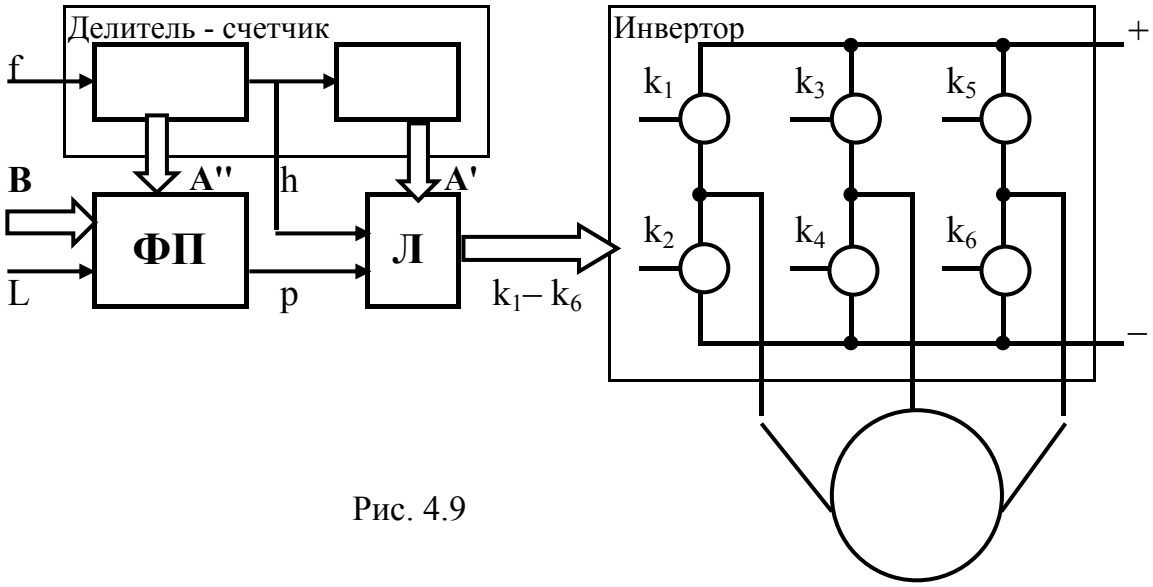


Рис. 4.9

В этой схеме сигналы циклического кода **A(A'',A')** формируются для асинхронного электропривода на выходных шинах делителя-счетчика, а для электропривода с вентильным двигателем – на выходных шинах преобразователя угол-код, установленного на валу электродвигателя.

В делителе-счетчике старший разряд циклического кода **A'** выполняется в m-фазном коде, а младшие разряды могут быть представлены в любом коде, в том числе и двоичном.

Сигналы **A''** подаются на вход формирователя переносов (ФП), где осуществляется операция сложения этих сигналов с цифровым сигналом **B**, пропорциональным величине выходного напряжения инвертора. Цель данной операции сложения – получение на выходе только сигнала переноса. Формирователь переноса имеет вход L, который управляет соотношением частот модуляции и выходного напряжения инвертора, что может рассматриваться и как изменение формы кривой этого напряжения.

Выполнение логического блока (Л) представляется зависимостью (4.3.1).

Поскольку цифровой сигнал **B** определяет длительность высокочастотной паузы, а в приводах обычно необходима прямая зависимость "вход-выход", он должен подаваться в дополнительном либо обратном коде. При этом максимальное значение сигнала **B** определяется емкостью младших разрядов делителя-счетчика.

Если на вход формирователя переноса подан сигнал **A''** в прямом коде, то высокочастотная пауза будет сформирована в конце интервала модуляции. При подаче сигнала **A''** в обратном коде высокочастотная пауза формируется в начале интервала модуляции. Минимальное соотношение частот, когда интервал модуляции совпадает со временем существования эквивалентной цифры трехфазного кода **A'**, задается при $\mathbf{B}_{об}$, изменяющемся в пределах от $\mathbf{B}_{об}$= **A''** до $\mathbf{B}_{об}$=0.

Для увеличения частоты модуляции, например в два раза, необходимо на вход формирователя переносов подать цифровой сигнал **A''**, уменьшенный на один старший разряд. При этом следует соответственно изменить масштаб

входного сигнала **B.** Операции по изменению масштабов сигналов **A''** и **B** выполняются по сигналу **L**.

В инверторах, состоящих из нескольких трехфазных, наиболее целесообразно выполнение формирователя переносов по многофазному принципу в соответствии с числом трехфазных инверторов. Такое построение схемы позволит разнести во времени нулевые значения напряжений фаз этих трехфазных инверторов, что будет способствовать повышению плавности вращения электродвигателя привода и, как следствие этого, произойдет расширение диапазона регулирования. Расширение диапазона регулирования в этом случае объясняется тем, что даже при наступлении режима прерывности токов в одном из трехфазных инверторов в других инверторах такой режим наступит в другие моменты времени. Следовательно, исчезновение электромагнитного момента на валу электродвигателя привода будет сдвинуто в сторону меньших частот вращения.

4.4. Инверторы с улучшенной формой выходного напряжения

Необходимость использования инверторов с улучшенной формой выходного напряжения определяется характером подключаемой нагрузки. Ряд потребителей (синхронные следящие системы, высокоточные преобразователи угол-код, радиоаппаратура и т.д.) требует максимального приближения к синусоидальной форме на стабильной частоте при отсутствии каких-либо помех от высших гармонических составляющих.

Для формирования синусоидальной формы выходного напряжения инвертора нередко устанавливают между выходом инвертора и нагрузкой индуктивно-емкостные фильтры. Массогабаритные показатели этих фильтров определяются значениями высокочастотных гармоник, которые имеются в кривой выходного напряжения инвертора. Установленная мощность элементов фильтров будет при этом значительно меньше, чем при фильтрации простых прямоугольных форм напряжения. Для достижения необходимого результата на вход фильтра с выхода инвертора подается модулированное по заданному закону напряжение, а выходное напряжение фильтра должно с требуемой точностью приближаться к синусоидальному.

Однако только при активной нагрузке инвертора можно допустить, что напряжение на выходе, соответствующее i-й гармонике напряжения на входе фильтра, не зависит от других гармоник входа и выхода. Другими словами, если напряжения входа и выхода фильтра представлены рядами, т.е. $U_{вх}$, $U_{вых}$ представляют собой суперпозиции гармонических функций, то, подавая на вход отдельные гармоники $U^{i}_{вх}$, на выходе фильтра получим соответствующие гармоники $U^{i}_{вых}$, результат суперпозиции которых позволит синтезировать ту же функцию $U_{вых}$, какую мы получили бы, подавая на вход неразложенное напряжение $U_{вх}$. Такое допущение позволяет достаточно просто разработать ма-

шинный алгоритм расчета оптимальных фильтров, но такой подход не имеет практического применения в системах электропривода, где чисто активной нагрузки не существует.

Известно, что для электрических двигателей, которые являются сложной активно-индуктивной нагрузкой, форма кривой питающего их тока должна быть, как правило, синусоидальной. В этом случае между двигателем и инвертором обычно фильтры не ставятся, а функцию фильтра выполняют сами обмотки двигателя. Поэтому здесь рассматриваются инверторы с таким характером нагрузки. Основная задача синтеза при этом – создание оптимальной широтно-импульсной модуляции (ШИМ) выходного напряжения, которая должна обеспечить необходимую плавность вращения двигателя на определенной частоте вращения. Такое определение оптимальной ШИМ не совпадает с более распространенным [4.15], когда под оптимальным законом переключения понимается такое, которое приводит к отсутствию в кривой выходного напряжения инвертора нескольких высших гармонических, близких к основной.

Отсутствие гармоник при этом обусловлено числом импульсов и их длительностью в полупериоде выходного напряжения, а также их взаимным расположением, которые находятся из системы уравнений, полученных при равенстве нулю соответствующих гармоник. Такое представление оптимальной ШИМ более приемлемо для первого типа нагрузки и позволяет оптимизировать проектирование фильтров. Для достижения этой цели используются цифровые инверторы с "жестким" алгоритмом ШИМ [4.16], что редко встречается в системах регулируемого электропривода и выходит за рамки данного исследования.

Создание синусоидальной ШИМ в инверторах электроприводов переменного тока не является самоцелью, главное здесь – получение необходимой плавности вращения двигателя при сохранении высоких энергетических показателей. Если при высоких частотах вращения это может быть достигнуто даже в инверторах с простейшей формой выходного напряжения, то на низких частотах это можно получить только с улучшенной формой выходного напряжения.

Получение такой синусоидальной ШИМ традиционно осуществляется путем сравнения многофазного эталонного синусоидального сигнала с треугольным либо пилообразным. В результате сравнения вырабатываются многофазные сигналы переключения силовых элементов инвертора. Изменение величины эталонного сигнала позволяет регулировать выходное напряжение инвертора.

Аналогичный подход был использован в инверторах с полностью цифровым управлением [4.17] – [4.21], но из-за широкой известности этого решения он здесь не приводится.

Рассмотрим предложенный нами метод формирования квазисинусоидальной ШИМ, основанный на цифро-векторном представлении выходных напряжений инвертора.

Сущность этого метода заключается в том, что плавное вращение результирующего вектора напряжения достигается высокочастотным переключением вектора напряжения из одного дискретного состояния в последующее, когда время нахождения в предыдущем состоянии по мере вращения искусственного результирующего вектора уменьшается, а время нахождения в последующем увеличивается.

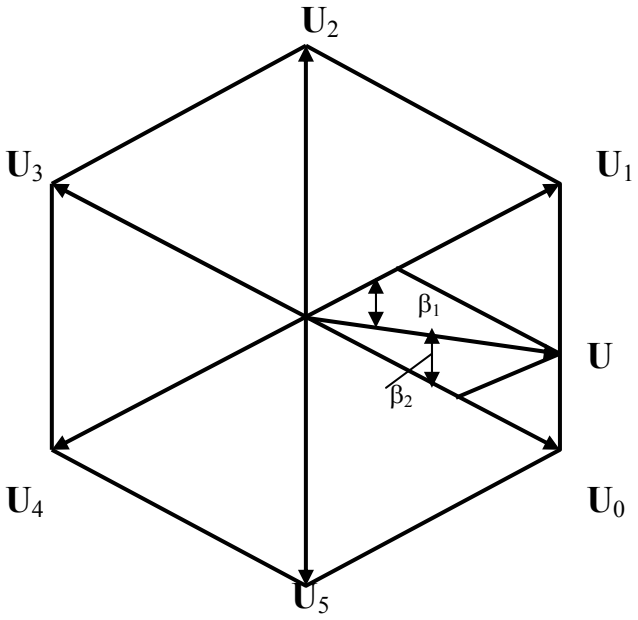


Рис. 4.10

Обратимся к положениям результирующего вектора напряжения, например трехфазного инвертора (рис. 4.10), где **U** – результирующий искусственный вектор выходного напряжения инвертора.

При движении вектора **U** от дискретного положения $\mathbf{U}_0$ к положению $\mathbf{U}_1$ по мере поворота времени t_1 нахождения его в положении $\mathbf{U}_0$ пропорционально углу β_1, а время t_2 нахождения в положении $\mathbf{U}_1$ пропорционально углу β_2. Здесь $t_1 + t_2 = T$ – период высокочастотного переключения. Очевидно, что годографом конца вектора **U** является при неограниченной частоте переключения вписанный шестиугольник.

Поскольку частота таких переключений всегда ограничена и естественно стремление по энергетическим показателям ее снизить, то каждому периоду высокочастотного переключения будут соответствовать искусственный вектор и искусственная точка положения ее конца. Взаимное расположение искусственных точек между собой и естественными точками, которые задаются концами векторов $\mathbf{U}_0 - \mathbf{U}_5$, определяется законом переключения этих рядом стоящих векторов.

Нетрудно убедиться, что для стабильности фазовых соотношений и устранения в кривых выходного напряжения многофазного инвертора четных гармонических составляющих необходима симметрия искусственных точек кон-

цов результирующего вектора относительно оси между соседними положениями естественных векторов. Поэтому времена t_1 и t_2 должны выстраиваться в такой последовательности при движении искусственного вектора от одной естественной точки до другой, чтобы время t_1 в первый период высокочастотного переключения равнялось бы времени t_2 в последний период, а время t_1 во второй период – времени t_2 в предпоследний период, и т.д.

Предположим, что за время существования эквивалентной цифры, например трехфазного кода, осуществляются четыре высокочастотных переключения. За весь период выходного напряжения их будет 24. Тогда с учетом сформулированного выше правила соотношения t_1/ t_2 за время одной эквивалентной цифры будут представлены следующим образом: 4/1, 3/2, 2/3, 1/4.

На рис. 4.11, *а*, *б* в двухмерном цифровом пространстве приведены выходные напряжения двух типов инверторов, где значения первой координаты отражают изменения соотношения времен t_1/ t_2 , когда переключение результирующего вектора напряжения происходит соответственно при отсутствии высокочастотной ШИМ и при ее наличии. Темным цветом здесь отмечены ячейки, где выходное напряжение имеет положительную полярность, а более светлым цветом – отрицательную. Пустая ячейка пространства соответствует нулевому значению выходного напряжения инвертора.

В моменты времени t_1 выходные напряжения инвертора остаются неизменными и соответствуют эквивалентным цифрам **0** – **5** , а на отрезке времени t_2 они изменяются и соответствуют этим цифрам, увеличенным на единицу.

Тогда для трехфазного инвертора, состоящего из трех однофазных, форма выходного напряжения (рис. 4.11, *а*) будет трапецеидальной при двухполярной ШИМ на участках с линейным изменением напряжения.

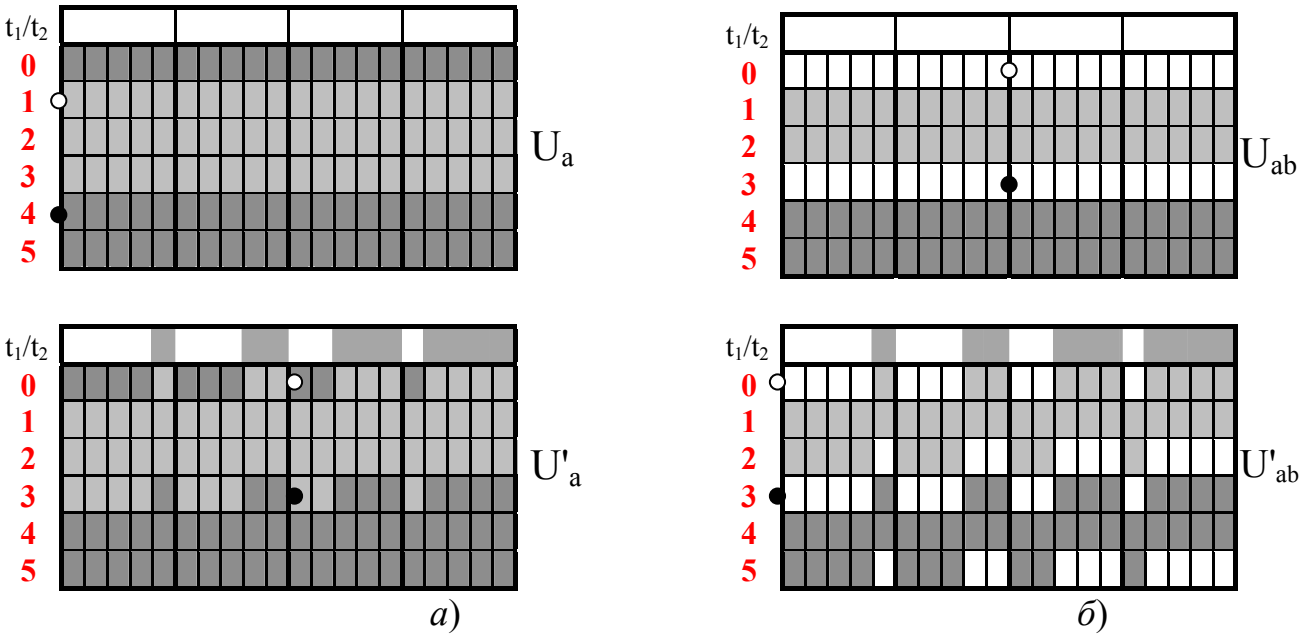


Рис. 4.11

Применение этого способа управления для трехфазного мостового инвертора при соединении обмоток электродвигателя в "треугольник" также задает трапецеидальную форму выходного напряжения на обмотках (рис. 4.11, *б*), но с однополярной ШИМ на участках с линейным изменением напряжения.

На этих рисунках точками отмечены моменты времени изменения полярности первой гармонической составляющей выходного напряжения инвертора: белой точкой – начало отрицательной полуволны, черной – положительной.

Впервые возможность получения такой близкой к синусоидальному закону ШИМ, формы напряжения на трехфазном мостовом инверторе была предложена в [4.22], а в дальнейшем усовершенствовалась в [4.23] – [4.25]. До этого времени считалось возможным получение такой формы выходного напряжения только на трех однофазных мостовых инверторах. Известное же к этому времени устройство управления трехфазным мостовым инвертором [4.26], где была поставлена задача получения аналогичной формы, не достигло этого, а форма выходного напряжения в нем меняется с изменением $\cos\varphi$ нагрузки. Аналогичное устройство [4.27] имеет в выходном напряжении четные гармонические составляющие, что отрицательно сказывается на энергетических показателях электропривода.

Форма выходного напряжения трехфазного мостового инвертора при соединении фаз обмоток электродвигателя "звездой" и рассмотренном выше управлении имеет более сложный вид, но ее определение не представляет каких-либо трудностей.

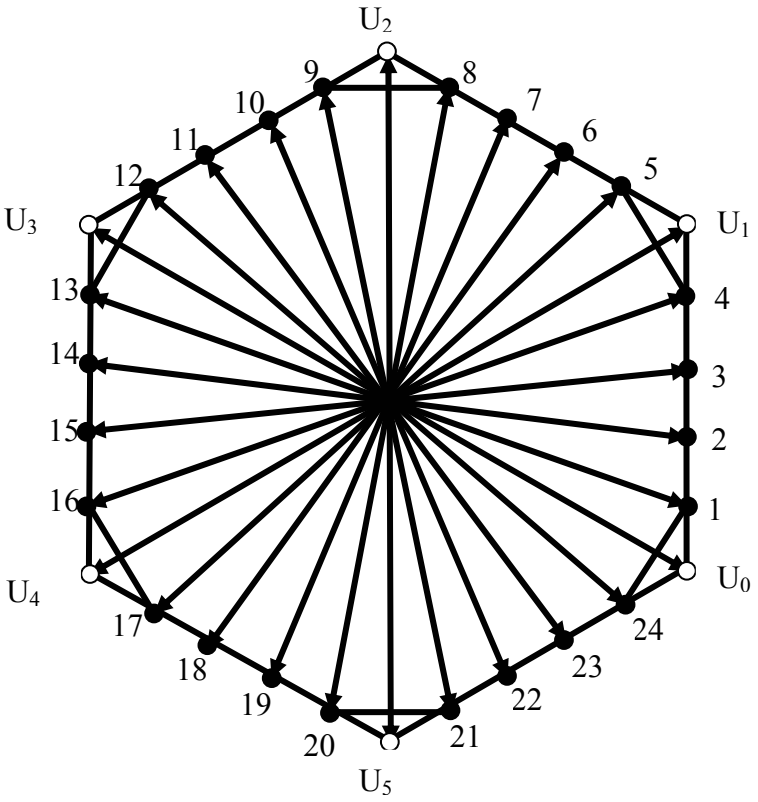


Рис. 4.12

Очевидно, что для любых схем трехфазных инверторов дискретные положения искусственного результирующего вектора напряжения, при принятом законе формирования последовательностей времен t_1, t_2, будут одинаковыми (рис. 4.12). При этом ни одно из дискретных положений результирующего вектора, обозначенных 1 – 24, не совпадает с положениями естественных векторов $\mathbf{U}_0 – \mathbf{U}_5$ и равномерность их положений несколько нарушается около этих векторов, где угол переключения увеличивается в два раза.

Следует отметить, что определение формы выходного напряжения любого типа инверторов с m числом фаз, когда известна его простейшая форма без ШИМ, не представляет каких-либо трудностей. Поэтому в дальнейшем будем рассматривать только инверторы, выполненные на трехфазном мостовом варианте.

Представленный выше закон формирования последовательности времен t_1, t_2 не будет нарушен, если принять одно из значений t_1 равным нулю, например первое. Тогда при шести периодах переключений за время существования эквивалентной цифры выходного трехфазного напряжения последовательность соотношений времен t_1/ t_2 будет выглядеть следующим образом: 5/0, 4/1, 3/2, 2/3, 1/4, 0/5.

Форма выходного напряжения инвертора для этого случая приведена на рис. 4.13, а дискретные положения 1 – 36 искусственного результирующего вектора напряжения – на рис. 4.14.

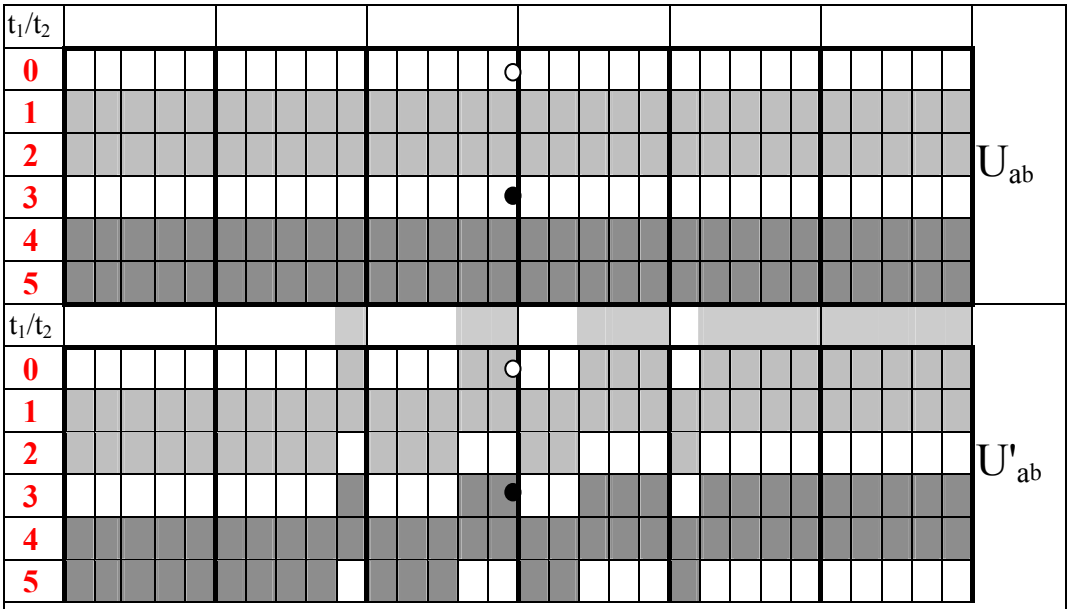


Рис. 4.13

Формы выходного напряжения фаз инвертора здесь, так же как в предыдущих схемах, представлены в двухмерном цифровом пространстве, где значения первой координаты отражают изменения соотношения времен t_1/ t_2 , когда переключение результирующего вектора напряжения происходит соответственно при отсутствии высокочастотной ШИМ и при ее наличии. Темным цветом

здесь отмечены ячейки, где выходное напряжение имеет положительную полярность, а светлым цветом – отрицательную. Пустая ячейка пространства соответствует нулевому значению выходного напряжения инвертора.

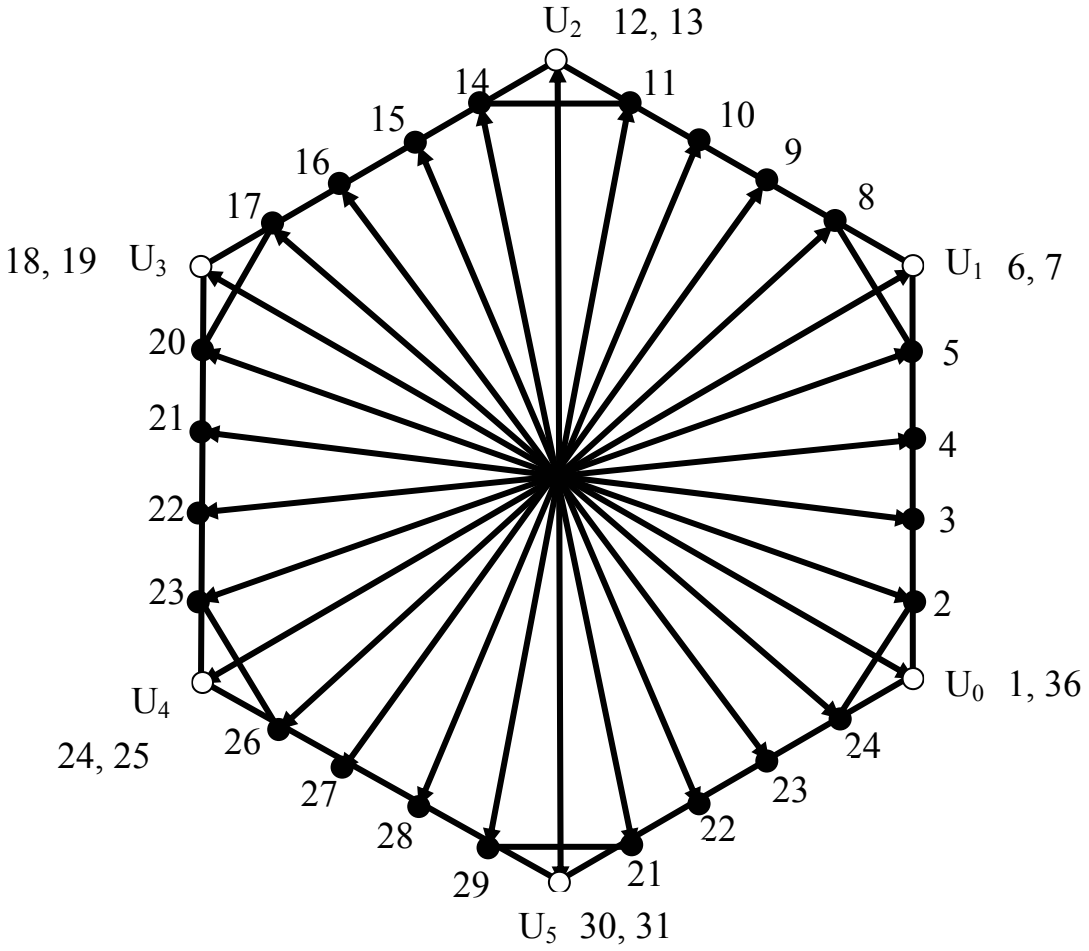


Рис. 4.14

В последующих исследованиях выходных напряжений инверторов будем их изображать аналогичным образом в двухмерном цифровом пространстве, не оговаривая каждый раз эти принципы построения. Только такое представление выходных напряжений всех фаз инверторов позволяет увидеть их вместе на всем периоде их изменения, используя для этого малые площади текста.

Из них видно, что здесь увеличилось не только число дискретных значений искусственного результирующего вектора, но при этом в эти значения попадают естественные векторы $\mathbf{U}_0 - \mathbf{U}_5$, в которых результирующий вектор находится время, равное двум периодам частоты высокочастотной коммутации.

Следует заметить, что частота переключений силовых элементов в предыдущем и настоящем вариантах переключений одинакова. Поэтому увеличение количества дискретных положений искусственного результирующего вектора напряжения не сопровождается увеличением динамических потерь в силовых элементах инвертора и, следовательно, снижением КПД инвертора.

В инверторах напряжения, где по внешнему сигналу **L** производится изменение формы выходного напряжения, например из представленных выше, в простейшую форму, желательно, чтобы фазы выходных напряжений относительно исходных оставались после переключения неизменными. Если для электроприводов с асинхронными электродвигателями это требование не является столь решающим, то для электроприводов с вентильными двигателями это требование обязательно, поскольку положение результирующего вектора напряжения здесь жестко “привязано” к положению ротора двигателя и эта связь должна быть неизменной.

Рассмотренные выше схемы не удовлетворяют этому требованию. В них между простейшей формой выходного напряжения и формой с квазисинусоидальной ШИМ имеется сдвиг в половину эквивалентной цифры трехфазного кода. Этот недостаток легко устраняется установкой в инверторе блоков с двумя группами трехфазных сигналов, которые сдвинуты между собой на половину эквивалентной цифры. Тогда если одна из групп служит базой для формирования квазисинусоидальной ШИМ, то другая, которая с ней синфазна, используется для получения простейшей формы инвертора.

Рассмотрим иной вариант построения схемы многофазного инвертора напряжения [4.28], где также применяется изложенный выше способ формирования результирующего вектора напряжения.

Структурная схема такого инвертора с цифровым модуляционным принципом формирования квазисинусоидальных напряжений приведена на рис. 4.15.

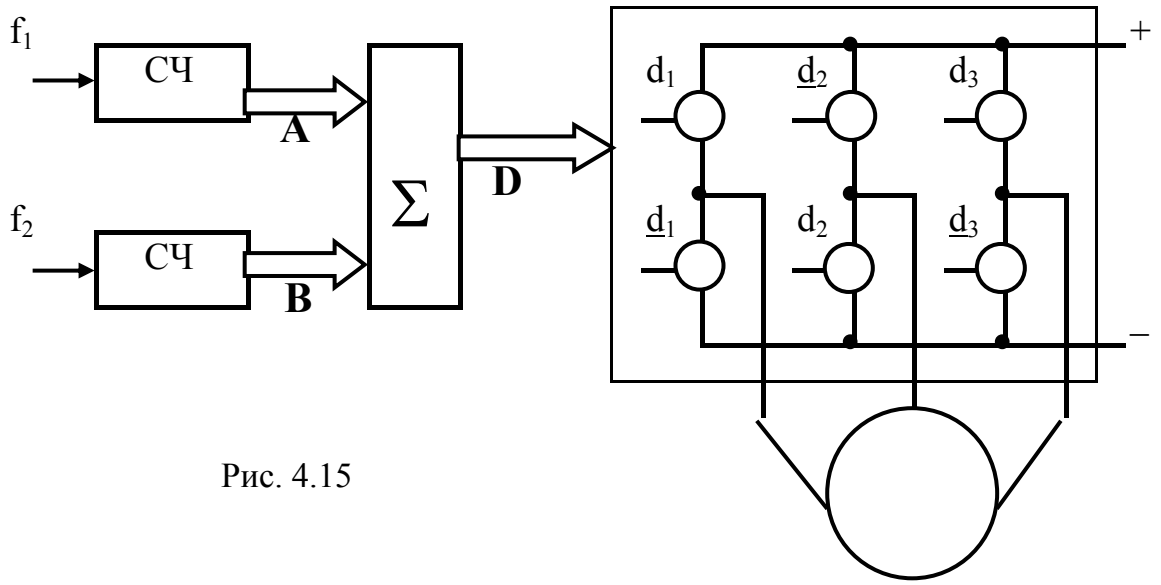


Рис. 4.15

Схема состоит из двух одинаковых делителей-счетчиков и суммирующего (вычитающего) блока, работающих в многофазных кодах. Поскольку работа таких блоков весьма подробно рассмотрена в предыдущих главах, то они будут представляться только функционально.

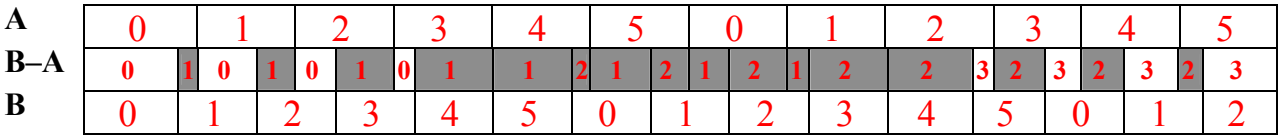
Сигналы двух кратных частот f_1 и f_2 поступают на входные шины двух одинаковых делителей-счетчиков, старшие разряды которых выполнены по числу фаз инвертора напряжения. После определения арифметической разно-

сти многофазных сигналов старших разрядов делителей-счетчиков в блоке суммирования (вычитания), где выходные сигналы представлены также в многофазном коде по числу фаз инвертора, они управляют непосредственно силовыми элементами мостового инвертора.

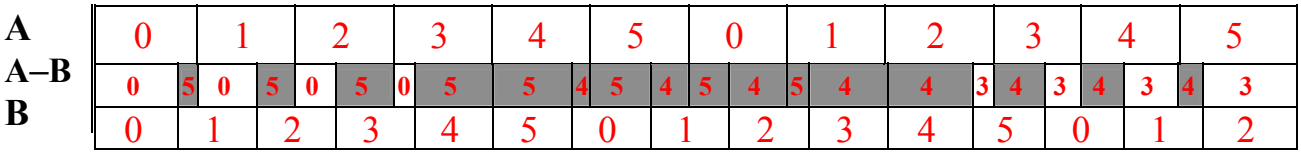
При совпадении частот f_1 и f_2, а также совпадении их начальных фаз разность сигналов многофазного кода **D** на выходе сумматора равна эквивалентной цифре **0**.

Пусть частота f_2 увеличится на кратное число, а исходные фазы частот совпадают, тогда для трехфазного варианта инвертора кодовые комбинации на выходе делителей-счетчиков, каждая из которых соответствует определенной цифре от **0** до **5**, будут изменяться соответственно через периоды времени $T_1=1/f_1$ и $T_2=1/f_2$. На рис. 4.16 для соотношения частот $f_1 / f_2 = 5/4$ приведены цифровые сигналы старших разрядов делителей-счетчиков **A** , **B** и цифровая разность этих сигналов **D**. Очевидно, что арифметическая разность трехфазных сигналов на выходе сумматора **D = (B – A)** или **D = (A – B)** и ее векторный эквивалент будут подчиняться рассмотренному выше способу формирования выходных напряжений инвертора: вращение искусственного результирующего вектора осуществляется высокочастотным переключением вектора из одного дискретного положения в последующее, где время нахождения в предыдущем состоянии по мере вращения результирующего вектора уменьшается, а время нахождения в последующем положении увеличивается. Частота выходного напряжения инвертора при этом определяется выражением $f= (f_1 – f_2)/2m$.

На рис. 4.16, *а* приведены цифровые сигналы, когда $f_1 < f_2$, а на рис. 4.16, *б* – $f_1 > f_2$. Если принять, что прямой порядок следования фаз инвертора определяется соотношением частот $f_1 < f_2$, то обратный порядок следования фаз будет при обратном соотношении частот.



а)



б)

Рис. 4.16

Следовательно, для смены направления вращения результирующего вектора напряжения достаточно поменять местами операнды либо входные частоты f_1/f_2 , тогда результат вычитания **(A – B)** определит обратный порядок следования эквивалентных цифр многофазного кода.

На рис. 4.16, *а* приведена только полуволна на первой половине периода выходного напряжения инвертора, когда определяется разность цифр (**В – А)**. Это положительная полуволна напряжения при прямом порядке следования эквивалентных цифр кода, и она выделена темным цветом.

На рис. 4.16, *б* приведена также только полуволна на первой половине периода выходного напряжения инвертора, когда определяется разность цифр (**А – В)**. Это отрицательная полуволна напряжения при обратном порядке следования эквивалентных цифр кода, и она также выделена темным цветом.

Данный способ формирования квазисинусоидальных напряжений можно назвать цифровой многофазной модуляцией.

Следует заметить, что основные задачи при создании систем энергоснабжения сводятся к уменьшению габаритных размеров и массы радиаторов силовых элементов за счет повышения КПД, уменьшению габаритных размеров и массы реактивных элементов путем увеличения частоты и исключения из схем низкочастотных трансформаторов. При этом увеличение частоты переключения в инверторах с формой, состоящей из прямоугольных импульсов токов и напряжений, ведет к увеличению динамических потерь. Эти потери вызываются рассеиванием энергии, запасенной в паразитных емкостях и индуктивностях, а также на силовых элементах. Другим недостатком инверторов с импульсным регулированием является высокий уровень помех. Учитывая, что помеха обусловлена наводкой через емкость связи $C_{св}$ на цепь с сопротивлением R, фронты импульсов с выхода силовых элементов амплитудой $U_и$ дифференцируются цепью $RC_{св}$ и создают короткие импульсы амплитудой U. При линейном изменении фронта импульса на выходе силового элемента от длительности $t_ф$

$$U = U_и R C_{св}| t_ф(1 - e^{- tф/ R Ссв}) \approx U_и R C_{св}/ t_ф.$$

Из этого следует, что даже при малых $C_{св}$, но больших $U_и$ и $R C_{св}/ t_ф$ амплитуда импульсов помехи может быть большой.

Уменьшения этих помех возможно достигнуть в резонансных инверторах, где используются резонансные LC-контуры, в которых паразитные элементы являются частью резонансного контура, что уменьшает коммутационные потери. При этом силовые элементы инверторов переключаются либо при нулевом токе, либо при нулевом значении напряжения, что уменьшает коммутационные потери. Регулирование выходного напряжения в резонансных инверторах осуществляется изменением частоты [4.40], [4.41], что может быть реализовано в схеме рис. 4.15.

Все рассмотренное выше в этой главе в основном относится к управлению силовыми элементами трехфазного мостового инвертора с длительностью их открытия $\alpha = \pi$ как при простейшей форме выходного напряжения, так и при квазисинусоидальной. Однако для электроприводов с вентильным двигателем, а также асинхронным двигателем при cos < 0,528 [4.29] предпочтительнее управление с длительностью $\alpha = 2\pi/3$.

Для реализации управления с $\alpha = 2\pi/3$ трехфазные сигналы $\mathbf{A}(a_1, a_2, a_3)$ проходят через общеизвестный дешифратор, преобразующий их в сигналы $k_1 – k_6$, которые управляют силовыми элементами мостового инвертора.

На рис. 4.17 приведены, например, сигналы k_1,k_2, управляющие одной из стоек мостового инвертора при отсутствии высокочастотной ШИМ, а также эти же сигналы k'_1,k'_2, если реализуется приведенный выше метод ШИМ. Из этого представления очевидно, что сигналы k'_i сохраняют основное преимущество управления при $\alpha = 2\pi/3$ – отсутствие сквозных токов в стойках мостового инвертора.

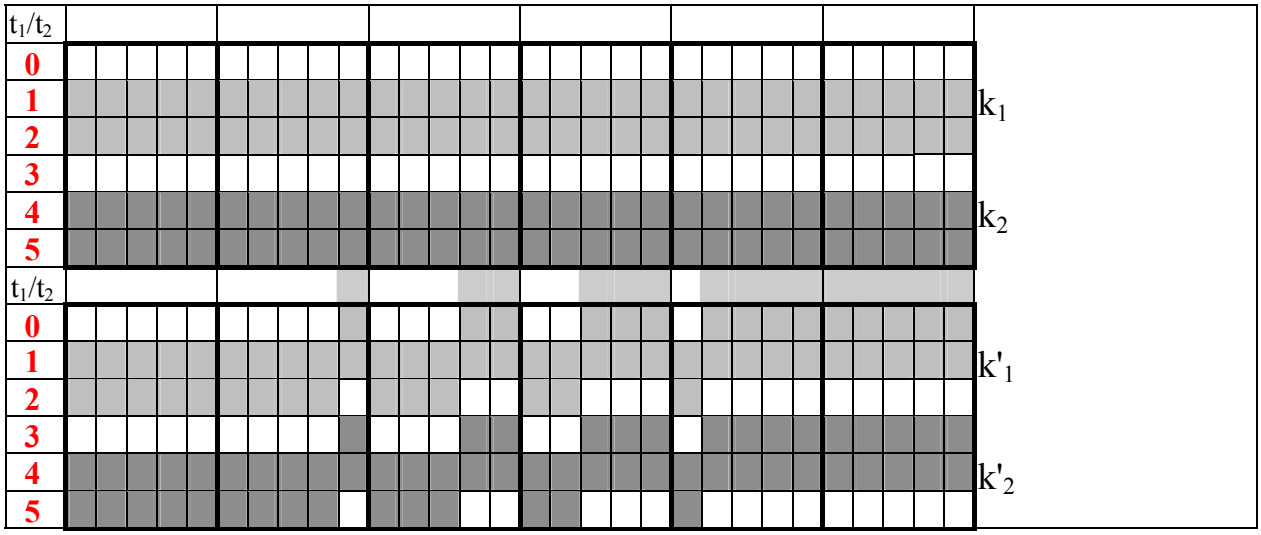


Рис. 4.17

Представленный метод формирования квазисинусоидальной ШИМ также весьма просто реализуется в структурной схеме рис. 4.18 для вентильного электродвигателя [4.30] при установке на его валу фазовращателя, первичные обмотки которого питаются высокочастотным трехфазным напряжением от приборного маломощного инвертора напряжения.

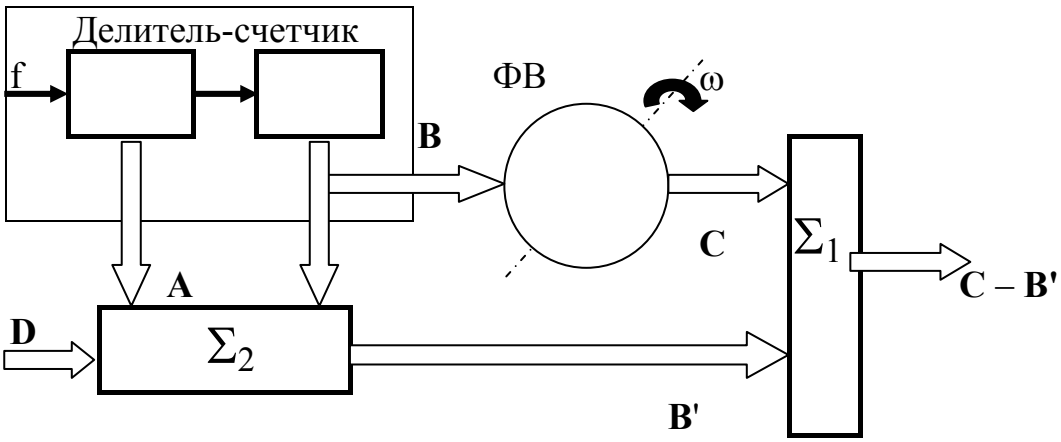


Рис. 4.18

Напряжение питания первичных обмоток фаз фазовращателя (ФВ) соответствует при этом сигналам трехфазного кода **B(**b_1, b_2, b_3**)** с выходных шин делителя-счетчика. Выходные трехфазные сигналы фазовращателя преобразуются соответствующим образом в сигналы трехфазного кода **C(**c_1, c_2, c_3**)** и поступают на первый вход сумматора $\mathbf{\Sigma_1}$, где реализуется арифметическая операция вычитания из него другого трехфазного кода **B'(**b'_1, b'_2, b'_3**)**.

Трехфазный сигнал разности (**C – B'**) используется для управления силовыми элементами трехфазного инвертора. При вращении вала электродвигателя со скоростью ω происходит изменение выходной частоты трехфазных напряжений фазовращателя, что обеспечивает необходимый закон формирования напряжений инвертора. При этом сигналы напряжений инвертора "привязаны" к валу электродвигателя, обеспечивая тем самым синхронность и синфазность переключения его силовых элементов относительно ротора. В схеме также имеется возможность сигналами цифрового кода **D** осуществлять "поворот" или "вращение" сигналов (**C – B'**) относительно ротора электродвигателя. С этой целью цифровой трехфазный сигнал **B** старшего разряда делителя-счетчика и сигнал **A** его младших разрядов подаются на первый вход сумматора $\mathbf{\Sigma_2}$, на второй вход которого поступает внешний цифровой сигнал **D**. Выходной трехфазный код сумматора **B'** и определяет привязку выходных сигналов (**C – B'**) относительно ротора электродвигателя.

Обобщенная структурная схема следующего варианта трехфазного мостового инвертора [4.24] с улучшенной формой выходного напряжения приведена на рис. 4.19.

Схема содержит делитель-счетчик, вместо которого в электроприводе с вентильным двигателем используется преобразователь угол-код, где представлены три разряда: старший разряд n_3 в трехфазном коде **A**(a_1, a_2, a_3) и младшие разряды оснований систем счисления n_2, n_1 в любом из известных кодов. Сигналы младших разрядов **C**, **B** делителя-счетчика поступают в логический блок (ЛБ), где формируются линейно нарастающие импульсы p, определяющие соответствующую последовательность соотношения времен t_1/t_2. Сигналы трехфазного кода **A**, проходя через сумматор Σ, увеличивают свое эквивалентное трехфазному коду значение на единицу при p = 1* и остаются неизменными при p = 0*.

Для управления с $\alpha = \pi$ выходные сигналы сумматора **A'(**a'_1, a'_2, a'_3) непосредственно управляют переключением силовых элементов инвертора, а при управлении с $\alpha = 2\pi/3$ это должно осуществляться через дешифратор.

Реализация логического блока возможна "жестким" либо программным способом, где по сигналу **L** изменяется число высокочастотных импульсов в кривой выходного напряжения. Число высокочастотных периодов за время существования эквивалентной цифры трехфазного кода, а также принцип формирования соотношений времен t_1/t_2 определяют основания систем счисления

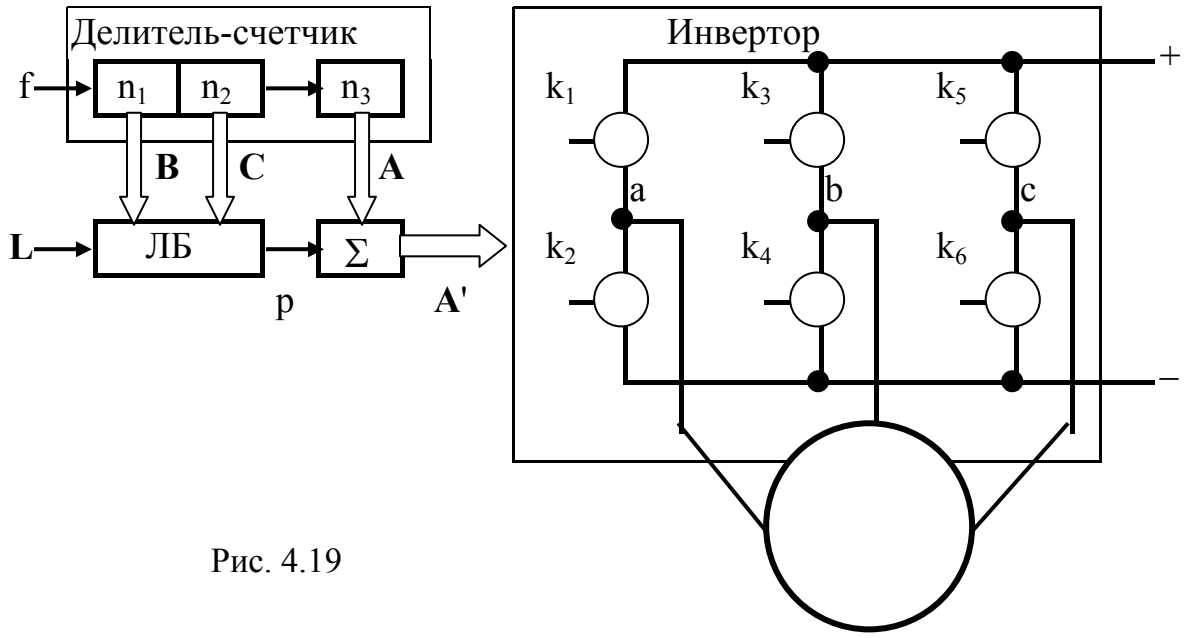


Рис. 4.19

разрядов n_2, n_1. Например, при двух периодах высокочастотных импульсов и соотношении времен t_1/t_2 как (1/0, 0/1) основание системы счисления второго разряда $n_2 = 2$, а первого разряда здесь нет ($n_1 = 0$). При трех периодах высокочастотных импульсов и соотношении t_1/t_2 как (2/0, 1/1, 0/2) основание системы счисления первого разряда $n_1 = 2$, второго разряда – $n_2 = 3$. При четырех периодах высокочастотных импульсов и соотношении t_1/t_2 как (3/0, 2/1, 1/2, 0/3) основания систем счисления $n_1 = 3$, $n_2 = 4$ и т.д.

Можно также строить логический блок при других соотношениях времен t_1/t_2, где не используются нулевые длительности импульсов, например (2/1, 1/2), (3/1, 2/2, 1/3), (4/1, 3/2, 2/3, 1/4) и т.д. В этом случае основания систем счисления разрядов n_1, n_2 делителя-счетчика должны быть другими, а именно: ($n_1 = 3$, $n_2 = 4$), ($n_1 = 4$, $n_2 = 5$), ($n_1 = 5$, $n_2 = 6$) и т.д.

Каким образом по внешнему цифровому коду изменять частоту выходных сигналов делителя-счетчика и основания систем счисления его разрядов n_2, n_1, достаточно подробно изложено в разд. 2.5 и в дальнейшем не будет приводиться, если в этом не будет необходимости.

Также за рамками настоящего изложения оставим вопрос построения контролеспособных блоков, выполняющих подобные функции.

Представим изложенное выше в виде табл. 4.4.1, где приведены соотношения времен для этих двух вариантов реализации логических блоков.

Форма выходных напряжений инвертора U^k_{ab} приведена на рис. 4.20 для k = 1, 2, где номер индекса k определяет соответствующее таблице соотношение t_1/t_2. Здесь для этих соотношений приведены исходное значение напряжения U_{ab}, выходные сигналы логического блока p^k , а также соотношения высокочастотных периодов с эквивалентной цифрой трехфазного кода.

Таблица 4.4.1

	Соотношения времен t_1/t_2	n_1	n_2
U^1_{ab}	1/0, 0,1 (2/0, 1/1, 0/2)	0,(2)	2,(3)
U^2_{ab}	2/1, 1/2	3	2
U^3_{ab}	3/0, 2/1, 1/2, 0/3		4
U^4_{ab}	3/1, 2/2, 1/3	4	3
U^5_{ab}	4/0, 3/1, 2/2, 1/3, 0/4		5
U^6_{ab}	4/1, 3/2, 2/3, 1/4	5	4
U^7_{ab}	5/0, 4/1, 3/2, 2/3, 1/4, 0/5		6
U^8_{ab}	5/1, 4/2, 3/3, 2/4, 1/5	6	5
U^9_{ab}	6/0, 5/1, 4/2, 3/3, 2/4, 1/5, 0/6		7
U^{10}_{ab}	6/1, 5/2, 4/3, 3/4, 2/5, 1/6	7	6
U^{11}_{ab}	7/0, 6/1, 5/2, 4/3, 3/4, 2/5, 1/6, 0/7		8
U^{12}_{ab}	7/1, 6/2, 4/4, 3/5, 2/6, 1/7	8	7
U^{13}_{ab}	8/0, 7/1, 6/2, 5/3, 4/4, 3/5, 2/6, 1/7, 0/8		9
U^{14}_{ab}	8/1, 7/2, 6/3, 5/4, 4/5, 3/6, 2/7, 1/8	9	8
U^{15}_{ab}	9/0, 8/1, 7/2, 6/3, 5/4, 4/5, 3/6, 2/7, 1/8, 0/9		10
U^{16}_{ab}	9/1, 8/2, 7/3, 6/4, 5/5, 6/4, 7/3, 8/2, 9/1	10	9

Напряжение U^1_{ab} также соответствует упрощенной форме выходного напряжения, но со сдвигом на половину длительности эквивалентной цифры относительно напряжения U_{ab}. При этом необходимо заметить, что использование соотношений t_1/t_2 как (2/0, 1/1, 0/2) нецелесообразно по аппаратурным затратам в сравнении с соотношением 1/0, 0/1.

Из представленного следует, что младшие разряды делителя-счетчика n_1 и n_2 должны выполняться в системах счисления, отличных на единицу в любом коде, но наиболее выгоден здесь именно по аппаратурным затратам многофазный код. При этом сигнал p^k полностью определяет форму выходного напряжения инвертора.

В качестве примера на рис. 4.21 приведены сигналы для p^{15} и p^{16}, где пустые ячейки соответствуют времени t_1 , а закрашенные – t_2.

Последовательное прохождение здесь по всем ячейкам цифрового пространства от первой до последней и задает изменение сигнала p^i.

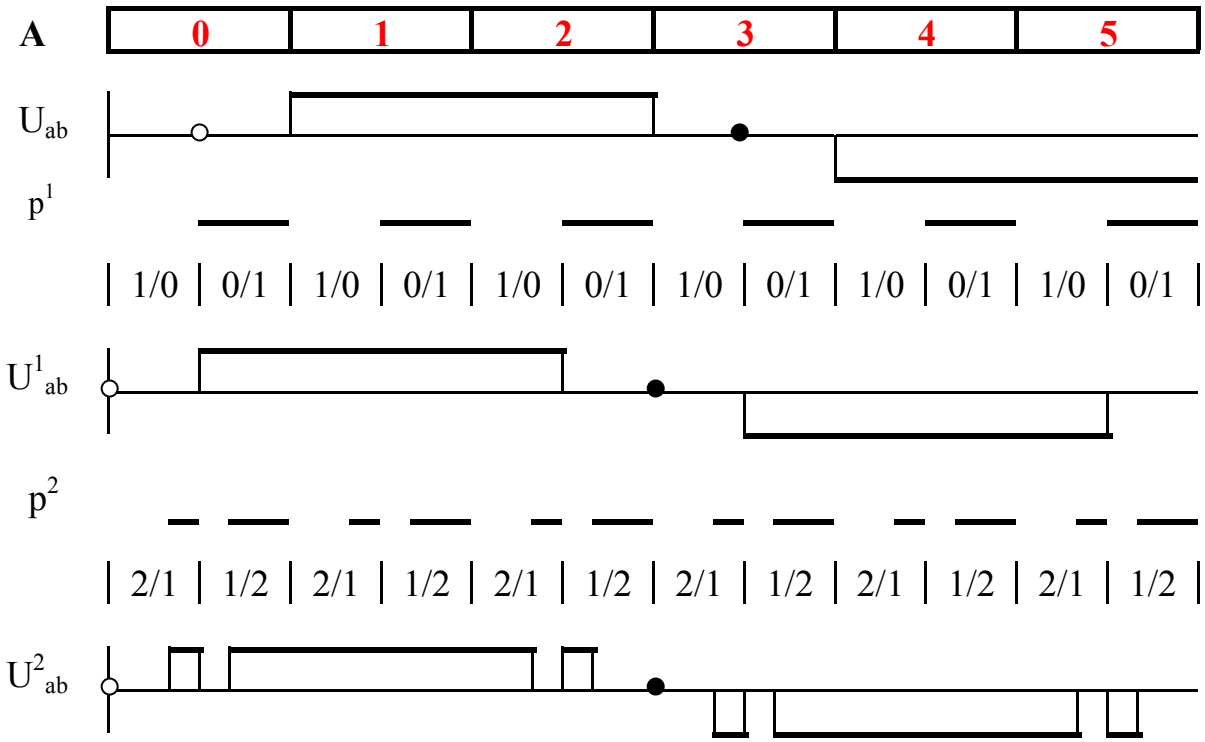


Рис. 4.20

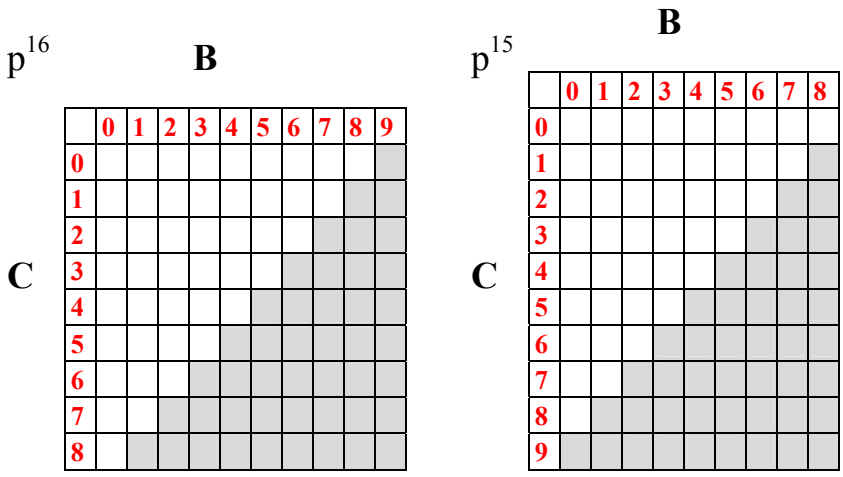


Рис. 4.21

Тогда выходное напряжение инвертора U^i_{ab} определяется по следующему правилу: при сигнале $p^i = 0^*$ форма напряжения U^i_{ab} при всех эквивалентных цифрах **0 – 5** кода **A** совпадает с формой напряжения U_{ab}, а при сигнале $p^i = 1^*$ форма напряжения U^i_{ab} будет совпадать с формой напряжения U_{ab}, но для следующей эквивалентной цифры кода **A**: на участке цифры **0** она будет совпадать с формой U_{ab} для участка цифры **1**, на участке цифры **1** она будет совпадать с формой U_{ab} для участка цифры **2** и т.д.

При этом видно, что сдвиг фаз между напряжениями U_{ab} и U^i_{ab} постоянен и всегда равен половине эквивалентной цифры кода **A**.

Первая реализация схемы инвертора по рассмотренному принципу была предложена в [4.31] для U^{16}_{ab}, где младшие разряды делителя-счетчика выполнены в пятифазном коде, а пауза длительностью t_2 устанавливается в начале высокочастотного периода.

Размещение высокочастотной паузы в конце периода по сравнению с ее установкой в начале высокочастотного периода несущественно ухудшает гармонический состав выходного напряжения инвертора при большом числе высокочастотных импульсов, как это и выполнено в [4.24]. При незначительном числе высокочастотных импульсов форма выходного напряжения будет отличаться от рассмотренных выше и для U^{1}_{ab} не совпадает с традиционной упрощенной формой.

Для систем электропривода с перестраиваемой формой выходного напряжения инвертора, когда на низких частотах вращения электродвигателей требуется квазисинусоидальная форма, а на высоких частотах вращения – упрощенная, необходима установка высокочастотной паузы в начале соответствующего периода.

Остановимся более подробно на переходах из одного режима работы инвертора в другой (табл. 4.4.1).

Если в системе необходим только один переход, например из режима для U^{k}_{ab} в режим U^{1}_{ab}, и при этом переходе частота выходного напряжения инвертора должна остаться неизменной, то это нетрудно выполнить, если основание системы счисления второго разряда делителя-счетчика четно. В самом деле, для U^{1}_{ab} необходимо иметь $n_2 = 2$, а для U^{1}_{ab}, где n_2 четно и выполнено в двоичном либо многофазном кодах, всегда есть сигнал, совпадающий с основанием системы счисления два. Для нечетных n_2, когда n_1 всегда четно, также несложно сформировать сигнал, занимающий половину периода младшего разряда **C** .

Для пояснения этого утверждения обратимся к рис. 4.22, где приведены сигналы пятифазного кода **C** (c_1, c_2, c_3) второго разряда n_2 делителя-счетчика и сигнал b_5 первого разряда n_1 этого делителя-счетчика.

Из этого рисунка, видно, что $s = \underline{c}_1 c_5 \vee c_1 c_5 b_5$ и здесь присутствует необходимый сигнал. Тогда на вход сумматора (рис. 4.19) вместо сигнала p должен подаваться сигнал $p' = pL \vee \underline{c}_1 c_5 \underline{L} \vee c_1 c_5 b_5 \underline{L}$.

При сигнале L = 1* на выходе инвертора будут формироваться выходные напряжения типа U^{16}_{ab} , а при L = 0* – выходное напряжения типа U^{1}_{ab}. При этих переключениях напряжения остаются синхронными и синфазными, что позволяет использовать такую схему инвертора в электроприводах не только с асинхронным электродвигателем, но и вентильным.

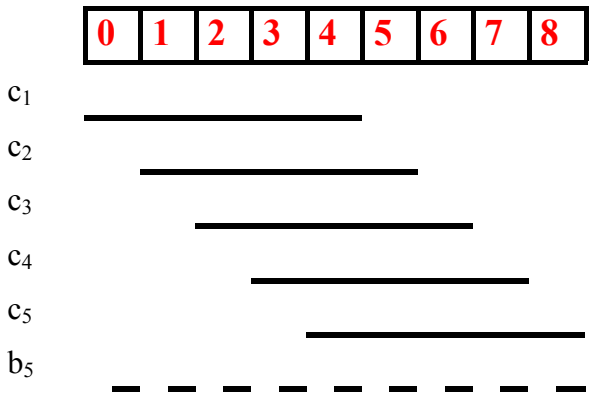


Рис. 4.22

Если исключить требования синхронности и синфазности переключаемых напряжений инвертора, что будет сопровождаться и изменением их выходных частот, то переход от одной формы выходного напряжения к другой, например по закону $U^{16} \rightarrow U^{14} \rightarrow U^{12}$ и т.д., будет заключаться в одновременном изменении оснований систем счисления n_1 и n_2 разрядов делителя-счетчика. Причем изменение циклов переключения этих разрядов должно осуществляться разным путем: у разряда n_1 убираются старшие цифры, а у разряда n_2 – младшие цифры.

Обратимся к рис. 4.23, где приведены цифровые сигналы **0** – **9** первого разряда **B** и соответствующие им сигналы "интегрального" кода $t_1(1)$, ... , $t_1(9)$, которые должны определять соответствующие длительности времени t_1. Логический блок схемы инвертора при этом выполняется по выражению

$$p = t_1(1)\mathbf{1}_c \vee t_1(2)\mathbf{2}_c \vee t_1(3)\mathbf{3}_c \vee \ldots \quad \vee \; t_1(9)\mathbf{9}_c,$$

где $\mathbf{1}_c$ – $\mathbf{9}_c$ - цифровые сигналы второго разряда **C** делителя-счетчика.

При полном цикле переключения младших разрядов n_1 , n_2 , когда сигналы разряда n_2 проходят все цифры от $\mathbf{0}_c$ до $\mathbf{9}_c$, а разряда n_1 от $\mathbf{0}_b$ до $\mathbf{8}_b$ n_2 раз, выходные напряжения инвертора будут аналогичны $U^{16}{}_{ab}$.

Если по сигналу **L** произойдет переключение и цифры разряда n_1 станут изменять свои значения от $\mathbf{0}_b$ до $\mathbf{8}_b$, а разряда n_2 только от $\mathbf{1}_c$ до $\mathbf{8}_c$, то выходные напряжения инвертора изменятся и станут аналогичны $U^{14}{}_{ab}$ и т.д.

Подобным образом может быть построена схема инвертора, где по внешнему сигналу **L** будет происходить изменение формы выходного напряжения инвертора по закону $U^{15} \rightarrow U^{13} \rightarrow U^{11}$ и т.д.

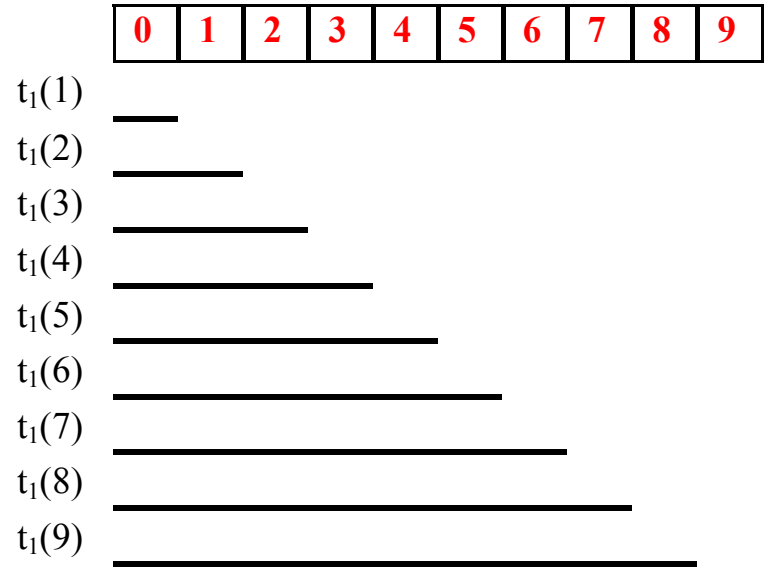


Рис. 4.23

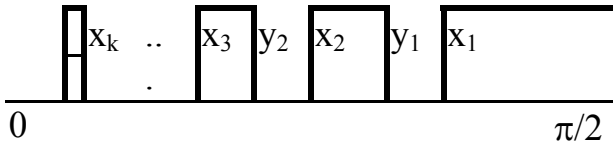


Рис. 4.24

Остановимся на гармоническом составе напряжений инвертора, заданных табл. 4.4.1.

Таблица 4.4.2

$n_2 = n_1 - 1$	$n_2 = n_1+1$
$x_1 = \pi/6 + \pi/3n_2 \times (n_1 - 1)/ n_1$, $y_1 = \pi/3n_2 \times 1/ n_1$	$x_1 = \pi/6 + \pi/3n_2 + \pi/3n_2 \times (n_1 - 1)/ n_1$, $y_1 = \pi/3n_2 \times 1/ n_1$
$x_2 = \pi/3n_2 \times (n_1 - 2)/ n_1$, $y_2 = \pi/3n_2 \times 2/ n_1$	$x_2 = \pi/3n_2 \times (n_1 - 2)/ n_1$, $y_2 = \pi/3n_2 \times 2/ n_1$
$x_3 = \pi/3n_2 \times (n_1 - 3)/ n_1$, $y_3 = \pi/3n_2 \times 3/ n_1$	$x_3 = \pi/3n_2 \times (n_1 - 3)/ n_1$, $y_3 = \pi/3n_2 \times 3/ n_1$
...	
$x_{n_2-1} = \pi/3n_2 \times 2/ n_1$, $y_{n_2-1} = \pi/3n_2 \times (n_2-1)/ n_1$	$x_{n_2-3} = \pi/3n_2 \times 2/ n_1$, $y_{n_2-3} = \pi/3n_2 \times (n_2-3)/ n_1$
$x_{n_2} = \pi/3n_2 \times 1/ n_1$, $y_{n_2} = \pi/3\times 1/ n_1$	$x_{n_2-2} = \pi/3n_2 \times 1/ n_1$, $y_{n_2-2} = \pi/3n_2 \times (n_2-2)/ n_1 + \pi/3n_2$

Учитывая симметрию выходных напряжений инвертора и обозначив длительности высокочастотных импульсов x_i и пауз между ними y_i, как это представлено на четверти периода фазы выходного напряжения рис. 4.24, нетрудно определить значения любой λ-й (λ = 1, 3, 5, ...) гармоники напряжения.

Необходимые для расчета спектров напряжений $U^{16}_{ab} - U^{1}_{ab}$ значения x_i, y_i приведены в табл. 4.4.2.

Следует отметить, что если убрать требование пропорционального изменения напряжений U_{ab}, U_{bc}, U_{cb} строго на отрезках, равных эквивалентной цифре трехфазного кода **A**, а формировать эти линейные изменения напряжений на меньшей части эквивалентной цифры кода, то можно в схеме рис. 4.19 младшие разряды делителя-счетчика установить равного основания $n_1 = n_2$. В этом случае логический блок должен будет выполнять функцию формирования сигналов угловых множеств операнд **B** и **C**. При этом, управляя по сигналу **L** из-

менением угловых множеств, например в сторону их уменьшения, можно менять угловые положения выходных напряжений U_{ab}, U_{bc}, U_{cb} инвертора относительно полного цифрового кода делителя-счетчика. Здесь также возможно и изменение формы выходных напряжений инвертора.

Таблица 4.4.3

n	x_1	y_1	x_2	y_2	x_3	y_3	x_4	y_4	x_5	y_5	x_6	y_6	x_7	y_7	x_8	y_8	x_9	y_9
2	4Δ	2Δ																
3	8Δ	Δ	1Δ	3,5Δ														
4	13Δ	Δ	2Δ	2Δ	1Δ	5Δ												
5	19Δ	Δ	3Δ	2Δ	2Δ	3Δ	1Δ	6,5Δ										
6	26Δ	Δ	4Δ	2Δ	3Δ	3Δ	2Δ	4Δ	1Δ	8Δ								
7	34Δ	Δ	5Δ	2Δ	4Δ	3Δ	3Δ	4Δ	2Δ	5Δ	1Δ	9,5Δ						
8	43Δ	Δ	6Δ	2Δ	5Δ	3Δ	4Δ	4Δ	3Δ	5Δ	2Δ	6Δ	1Δ	11Δ				
9	53Δ	Δ	7Δ	2Δ	6Δ	3Δ	5Δ	4Δ	4Δ	5Δ	3Δ	6Δ	2Δ	7Δ	1Δ	12,5Δ		
10	64Δ	Δ	8Δ	2Δ	7Δ	3Δ	6Δ	4Δ	5Δ	5Δ	4Δ	6Δ	3Δ	7Δ	2Δ	8Δ	1Δ	14Δ

Обозначим "длительность" единицы младшего разряда делителя-счетчика $\Delta = \pi/3n^2$, тогда "длительность" отрезков x_i, y_i представляется данными табл. 4.4.3.

4.5. Инверторы с улучшенной формой выходного напряжения, состоящие из нескольких трехфазных

Обычно при рассмотрении работы многофазных инверторов с числом фаз больше трех ограничиваются упрощенной формой выходного напряжения. Это объясняется именно желанием упрощения схемы инвертора для достижения требуемой плавности вращения электродвигателя без использования синусоидальной ШИМ.

Рассмотренные выше схемы трехфазных инверторов позволяют построить многофазные инверторы напряжения с числом фаз, кратных трем, имеющие и улучшенную форму выходного напряжения.

Обратимся к такому инвертору напряжения, состоящему, например, из пяти трехфазных. Сигналы такого инвертора эквивалентны пятнадцатифазному коду.

На рис. 4.25 приведены сигналы пятнадцатифазного кода $\mathbf{A}(a_1 - a_{15})$ и эквивалентные им цифры **0** – **29**.

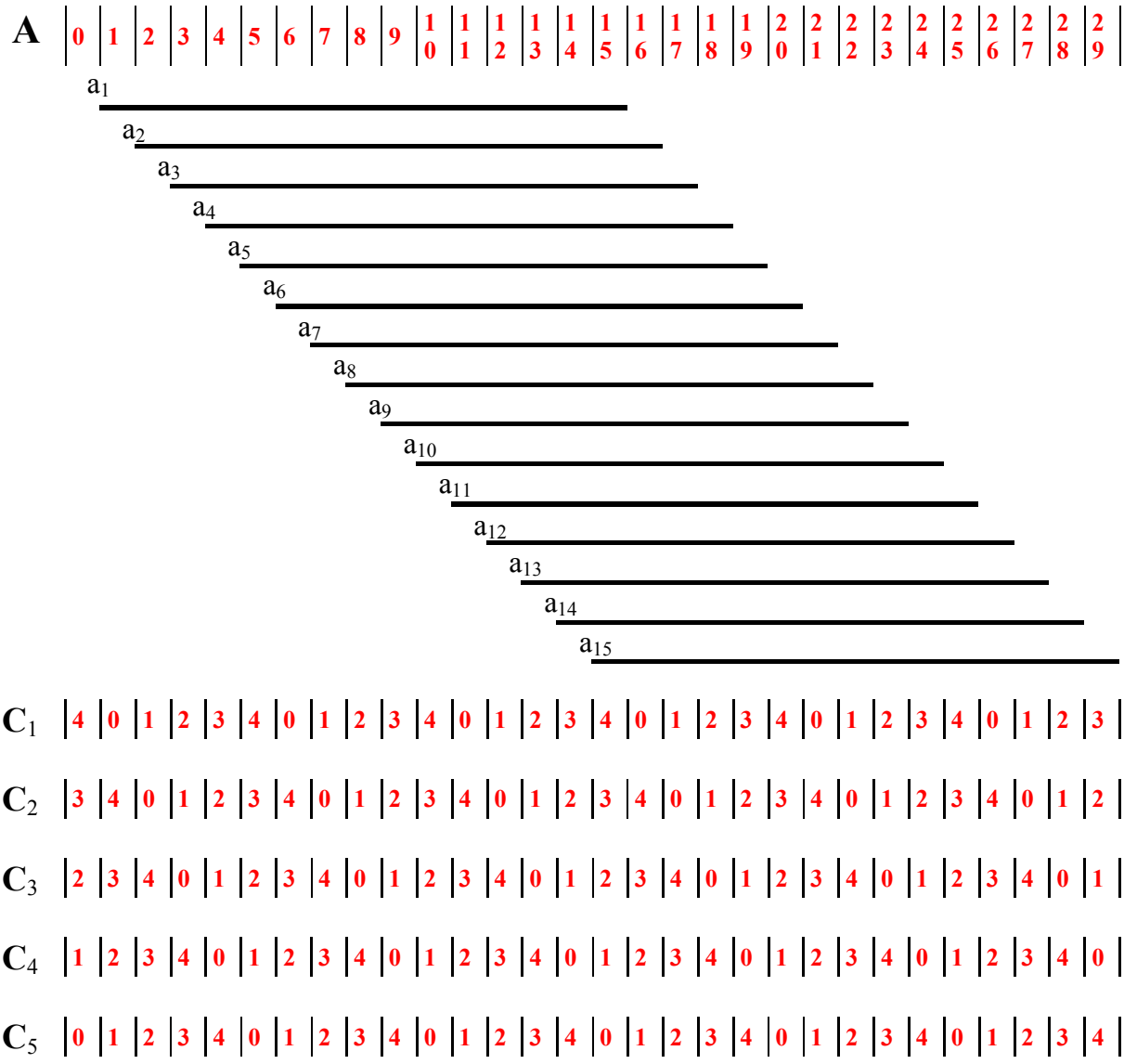


Рис. 4.25

Из этих пятнадцати сигналов могут быть выделены пять сигналов трехфазного кода соответственно: $\mathbf{A}_1(a_1, a_6, a_{11})$, $\mathbf{A}_2(a_2, a_7, a_{12})$, $\mathbf{A}_3(a_3, a_8, a_{13})$, $\mathbf{A}_4(a_4, a_9, a_{14})$, $\mathbf{A}_5(a_1, a_{10}, a_{15})$.

В делителе-счетчике, где старший разряд имеет пятнадцать фаз, можно выделить пять сигналов искусственного (мнимого) разряда основания $n_1=5$. Это сигналы $\mathbf{C}_1$, $\mathbf{C}_2$, $\mathbf{C}_3$, $\mathbf{C}_4$, $\mathbf{C}_5$, каждый из которых эквивалентен пяти цифрам **0** – **4**.

Для сигнала $\mathbf{C}_1$ эти цифры определяются следующими зависимостями:

$$\mathbf{0} = a_1 \underline{a}_2 \vee a_6 \underline{a}_7 \vee a_{11} \underline{a}_{12} \vee \underline{a}_1 a_2 \vee \underline{a}_6 a_7 \vee \underline{a}_1 a_{12};$$

$$\mathbf{1} = a_2 \underline{a}_3 \vee a_7 \underline{a}_8 \vee a_{12} \underline{a}_{13} \vee \underline{a}_2 a_3 \vee \underline{a}_7 a_8 \vee \underline{a}_{12} a_{13};$$

$$\mathbf{2} = a_3 \underline{a}_4 \vee a_8 \underline{a}_9 \vee a_{13} \underline{a}_{14} \vee \underline{a}_3 a_4 \vee \underline{a}_8 a_9 \vee \underline{a}_{13} a_{14};$$

$$\mathbf{4} = \underline{a}_5 a_6 \vee a_{10} \underline{a}_{11} \vee a_{15} a_1 \vee \underline{a}_5 a_6 \vee a_{10} a_{11} \vee \underline{a}_{15} \underline{a}_1.$$

Для сигналов $\mathbf{C}_2$, $\mathbf{C}_3$, $\mathbf{C}_4$, $\mathbf{C}_5$ соответствующие им цифры **0** – **4** получаются простой круговой перестановкой цифр сигнала $\mathbf{C}_1$, как это показано на рис. 4.25.

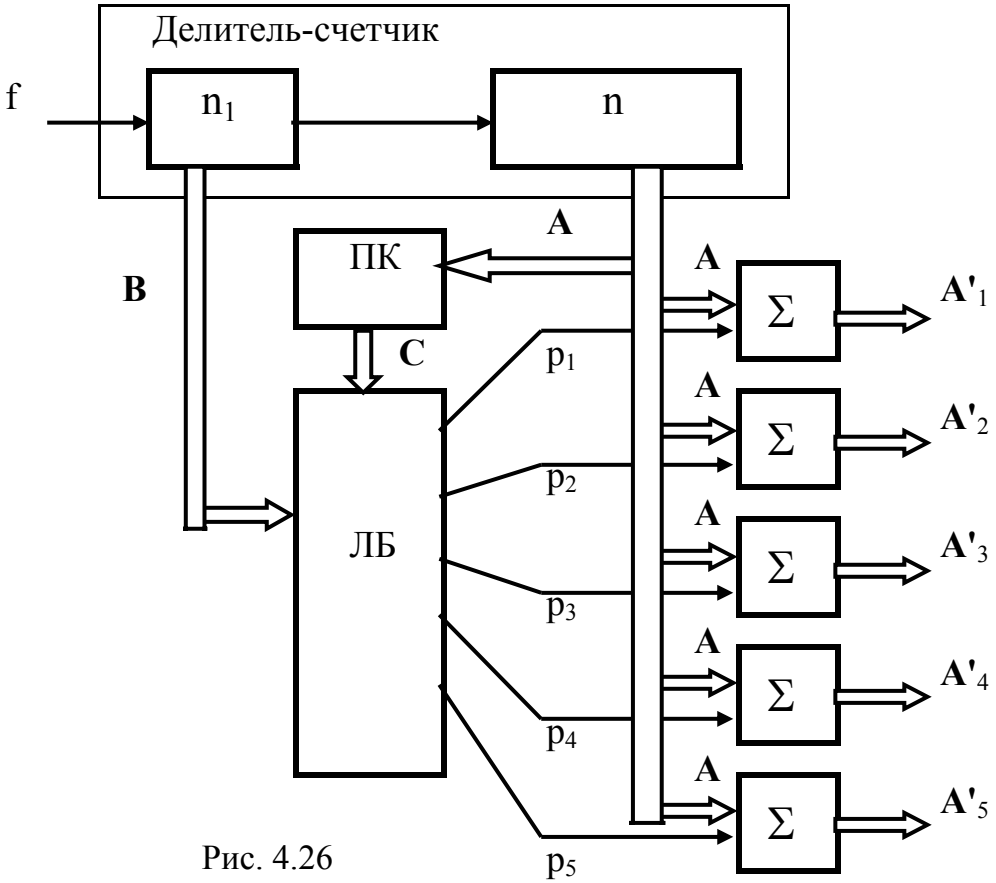


Рис. 4.26

Теперь представим структурную схему управления таким инвертором с улучшенной формой выходного напряжения (рис. 4.26).

В этой схеме младший разряд делителя-счетчика должен иметь основание системы счисления $n_1 = 6$, т.е. выполняться, например, в трехфазном коде: **B** (b_1, b_2, b_3). Тогда логический блок (ЛБ), имеющий пять выходных сигналов $p_1 - p_5$, в соответствии с изложенным в предыдущем разделе, будет представлен следующими логическими зависимостями:

$$\begin{vmatrix} p_1 \\ p_2 \\ p_3 \\ p_4 \\ p_5 \end{vmatrix} = \begin{vmatrix} \underline{b_2}b_3 & \underline{b_1}b_3 & b_3 & (b_2 \vee b_3) & (b_1 \vee b_3) \\ (b_1 \vee b_3) & \underline{b_2}b_3 & \underline{b_1}b_3 & b_3 & (b_2 \vee b_3) \\ (b_2 \vee b_3) & (b_1 \vee b_3) & \underline{b_2}b_3 & \underline{b_1}b_3 & b_3 \\ b_3 & (b_2 \vee b_3) & (b_1 \vee b_3) & \underline{b_2}b_3 & \underline{b_1}b_3 \\ \underline{b_1}b_3 & b_3 & (b_2 \vee b_3) & (b_1 \vee b_3) & \underline{b_2}b_3 \end{vmatrix} \begin{vmatrix} \mathbf{B} \\ \end{vmatrix} \begin{vmatrix} \mathbf{0} \\ \mathbf{1} \\ \mathbf{2} \\ \mathbf{3} \\ \mathbf{4} \end{vmatrix} \mathbf{C} .$$

При этом выполнение блоков преобразователя кодов (ПК) и сумматоров (Σ) также очевидно из материалов предыдущих разделов. Выходное напряжение для каждого трехфазного мостового инвертора соответствует значению гармонических составляющих напряжения U^{8}_{ab} табл. 4.4.3.

Инверторы с улучшенной формой выходного напряжения, состоящие из нескольких трехфазных, могут быть построены и по модуляционному принципу. Один из вариантов структурной схемы управления для такого инвертора (рис. 4.27) применен в схеме управления инвертором вентильного электропривода, где на одном валу с синхронной машиной установлен фазовращетель (ФВ). Число фаз инвертора, например, равно восемнадцати, а число фаз первичных и выходных обмоток фазовращателя равно только трем. Питание первичных обмоток фазовращателя осуществляется от маломощного инвертора напряжения (Ин), выходные напряжения которого определяются сигналами **B**(b_1, b_2, b_3) трехфазного кода старшего разряда n_2 делителя-счетчика.

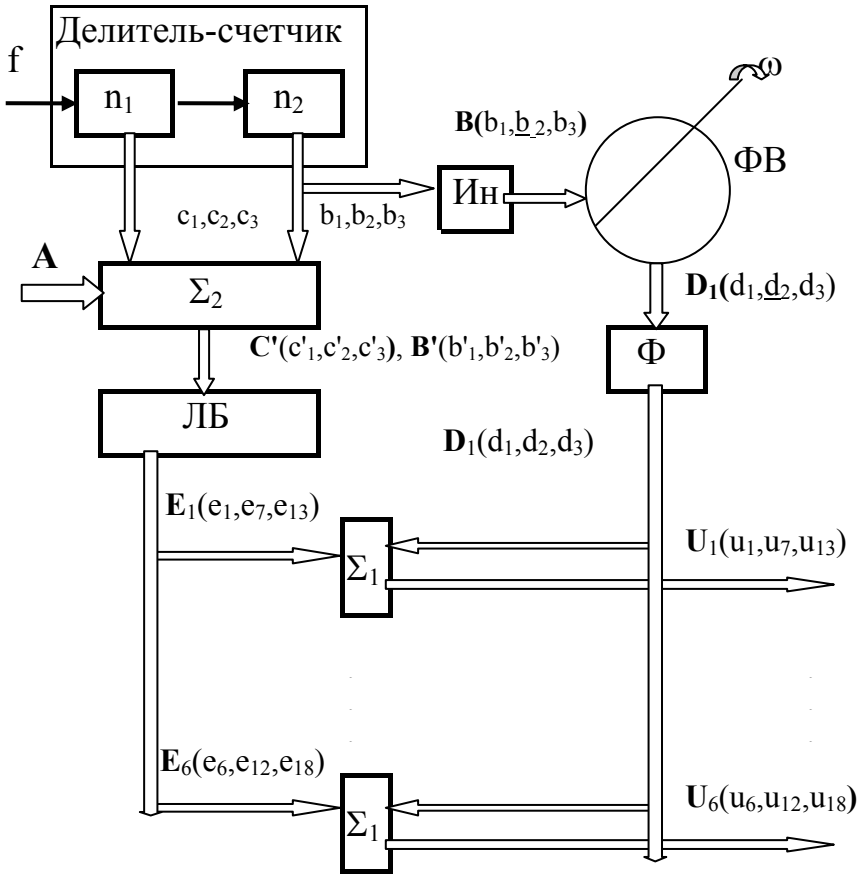


Рис. 4.27

Младший разряд делителя-счетчика n_1 также выполнен в трехфазном коде **C**(c_1, c_2, c_3). Трехфазные сигналы **B** и **C** в логическом блоке (ЛБ) преобразуются в восемнадцатифазные сигналы, которые могут быть представлены ансамблем

из шести трехфазных сигналов: $\mathbf{E}_1(e_1, e_7, e_{13})$, $\mathbf{E}_2(e_2, e_8, e_{14})$, $\mathbf{E}_3(e_3, e_9, e_{15})$, $\mathbf{E}_4(e_4, e_{10}, e_{16})$, $\mathbf{E}_5(e_5, e_{11}, e_{17})$, $\mathbf{E}_6(e_6, e_{12}, e_{18})$.

Преобразование поясняется размещением в двухмерном цифровом пространстве координат **B** и **C** каждого из восемнадцати сигналов e_1 , ... , e_{18}, что приведено на рис. 4.28.

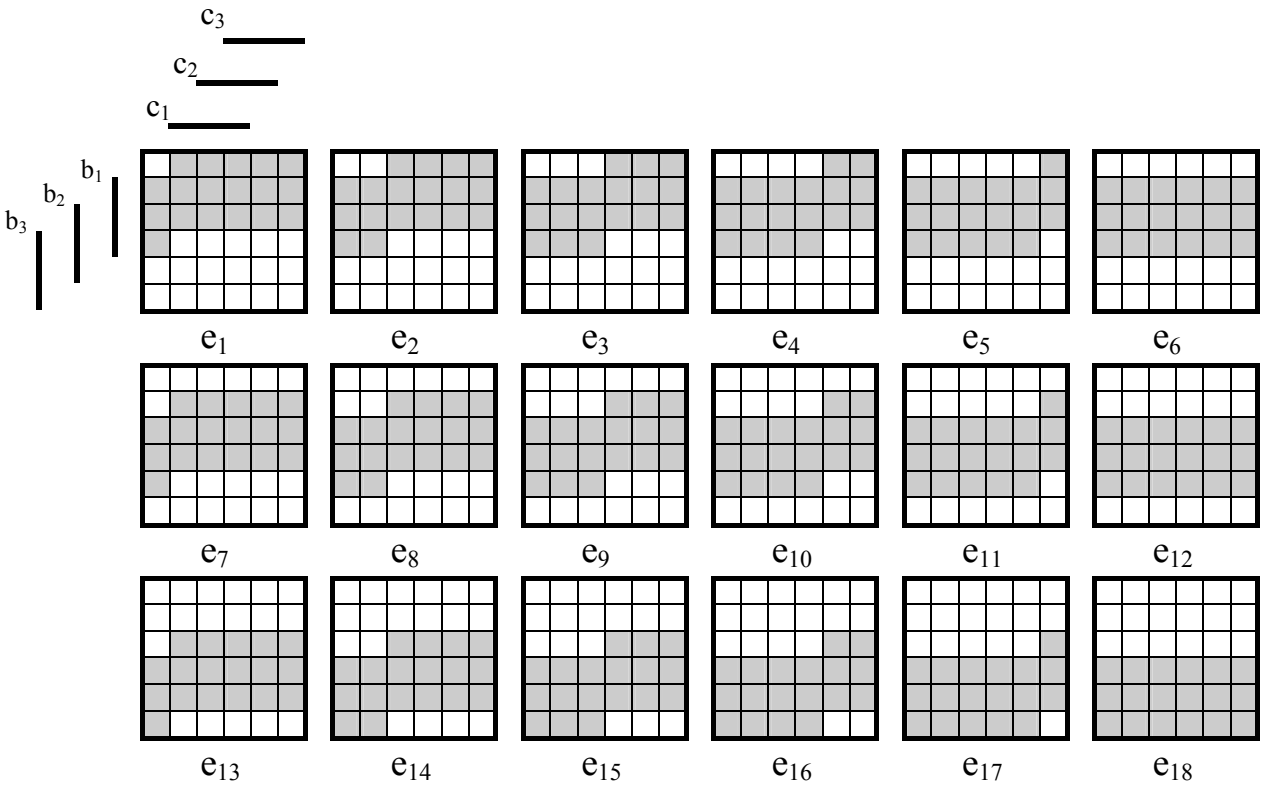


Рис. 4.28

При этом очевидно, что трехфазные сигналы $\mathbf{E_6}(e_6, e_{12}, e_{18})$ полностью совпадают с трехфазными сигналами $\mathbf{B}(b_1, b_2, b_3)$.

Остальные сигналы определяются также простыми логическими зависимостями:

$$\mathbf{E_1}=\begin{vmatrix} e_1 \\ e_7 \\ e_{13} \end{vmatrix} = \begin{vmatrix} b_1 & \underline{b}_3 \\ b_2 & b_1 \\ b_3 & b_2 \end{vmatrix} \begin{vmatrix} \underline{c}_1 c_3 \\ c_1 \end{vmatrix}, \quad \mathbf{E_2}=\begin{vmatrix} e_2 \\ e_8 \\ e_{14} \end{vmatrix} = \begin{vmatrix} b_1 & \underline{b}_3 \\ b_2 & b_1 \\ b_3 & b_2 \end{vmatrix} \begin{vmatrix} \underline{c}_2 c_3 \\ c_2 \vee c_3 \end{vmatrix}, \quad \mathbf{E_3}=\begin{vmatrix} e_3 \\ e_9 \\ e_{15} \end{vmatrix} = \begin{vmatrix} b_1 & \underline{b}_3 \\ b_2 & b_1 \\ b_3 & b_2 \end{vmatrix} \begin{vmatrix} \underline{c}_3 \\ c_3 \end{vmatrix},$$

$$\mathbf{E_4}=\begin{vmatrix} e_4 \\ e_{10} \\ e_{16} \end{vmatrix} = \begin{vmatrix} b_1 & \underline{b}_3 \\ b_2 & b_1 \\ b_3 & b_2 \end{vmatrix} \begin{vmatrix} \underline{c}_1 c_3 \\ c_1 \vee \underline{c}_3 \end{vmatrix}, \quad \mathbf{E_5}=\begin{vmatrix} e_5 \\ e_{11} \\ e_{17} \end{vmatrix} = \begin{vmatrix} b_1 & \underline{b}_3 \\ b_2 & b_1 \\ b_3 & b_2 \end{vmatrix} \begin{vmatrix} \underline{c}_2 c_3 \\ c_1 \vee \underline{c}_3 \end{vmatrix}.$$

Выходные трехфазные сигналы фазовращателя преобразуются соответствующим образом в сигналы трехфазного кода $\mathbf{D}(d_1, d_2, d_3)$ и поступают на первый вход сумматоров $\mathbf{\Sigma_1}$, где в каждом из них реализуется арифметическая

операция вычитания из него других трехфазных кодов соответственно $\mathbf{E}_1(e_1, e_7, e_{13})$, $\mathbf{E}_2(e_2, e_8, e_{14})$, $\mathbf{E}_3(e_3, e_9, e_{15})$, $\mathbf{E}_4(e_4, e_{10}, e_{16})$, $\mathbf{E}_5(e_5, e_{11}, e_{17})$, $\mathbf{E}_6(e_6, e_{12}, e_{18})$. Трехфазные сигналы разности $\mathbf{U}_1(u_1, u_7, u_{13})$, $\mathbf{U}_2(u_2, u_8, u_{14})$, $\mathbf{U}_3(u_3, u_9, u_{15})$, $\mathbf{U}_4(u_4, u_{10}, u_{16})$, $\mathbf{U}_5(u_5, u_{11}, u_{17})$, $\mathbf{U}_6(u_6, u_{12}, u_{18})$ используются для управления силовыми элементами восемнадцатифазного инвертора. При вращении вала электродвигателя со скоростью ω происходит изменение выходной частоты трехфазных напряжений фазовращателя, что обеспечивает необходимый закон формирования напряжений инвертора. При этом сигналы напряжений инвертора "привязаны" к валу электродвигателя, обеспечивая тем самым синхронность и синфазность переключения его силовых элементов относительно ротора. При этом в схеме имеется возможность осуществлять сигналами цифрового кода **A** "поворот" или "вращение" сигналов ($\mathbf{E}_i$ – **D)** относительно ротора электродвигателя. С этой целью цифровой трехфазный сигнал **B** старшего разряда делителя-счетчика и сигнал **C** его младших разрядов подаются на первый вход сумматора Σ_2, на второй вход которого поступает внешний цифровой сигнал **A**.

Выходной восемнадцатифазный код сумматора Σ_2 и определяет привязку выходных управляющих сигналов $\mathbf{U}_1$ – $\mathbf{U}_6$ относительно ротора электродвигателя.

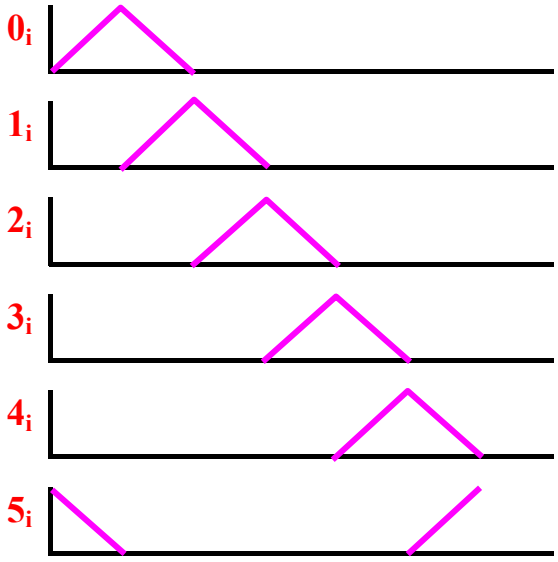


Рис. 4.29

Арифметическая разность трехфазных управляющих сигналов $\mathbf{U}_1$ – $\mathbf{U}_6$ на выходе сумматоров Σ_1 и их векторные эквиваленты будут подчиняться необходимому способу формирования выходных напряжений инвертора: вращение искусственного результирующего вектора каждого трехфазного инвертора осуществляется высокочастотным переключением вектора из одного дискретного положения в последующее, где время нахождения в предыдущем состоянии по мере вращения результирующего вектора уменьшается, а время нахождения в последующем положении увеличивается.

Это может быть показано графически на примере изменения эквивалентных цифр одного из выходных напряжений трехфазного кода инвертора (рис. 4.29). Импульсное изменение цифровых сигналов **0** – **5** позволяет легко получить сигналы трехфазного кода, например в записи Либау-Крейга, жестко связанного с валом электродвигателя: на переключение RS триггеров подаются соответственно на set входы цифровые сигналы **0**, **1**, **2**, а на reset входы – сигналы **3**, **4**, **5**. Тогда с учетом числа пар полюсов p фазовращателя, равного полюсности электродвигателя, число эквивалентных цифр за оборот электродвигателя будет равно 36p.

Рассмотренные здесь инверторы, состоящие из нескольких трехфазных при улучшенной форме их выходных напряжений, используются в основном в специализированных электроприводах с высокими требованиями по виброшумовым показателям, а также при значительных мощностях этих систем. В этих системах достижение значительных мощностей (до сотен киловатт) будет получено не только за счет применения мощных силовых элементов, но и увеличением числа трехфазных, например мостовых инверторов.

Одной из основных составляющих акустического шума электродвигателей является вибрационная, определяемая пульсациями электромагнитного момента. Словом, уровень шума зависит от формы кривой мгновенного момента, который, в свою очередь, зависит от плавности вращения вектора поля статора электродвигателя переменного тока. В нашем случае эта плавность вращения вектора достигается тем, что в каждом трехфазном инверторе формируются квазисинусоидальные формы трехфазных выходных напряжений, где каждая из трехфазных систем сама обеспечивает плавное вращение поля статора электродвигателя и эта плавность также увеличивается с возрастанием числа фаз всего многофазного инвертора.

Таким образом, могут быть сведены к минимальному значению электромагнитные составляющие шумов и вибраций, а дальнейшее их снижение целиком зависит от механических параметров аппаратуры.

А также важными показателями системы являются ее надежность и контролеспособность. По этим параметрам представленные инверторы напряжения обладают большими возможностями. Во-первых, при большом числе трехфазных инверторов выход из строя одного из них при определенных коэффициентах загрузки может быть «не заметен» системой. Во-вторых, применение здесь контролеспособных многофазных кодов, где общее число всех фаз инвертора значительно, дает возможность построить систему, полностью контролеспособную и позволяющую не только обнаруживать, но и исправлять определенные типы ошибок в масштабе реального времени без применения сложного математического аппарата.

Следует заметить, что частично эти вопросы были изложены в гл. 3 и последующие исследования могут быть посвящены созданию контролеспособных блоков инверторов напряжения.

4.6. Регулирование напряжения в инверторах с улучшенной формой

Увеличение емкости делителей-счетчиков либо преобразователей угол-код позволяет выполнять регулирование выходных напряжений в инверторах с улучшенной формой выходного напряжения типа U^2_{ab}, U^4_{ab}, U^6_{ab}, ...

Емкость дополнительного младшего разряда n_0, устанавливаемого в этих устройствах, определяется необходимой кратностью регулирования выходного напряжения инвертора. Пусть эта кратность равна 10, тогда первый дополнительный разряд, например делителя-счетчика, должен иметь основание системы счисления $n_0 = 10$.

Как отмечалось выше, при максимальном значении выходного напряжения инвертора с улучшенной формой изменение линейно нарастающих импульсов длительности t_2, во время которых значение эквивалентных цифр трехфазных кодов напряжений инвертора увеличивается на единицу, сопровождается соответствующим уменьшением длительности импульсов t_1, когда значения эквивалентных цифр возвращаются к первоначальному значению. При этом их суммарная длительность $(t_1 + t_2)$ остается постоянной и равной периоду переключения цифр разряда n_1.

Сущность регулирования напряжения в таких инверторах заключается в пропорциональном изменении длительностей импульсов t_1, t_2 и, соответственно, их суммы $(t_1 + t_2)$, а в моменты времени, когда длительность их суммы не совпадает с текущим значением периода переключения цифр разряда n_1, устанавливается нулевое значение выходных напряжений всех фаз инвертора ($U_{ab} = U_{bc} = U_{ca} = 0$).

На рис. 4.30 приведена структурная схема управления таким инвертором, которая отличается от инвертора с нерегулируемым выходным напряжением (рис. 4.19) наличием дополнительных компонентов: разряда делителя-счетчика n_0, цифровых входов **D**, **H** и выхода s в логическом блоке (ЛБ).

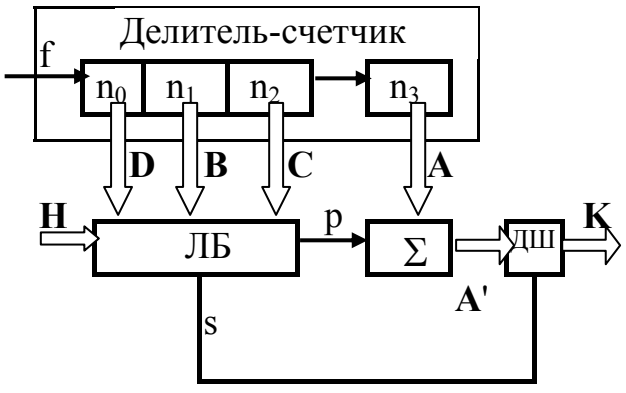


Рис. 4.30

Цифровой вход **H** управляет величиной выходных напряжений инвертора, а импульсный сигнал s задает их нулевые значения.

В качестве примера выберем наиболее сложную из рассмотренных выше схем, реализующую выходные напряжения инвертора типа $\mathbf{U}^{16}_{\mathbf{ab}}$. В дальнейшем будем обозначать напряжения по основаниям систем счисления разрядов n_1 и n_2. Тогда представленная форма выходного напряжения инвертора запишется как $U_{n1/n2} = U_{10/9}$, а максимальному значению выходных напряжений будут соответствовать следующие соотношения времен t_1/t_2 , выраженные в цифрах разрядов n_1, n_2: 90/10, 80/20, 70/30, 60/40, 50/50, 40/60, 30/70, 20/80, 10/90.

Пусть первый разряд n_0 делителя-счетчика выполнен в пятифазном коде **D**($d_1 - d_5$). Аналогично выполнен цифровой вход **H**($h_1 - h_5$). Пусть максимальному значению сигнала **H** соответствует максимальное значение выходных напряжений инвертора. Тогда соотношения длительностей t_1/t_2 при изменении сигнала **H** определяются табл. 4.6.1.

Таблица 4.6.1

H	t_1/t_2								
9	90/10	80/20	70/30	60/40	50/50	40/60	30/70	20/80	10/90
8	81/9	72/18	63/27	54/36	45/45	36/36	27/63	18/72	9/81
7	72/8	64/16	56/24	48/32	40/40	32/48	24/56	16/64	8/72
6	63/7	56/14	49/21	42/28	35/35	28/42	21/49	14/56	7/63
5	54/6	48/12	42/18	36/24	30/30	24/36	18/42	12/48	6/54
4	45/5	40/10	35/15	30/20	25/25	20/30	15/35	10/40	5/45
3	36/4	32/8	28/12	24/16	20/20	16/24	12/28	8/32	4/34
2	27/3	24/6	21/9	18/12	15/15	12/18	9/21	6/24	3/27
1	18/2	16/4	14/6	12/8	10/10	8/12	6/14	4/16	2/18
0	9/1	8/2	7/3	6/4	5/5	4/6	3/7	2/8	1/9

Очевидно, что для пропорционального изменения длительностей импульсов t_1, t_2 и импульсов их суммы (t_1+t_2) необходимо длительность импульсов t_1 изменять передним фронтом, а длительность импульсов t_2 – задним фронтом. Тогда граница между переключениями импульсов t_1 и t_2 в каждом периоде переключения разряда n_1 останется неизменной и сигналы (t_1+t_2) будут представлять собой непрерывные одиночные импульсы. За период переключения этого разряда делителя-счетчика "сжатие" импульсов (t_1+t_2) будет осуществляться с двух сторон: один раз в начале периода переключения разряда n_1 и второй раз – в конце этого периода. Исключение составляет значение максимальных выходных напряжений инвертора, когда s = 0* и "сжатия" нет.

В соответствии с материалами гл. 2 нетрудно представить значения сигналов $\mathbf{s}_{\mathbf{BD}}$ в начале цикла переключения:

$$\mathbf{s}_{\mathbf{BD}} = \mu_{(\mathbf{B}-1)} \vee \mathbf{M}_{\mathbf{B}}\, \mu_{(\mathbf{D}-1)}\,, \qquad (4.6.1)$$

где $\mathbf{s}_{\mathbf{BD}}$ – цифровая длительность импульса, например, $\mathbf{s}_{\mathbf{15}}$ – импульс длительностью в пятнадцать цифр (**B** = 1, **D** = 5);

$$\mu_{(\mathbf{B}-1)} = \mathbf{0} \vee \ldots \vee (\mathbf{B}-1) \text{ (причем } \mu_{(1-1)} = 0^*);$$

$$\mathbf{M_B} = \mathbf{0} \vee \ldots \vee \mathbf{B} = \mathbf{1} \vee \ldots \vee \mathbf{B} = \ldots = \mathbf{B} \quad (\text{причем } \mu_9 = 1^*).$$

Длительность импульсов в конце периода переключения определяется при записи значений **B** и **D** в (4.6.1) в обратных кодах.

В табл. 4.6.2 приведены длительности сигналов **s** в зависимости от цифровых значений **C** и **H**, представленных в прямом и обратном кодах.

Таблица 4.6.2

		S_{BD}, p = 0*									$S_{B^\bullet D^\bullet}$, p = 1*								
	C	**1**	**2**	**3**	**4**	**5**	**6**	**7**	**8**	**9**	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**
	C•	**9**	**8**	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**1**	**2**	**3**	**4**	**5**	**6**	**7**	**8**	**9**
9	**0**	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
8	**1**	09	08	07	06	05	04	03	02	01	01	02	03	04	05	06	07	08	09
7	**2**	18	16	14	12	10	08	06	04	02	02	04	06	08	10	12	14	16	18
6	**3**	27	24	18	15	12	09	06	03	03	03	06	09	12	15	18	21	24	27
5	**4**	36	32	28	24	20	16	12	08	04	04	08	12	16	20	24	28	32	36
4	**5**	45	40	35	30	25	20	15	10	05	05	10	15	20	25	30	35	40	45
3	**6**	54	48	42	36	30	24	18	12	06	06	12	18	24	30	36	42	48	54
2	**7**	63	56	49	42	35	28	21	14	07	07	14	21	28	35	42	49	56	63
1	**8**	72	64	56	48	40	32	24	16	08	08	16	24	32	40	48	56	64	72
0	**9**	81	72	63	54	45	36	27	18	09	09	18	27	36	45	54	63	72	81
H•	**H**																		

На основании (4.6.1) цифровые значения длительностей сигналов $\mathbf{s_{BD}}$ могут быть представлены конкретными логическими выражениями, например: $\mathbf{s_{09}} = \mathbf{M_{0_B}}\mu_{8_D} = \underline{b_0}\underline{b_5}d_4$, $\mathbf{s_{18}} = \mu_{0_b} \vee \mathbf{M_{1_B}}\mu_{7_D} = \underline{b_0}\underline{b_5} \vee b_1\underline{b_2}d_3$ и т.д.

Записав эти логические выражения в соответствующие клетки табл. 4.6.2, можно на основании теоретических положений гл. 1 синтезировать схему логического блока, как сделано в [4.31], [4.32].

Существует и несколько иное более рациональное решение этой задачи. Можно заметить, что в клетках табл. 4.6.2 расположены результаты умножения двух одноразрядных чисел **H** и **C**, если записать их в обратном коде, представленном выше, из которого следует, что при p = 0* сигналы **C** должны поступать на вход блока умножения в обратном коде, а при p = 1* – в прямом коде. Сигналы **H** при этом поступают на второй вход блока умножения в обратном коде.

Сигналы прямого и обратного кодов для **C** связаны между собой очевидными соотношениями: $c^\bullet_1 = c_5$, $c^\bullet_2 = c_4$, $c^\bullet_3 = c_3$, а связь между сигналами прямого и обратного пятифазных кодов **H** также известна $h^\bullet_1 = h_4$, $h^\bullet_2 = h_3$, $h^\bullet_5 = \underline{h_5}$.

Структурная схема устройства управления инвертором с использованием одноразрядного блока умножения приведена на рис. 4.31.

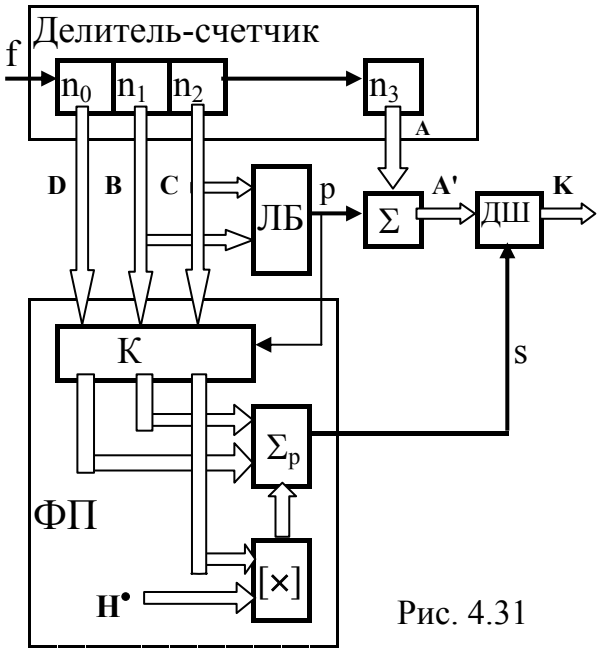


Рис. 4.31

При максимальном значении входного сигнала **H** = 9 (**H**• =0) нулевое значение результата умножения на выходе блока [×] поступает на второй вход блока формирования переноса Σ_p. Очевидно, что в этом случае s = 0* и работа схемы управления полностью совпадает со схемой нерегулируемого инвертора с улучшенной формой выходного напряжения.

Другие значения входного сигнала блока умножения формируют высокочастотные импульсы в кривой выходного напряжения, длительность которых определяется значениями табл. 4.6.2.

При этом, если сигнал p = 0*, преобразователь кодов ПК подает двухразрядный операнд **BD** в обратном коде на первый вход блока формирования сигнала переноса. Причем операнд **C** также подается в обратном коде на второй вход блока умножения. Поступление операнда **BD** в обратном коде создает паузу всех напряжений инвертора соответствующей длительности, когда s = 1*, в начале периода переключения разряда n_1 делителя-счетчика.

При p = 1*, когда операнды **BD** и **C** поступают на вторые входы этих блоков в прямом коде, нулевые значения всех фаз инвертора соответствующей длительности при сигнале s =1* будут находиться в конце периода переключения этого разряда делителя-счетчика.

Несколько слов о схемах дешифраторов (ДШ) в структурных схемах рис. 4.30 и 4.31.

Для трехфазных инверторов с базовым управлением $\alpha = \pi$ дешифраторы при s = 1* открывают, например, транзисторы той группы (коллекторной или эмиттерной), где имеются два открытых транзистора, и закрывают транзисторы другой группы [4.14]. Логические зависимости, связывающие трехфазные сигналы **A'**(a_1, a_2, a_3) и сигналы управления силовыми элементами **K** (k_1 – k_6), запишутся следующим образом:

$$k_1 = a_1\underline{s} \vee a_1\underline{a_2}s \vee a_1a_3s \vee \underline{a_1}a_2s;$$
$$k_2 = \underline{a_1}\underline{s} \vee \underline{a_1}a_2s \vee \underline{a_1}\underline{a_3}s \vee a_1\underline{a_2}s;$$
$$k_3 = \underline{a_2}\underline{s} \vee a_1\underline{a_2}s \vee a_1a_3s \vee \underline{a_1}a_2s;$$
$$k_4 = a_1\underline{s} \vee \underline{a_1}a_2s \vee \underline{a_1}\underline{a_3}s \vee a_1\underline{a_2}s;$$
$$k_5 = a_3\underline{s} \vee a_1\underline{a_2}s \vee a_1a_3s \vee \underline{a_1}a_2s;$$
$$k_6 = \underline{a_3}\underline{s} \vee \underline{a_1}a_2s \vee \underline{a_1}\underline{a_3}s \vee a_1\underline{a_2}s. \qquad (4.6.2)$$

У инверторов с базовым управлением $\alpha = 2\pi/3$ при s = 1* все транзисторы мостового инвертора закрываются и сигналы **K** определяются простыми логическими зависимостями: $k_1 = \underline{a_2}\underline{a_3}\underline{s}$, $k_2 = a_2a_3\underline{s}$, $k_3 = a_1\underline{a_2}\underline{s}$, $k_4 = \underline{a_1}\underline{a_2}\underline{s}$, $k_5 = \underline{a_1}a_3\underline{s}$, $k_6 = a_1\underline{a_3}\underline{s}$.

Очевидно, что при управлении с $\alpha = \pi$ можно во время высокочастотной паузы, когда s = 1*, также закрывать все силовые элементы инвертора. В этом случае значения сигналов K будут определяться только первыми слагаемыми формул **(**4.6.2**)**.

Все изложенное выше в равной степени может быть распространено на любое значение оснований систем счисления разряда n_2, т.е. для любой формы выходного напряжения инвертора. Однако форма регулируемого выходного напряжения для четных и нечетных значений n_2 различна. Поскольку для больших значений n_2 представить графически изменение форм выходного напряжения инвертора даже на четверти периода весьма громоздко, обратимся только к двум значениям $n_2 = 3$ и $n_2 = 4$.

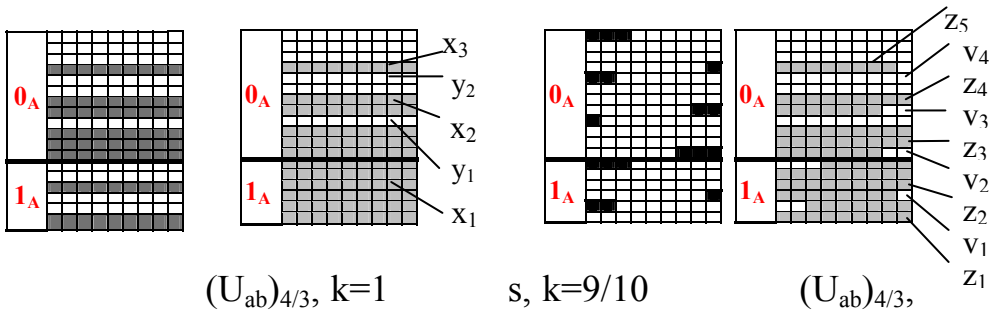
Введем коэффициент регулирования выходного напряжения k. Тогда для максимального значения напряжения k = 1, а при уменьшении значения k выходные напряжения инвертора $(U_{ab})_{4/3}$ и $(U_{ab})_{5/4}$ уменьшаются пропорциональным изменением всех импульсов и при этом появляются дополнительные паузы и, соответственно, импульсы на месте первичного импульса x_1.

Написанное иллюстрируется рис. 4.32 и 4.33, где соответственно для $n_2 = 3$ и $n_2 = 4$ приведены на четверти периода сигналы переноса p; выходное максимальное напряжение инвертора U_{ab} (k = 1); сигнал s и выходное уменьшенное напряжение инвертора U_{ab} (k < 1).

Все сигналы и выходные напряжения инвертора представлены здесь в многомерном цифровом пространстве координат делителя-счетчика (рис. 4.31).

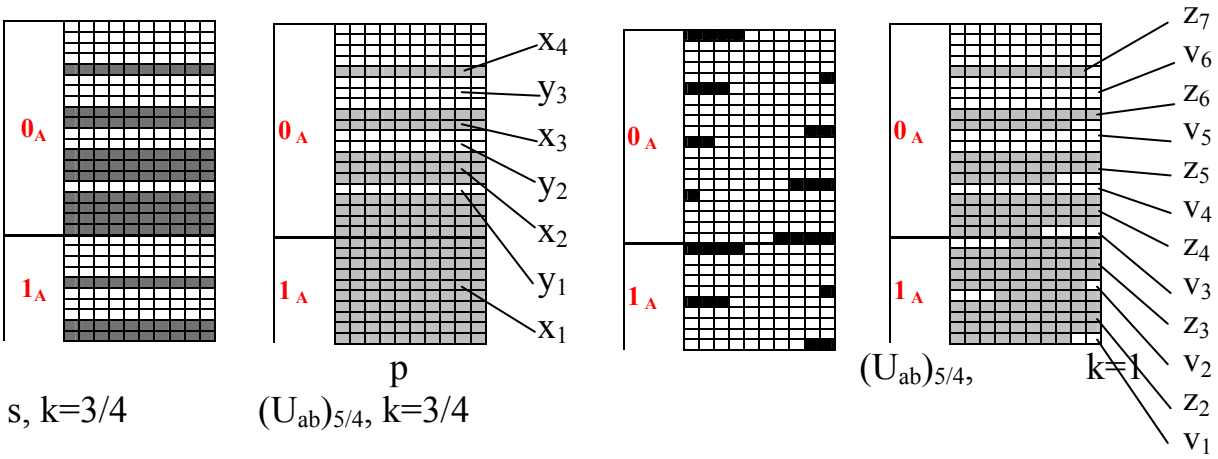
Для нечетных n_2 сигналы **s** уменьшают длительность импульсов x_i и увеличивают паузы y_i между ними, а также создают новые импульсы и паузы в момент существования импульса длительностью x_1.

Введем для всех импульсов и пауз между ними новые обозначения соответственно z_i и v_i. Например, для $n_2 = 3$ последовательность импульсов и пауз между ними x_1, y_1, x_2, y_2, x_3 превращается в последовательность z_1, v_1, z_2, v_2, z_3, v_3, z_4, v_4, z_5 .



p k=9/10 $(U_{ab})_{4/3}$, k=1 s, k=9/10 $(U_{ab})_{4/3}$,

Рис. 4.32



s, k=3/4 p $(U_{ab})_{5/4}$, k=3/4 $(U_{ab})_{5/4}$, k=1

Рис. 4.33

Для чётных значений n_2 сигналы **s** выполняют такие же функции, но в этом случае импульс длительностью $z_1 = 0$. Например, для $n_2 = 4$ последовательность импульсов и пауз между ними $x_1, y_1, x_2, y_2, x_3, y_3, x_4$ превращается в последовательность $v_1, z_2, v_2, z_3, v_3, z_4, v_4, z_5, v_5, z_6, v_6, z_7$.

Таким образом, представленная на рис. 4.31 структурная схема управления выходным напряжением многофазного (трехфазного) инвертора является полностью цифровой и выполнена на блоках (сумматорах, делителе-счетчике, схемах формирования переноса и блока умножения), синтез которых представлен в предыдущих разделах. Причем если выполнение старших разрядов этих блоков обязательно должно быть реализовано в многофазном коде, совпадающем с числом фаз электродвигателя, то младшие разряды могут иметь иные коды и другие системы счисления. Однако их выполнение в многофазных кодах имеет преимущества перед другими не только вследствие более высокого быстродействия, но и благодаря возможности создания полностью контролеспособной системы управления. Последнее преимущество обусловлено именно многофазными кодами, которые позволяют обнаруживать и исправлять ошибки простыми быстродействующими мажоритарными схемами в реальном масштабе времени без применения каких-либо математических вычислений и где нет разделения на информационные и контрольные разряды. Такие быстродействия при обнаружении и исправлении ошибок недостижимы при использовании любых других кодов.

4.7. Регулирование напряжения в инверторах с улучшенной формой выходного напряжения, состоящих из нескольких трехфазных

В предыдущем разделе было показано, что для регулирования напряжения трехфазного мостового инвертора с улучшенной формой выходного напряжения необходимо в его схеме управления дополнительно установить в делителе-счетчике младший разряд емкостью, равной коэффициенту регулирования напряжения. Также необходимо установить схему формирования высокочастотных пауз (ФП) подобно тому, как это выполнено в структурной схеме рис. 4.31.

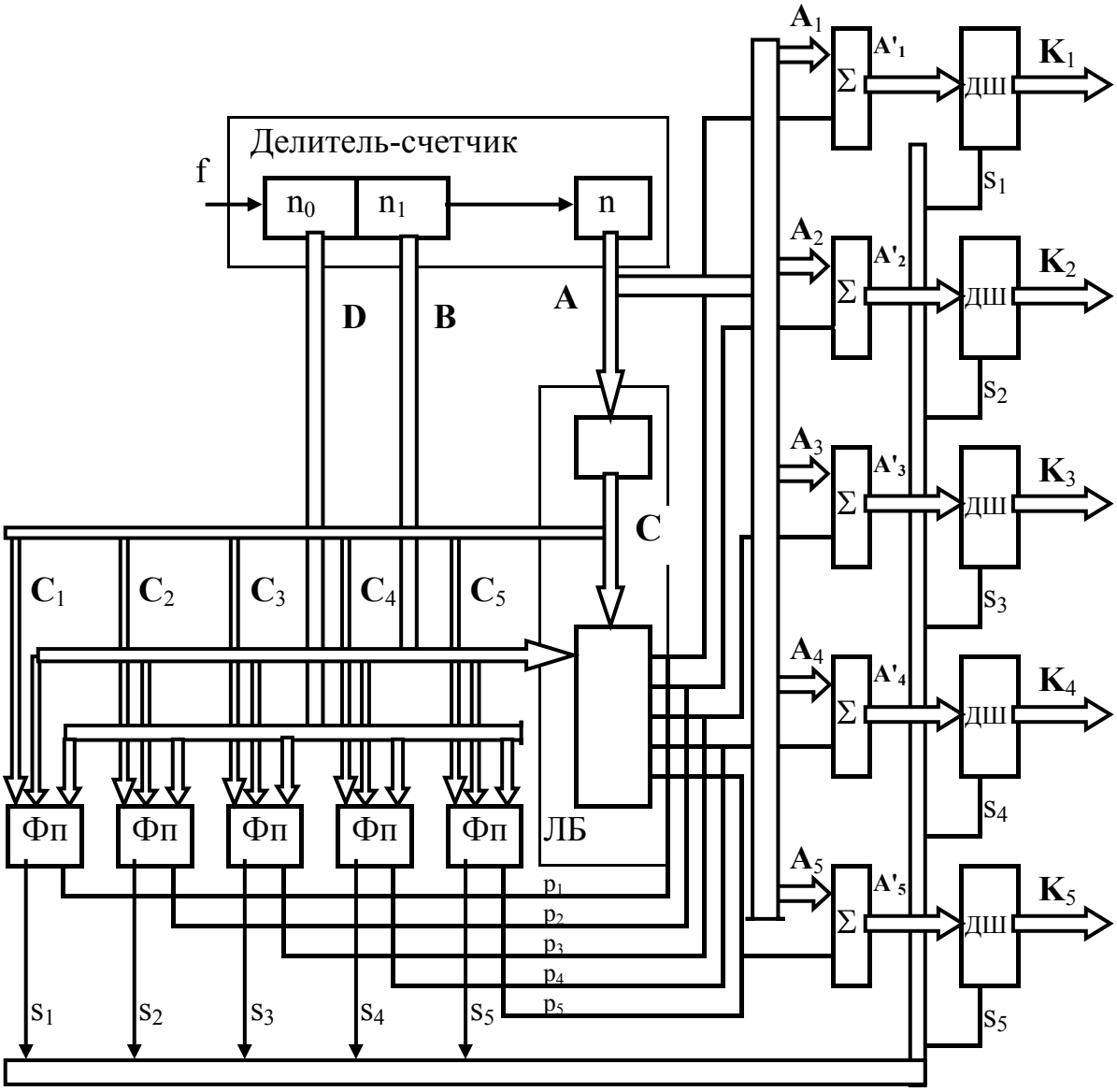


Рис. 4.34

Если обратимся к структурной схеме управления инвертором с улучшенной нерегулируемой формой выходного напряжения, состоящего из нескольких трехфазных (рис. 4.26), то видно, что здесь нет каких-либо препятствий для реализации регулирования его выходных напряжений по аналогичному принципу. Это несложно выполнить, если представить старший разряд делителя-счетчика в несколько ином виде.

В самом деле, в схеме делителя-счетчика имеется старший многофазный разряд n, число фаз которого кратно трехфазному инвертору и эта кратность равна основанию системы счисления разряда n_2 рассмотренной выше схемы (рис. 4.31). Следовательно, старший разряд n делителя-счетчика синтезируемой нами схемы управления может быть представлен последовательно-параллельным соединением двух разрядов n_2 и n_3, где число параллельных искусственных разрядов делителя-счетчика, строго синхронизированных между собой (рис. 4.25), равно числу трехфазных мостовых инверторов (для нашего примера пяти).

Для каждого трехфазного сигнала $\mathbf{A}_1(a_1, a_6, a_{11})$, $\mathbf{A}_2(a_2, a_7, a_{12})$, $\mathbf{A}_3(a_3, a_8, a_{13})$, $\mathbf{A}_4(a_4, a_9, a_{14})$, $\mathbf{A}_5(a_5, a_9, a_{15})$ искусственных разрядов n_3 имеются соответствующие сигналы $\mathbf{C}_1(\mathbf{0} - \mathbf{4})$, $\mathbf{C}_2(\mathbf{0} - \mathbf{4})$, $\mathbf{C}_3(\mathbf{0} - \mathbf{4})$, $\mathbf{C}_4(\mathbf{0} - \mathbf{4})$, $\mathbf{C}_5(\mathbf{0} - \mathbf{4})$ также искусственных разрядов n_2, формируемых в логическом блоке рис. 4.26 в обычном цифровом коде.

Формальное описание работы синтезированной здесь схемы управления с регулированием улучшенной формой выходного напряжения инвертора, состоящего из нескольких трехфазных, которая изображена на рис. 4.34, полностью совпадает со схемой для одного трехфазного инвертора (рис. 4.31) и поэтому не будет здесь приводиться.

Однако необходимо внести некоторые пояснения, поскольку имеется качественное отличие в работе, которое заключается в разнесении во времени высокочастотных пауз в кривых выходных напряжений одного трехфазного инвертора от другого на угол $\pi/3n_2$, что благоприятно сказывается на повышении плавности вращения электродвигателей и расширении диапазона регулирования электроприводов, где используется этот инвертор напряжения, за счет уменьшения зоны работы электродвигателей в режиме прерывистых токов.

При этом схема, как и предыдущая, состоит только из цифровых блоков и имеет возможность быть выполненной в полностью контролеспособном варианте без потери таких качеств, как простота реализации и быстродействие, что определяется исключительно использованием в ней многофазных кодов во всех блоках и узлах.

4.8. Переключение режимов работы в инверторах с улучшенной формой регулируемого напряжения

Из предыдущего анализа ясен принцип построения многофазных инверторов напряжения для любых оснований систем счисления разряда n_2, т.е. для любого количества высокочастотных импульсов в кривых напряжения с квазисинусоидальным законом ШИМ. При этом очевиден тот факт, что большое количество высокочастотных импульсов благоприятно сказывается на повышении плавности вращения электродвигателя, питаемого от такого инвертора, но при этом КПД инвертора будет с увеличением числа импульсов понижаться. Вероятно, что форму питающего электродвигатель напряжения следует улучшать только до необходимых требований по плавности вращения и не более.

Таким образом, в электроприводах с глубоким регулированием по частоте вращения электродвигателей возникает потребность изменения формы регулируемого напряжения по внешнему сигналу. Пусть этот сигнал **L** поступает, например, в виде обычного цифрового кода. При этом цифре **0** пусть соответствует самая лучшая форма выходного напряжения, например типа $U_{10/9}$, а дальнейшее увеличение сигнала приводит к появлению напряжений типа $U_{9/8}$, $U_{8/7}$ и т.д. вплоть до $U_{3/2}$.

В разд. 4.5 было показано, что для изменения формы выходного напряжения рассматриваемых инверторов с нерегулируемым напряжением необходимо изменять основания систем счисления разрядов n_1 и n_2 делителя-счетчика таким образом, чтобы основание n_1 уменьшалось соответствующим отбрасыванием старших цифр этого разряда, а основание n_2 – отбрасыванием младших цифр разряда. При этом построение остальных блоков структурной схемы инвертора остается неизменным.

Аналогичный подход по изменению оснований систем счисления разрядов n_1 и n_2 делителя-счетчика может быть распространен и на схемы инверторов с улучшенной формой регулируемого напряжения, представленных, например, схемой рис. 4.31. Однако здесь можно утверждать, что, кроме изменения оснований соответствующих систем счисления разрядов делителя-счетчика, потребуется по сигналу **L** перестраивать и остальные логические и арифметические блоки устройства. Все это будет зависеть только от количества используемого при этом оборудования, которое в этом случае будет значительным.

Такое решение поставленной задачи нельзя считать оптимальным и учитывающим все особенности построения отмеченных выше блоков (ПК, Σ_p, [×]). Поэтому до начала синтеза структурной схемы инвертора остановимся на этих особенностях.

Для сигнала **B**(b_1 – b_5) при уменьшении основания системы счисления отбрасыванием старшей цифры разряда прямой код остается неизменным и только укороченным, а обратный код будет определяться логическими зависимостями:

$$\mathbf{B}_{об} = \begin{vmatrix} b^{\bullet}_1 \\ b^{\bullet}_2 \\ b^{\bullet}_3 \\ b^{\bullet}_4 \\ b^{\bullet}_5 \end{vmatrix} = \begin{vmatrix} b_4 0_L \vee b_3 1_L \vee b_2 2_L \vee b_1 3_L \vee \underline{b}_5 4_L \vee \underline{b}_4 5_L \vee \underline{b}_3 6_L \vee \underline{b}_2 7_L \\ b_3 0_L \vee b_2 1_L \vee b_1 2_L \vee \underline{b}_5 3_L \vee \underline{b}_4 4_L \vee \underline{b}_3 5_L \vee \underline{b}_2 6_L \vee \underline{b}_1 7_L \\ b_2 0_L \vee b_1 1_L \vee \underline{b}_5 2_L \vee \underline{b}_4 3_L \vee \underline{b}_3 4_L \vee \underline{b}_2 5_L \vee \underline{b}_1 6_L \vee b_5 7_L \\ b_1 0_L \vee \underline{b}_5 1_L \vee \underline{b}_4 2_L \vee \underline{b}_3 3_L \vee \underline{b}_2 4_L \vee \underline{b}_1 5_L \vee b_5 6_L \vee b_4 7_L \\ \underline{b}_5 0_L \vee \underline{b}_4 1_L \vee \underline{b}_3 2_L \vee \underline{b}_2 3_L \vee \underline{b}_1 4_L \vee b_5 5_L \vee b_4 6_L \vee b_3 7_L \end{vmatrix}.$$

Учитывая, что при изменении основания системы счисления ряд многофазных сигналов исчезнет, а другие примут значения логической единицы, эти зависимости могут быть записаны следующим образом:

$$\mathbf{B}_{об} = \begin{vmatrix} b_4 0_L \vee b_3 1_L \vee b_2 2_L \vee b_1 3_L \\ b_3 0_L \vee b_2 1_L \vee b_1 2_L \vee \underline{b}_5 3_L \vee \underline{b}_4 4_L \vee \underline{b}_3 5_L \vee \underline{b}_2 6_L \vee \underline{b}_1 7_L \\ b_2 0_L \vee b_1 1_L \vee \underline{b}_5 2_L \vee \underline{b}_4 3_L \vee \underline{b}_3 4_L \vee \underline{b}_2 5_L \vee \underline{b}_1 6_L \vee 7_L \\ b_1 0_L \vee \underline{b}_5 1_L \vee \underline{b}_4 2_L \vee \underline{b}_3 3_L \vee \underline{b}_2 4_L \vee \underline{b}_1 5_L \vee 6_L \vee 7_L \\ \underline{b}_5 0_L \vee \underline{b}_4 1_L \vee \underline{b}_3 2_L \vee \underline{b}_2 3_L \vee \underline{b}_1 4_L \vee 5_L \vee 6_L \vee 7_L \end{vmatrix}. \qquad (4.8.1)$$

Для сигнала $\mathbf{C}(c_1 - c_5)$ при уменьшении основания системы счисления путем отбрасывания младшей цифры и с целью сохранения единства представления оснований систем счисления введением новой нумерации, которая будет начинаться с цифры, большей на единицу от отбрасываемой, обратный код остается неизменным и укороченным для всех оснований ($c^{\bullet}_1 = c_5$, $c^{\bullet}_2 = c_4$, $c^{\bullet}_3 = c_3$), а прямой код с учетом изменения пятифазных сигналов будет представлен выражениями:

$$\mathbf{C} = \begin{vmatrix} c_1 \\ c_2 \\ c_3 \\ c_4 \\ c_5 \end{vmatrix} = \begin{vmatrix} c_1 0_L \vee c_2 1_L \vee c_3 2_L \vee c_4 3_L \\ c_2 0_L \vee c_3 1_L \vee c_4 2_L \vee c_5 3_L \vee \underline{c}_1 4_L \vee \underline{c}_2 5_L \vee \underline{c}_3 6_L \vee \underline{c}_4 7_L \\ c_3 0_L \vee c_4 1_L \vee c_5 2_L \vee \underline{c}_1 3_L \vee \underline{c}_2 4_L \vee \underline{c}_3 5_L \vee \underline{c}_4 6_L \vee 7_L \\ c_4 0_L \vee c_5 1_L \vee \underline{c}_1 2_L \vee \underline{c}_2 3_L \vee \underline{c}_3 4_L \vee \underline{c}_4 5_L \vee 6_L \vee 7_L \\ c_5 0_L \vee \underline{c}_1 1_L \vee \underline{c}_2 2_L \vee \underline{c}_3 3_L \vee \underline{c}_4 4_L \vee 5_L \vee 6_L \vee 7_L \end{vmatrix}. \qquad (4.8.2)$$

Теперь обратимся к арифметической операции умножения двух операнд **H** и **C** , второй из которых меняет основание системы счисления, но не меняет при этом принцип кодирования этих оснований. Из табл. 4.6.2 следует, что блок

умножения, выполненный для максимального значения основания системы счисления операнда **C**, будет выполнять свои функции и для других меньших значений оснований систем счисления и, следовательно, станет инвариантным к входному сигналу **L**.

Блок переноса (Σ_p) в схеме рис. 4.31 формирует сигнал переноса результата суммирования двухразрядного операнда **BD**, эквивалентные цифры которого изменяются от **00** до **99** или в обратном порядке, с выходным также двухразрядным сигналом блока умножения ([×]), максимальный сигнал которого достигает значения **81**.

При выходном сигнале блока Σ_p структурной схемы инвертора s = 1* , что соответствует результату суммирования, равному или большему **100**, должна формироваться высокочастотная пауза во всех фазах напряжений инвертора. При этом все цифры результата суммирования интереса не представляют и в схеме рис. 4.31 не используются. Для синтезированной нами схемы это должно соответствовать входному сигналу **L** = **0**.

Для сигнала **L** = **1** двухразрядный операнд **BD** будет изменяться в диапазоне **00** – **89**, а результат умножения в блоке [×] операндов **H** и **C** будет достигать в соответствии с табл. 4.6.2 максимального значения **72**. При этом сигнал формирования высокочастотной паузы s = 1* будет появляться на выходных шинах блока Σ_p , если результат суммирования станет равен или больше **90,** и т.д.

Откуда очевиден принцип построения блока Σ_p в синтезированной структурной схеме: это двухвходовой сумматор с результатом суммирования в старшем разряде, например пятифазного кода, и сигналом переноса s, а также логической схемой формирования обобщенного сигнала переноса $\mathbf{S}_i$.

Обозначив старший разряд выходного сигнала блока, выполняющего указанные выше функции, как $\mathbf{Q}(q_1 - q_5)$, нетрудно записать логическую схему формирования обобщенного сигнала переноса:

$$S_i = s0_L \vee q_5\underline{q}_4 1_L \vee q_5\underline{q}_3 2_L \vee q_5\underline{q}_2 3_L \vee q_5\underline{q}_1 4_L \vee q_5 5_L \vee (\underline{q}_5 \vee q_4)6_L \vee (\underline{q}_5 \vee q_3)7_L.$$

С учетом этого выражения структурная схема устройства управления инвертором с улучшенной формой регулируемого напряжения, с переключением его формы приведена на рис. 4.35. Эта схема включает все блоки, используемые в схеме рис. 4.31, а описание работы синтезированной схемы для конкретного значения **L** = 0 полностью совпадает с описанием работы исходной схемы. Для других значений входного сигнала **L** отличие будет заключаться только в работе специализированных блоков, выделенных на рис. 4.35 жирными линиями. Это следующие блоки: перестраиваемые (управляемые) разряды делителя-счетчика n_1, n_2, синтез которых приведен в разд. 2.6, преобразователь кодов (ПК) для выходных сигналов этих разрядов **BD**, блок суммирования и переноса (Σ_p), где выведены шины сигнала старшего разряда суммы **Q** и шина сигнала переноса s, логическая схема (БП) формирования обобщенного сигнала переноса.

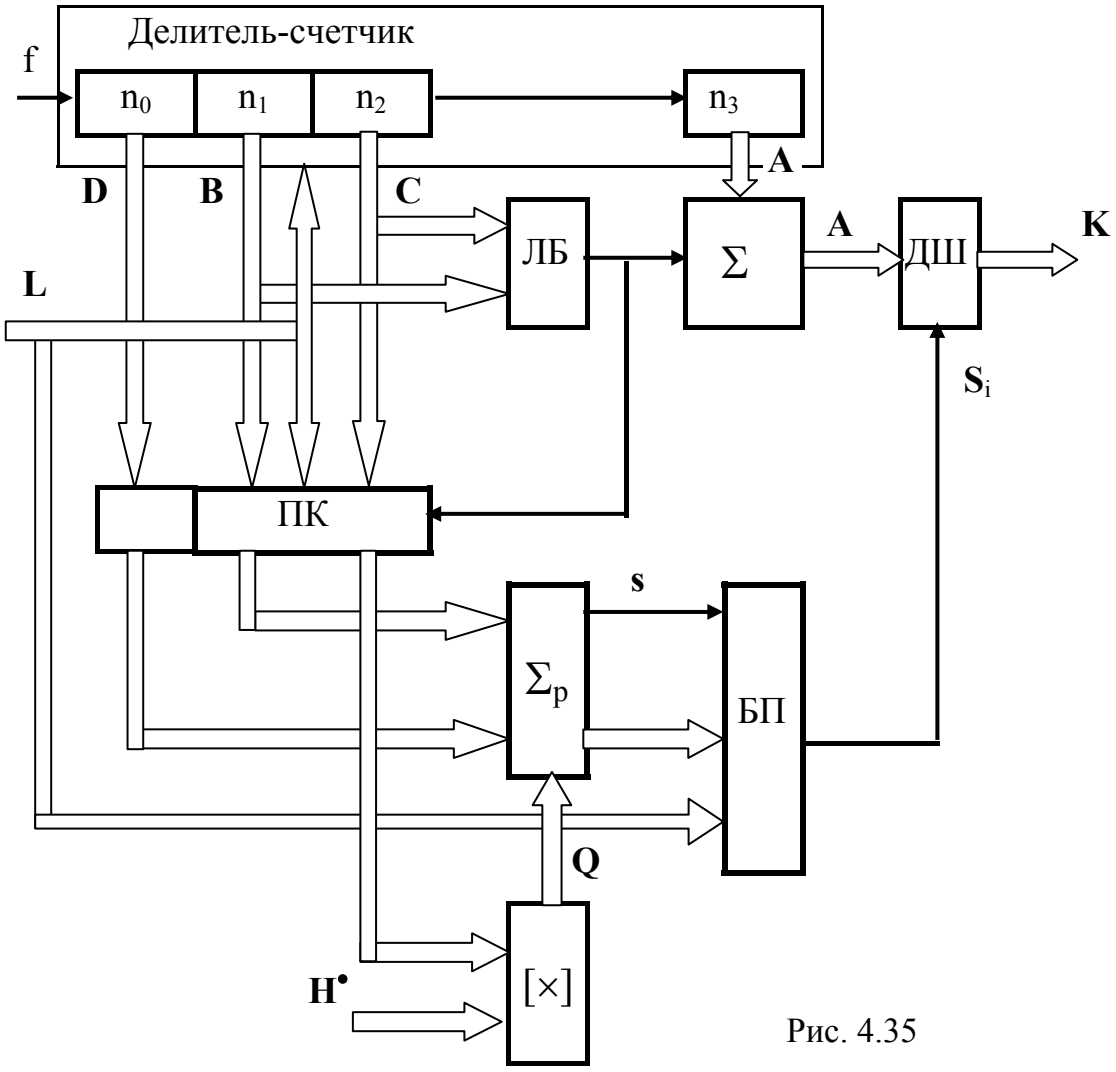


Рис. 4.35

Так же, как и в схеме рис. 4.31, выходные сигналы делителя-счетчика **C**, **B**, **D** при p = 0* должны поступать на соответствующие входы блоков Σ_p, [×] в прямом коде, а при p = 1* – в обратном коде. При этом часть схемы блока ПК, обрабатывающая сигнал **D**, будет совпадать со схемой ПК рис. 4.31, а выделенная на рис. 4.35 остальная часть блока с учетом (4.8.1) и (4.8.2) будет определяться логическими выражениями:

$$\mathbf{C} = \begin{vmatrix} c_5 \\ c_4 \\ c_3 \\ c_2 \\ c_1 \end{vmatrix} \underline{p} \vee \begin{vmatrix} c_1 0_L \vee c_2 1_L \vee c_3 2_L \vee c_4 3_L & & & & & & & \\ c_2 0_L \vee c_3 1_L \vee c_4 2_L \vee c_5 3_L \vee \underline{c}_1 4_L \vee \underline{c}_2 5_L \vee \underline{c}_3 6_L \vee \underline{c}_4 7_L & & & & & & & \\ c_3 0_L \vee c_4 1_L \vee c_5 2_L \vee \underline{c}_1 3_L \vee \underline{c}_2 4_L \vee \underline{c}_3 5_L \vee \underline{c}_4 6_L \vee & 7_L & & & & & & \\ c_4 0_L \vee c_5 1_L \vee \underline{c}_1 2_L \vee \underline{c}_2 3_L \vee \underline{c}_3 4_L \vee \underline{c}_4 5_L \vee & 6_L \vee & 7_L & & & & & \\ c_5 0_L \vee \underline{c}_1 1_L \vee \underline{c}_2 2_L \vee \underline{c}_3 3_L \vee \underline{c}_4 4_L \vee & 5_L \vee & 6_L \vee & 7_L & & & & \end{vmatrix} \mathrm{p}, \qquad (4.8.3)$$

$$\mathbf{B} = \begin{vmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \\ b_5 \end{vmatrix} \mathrm{p} \vee \begin{vmatrix} b_4 0_L \vee b_3 1_L \vee b_2 2_L \vee b_1 3_L & & & & & & & \\ b_3 0_L \vee b_2 1_L \vee b_1 2_L \vee \underline{b}_5 3_L \vee \underline{b}_4 4_L \vee \underline{b}_3 5_L \vee \underline{b}_2 6_L \vee \underline{b}_1 7_L & & & & & & & \\ b_2 0_L \vee b_1 1_L \vee \underline{b}_5 2_L \vee \underline{b}_4 3_L \vee \underline{b}_3 4_L \vee \underline{b}_2 5_L \vee \underline{b}_1 6_L \vee & 7_L & & & & & & \\ b_1 0_L \vee \underline{b}_5 1_L \vee \underline{b}_4 2_L \vee \underline{b}_3 3_L \vee \underline{b}_2 4_L \vee \underline{b}_1 5_L \vee & 6_L \vee & 7_L & & & & & \\ \underline{b}_5 0_L \vee \underline{b}_4 1_L \vee \underline{b}_3 2_L \vee \underline{b}_2 3_L \vee \underline{b}_1 4_L \vee & 5_L \vee & 6_L \vee & 7_L & & & & \end{vmatrix} \underline{\mathrm{p}}. \qquad (4.8.4)$$

Выполнение схем сумматоров, используемых в представленной структурной схеме управления, достаточно полно освещено во гл. 2 и не требует каких-либо пояснений.

К недостатку представленной структурной схемы следует отнести то, что изменение формы выходного напряжения инвертора здесь сопровождается изменением его частоты. Следовательно, для того, чтобы частота выходного напряжения инвертора оставалась неизменной, необходимо соответствующим образом менять частоту входного сигнала f делителя-счетчика. Это обстоятельство ограничивает использование данной схемы в электроприводах с вентильным двигателем, где вместо делителя-счетчика используется преобразователь угол-код.

4.9. Инверторы напряжения с изменением длительности открытия силовых элементов

Необходимость изучения управления изменением длительности открытия силовых элементов инвертора вызывалась несколькими причинами.

Во-первых, можно было выделить как частный случай управление с $\alpha = 2\pi/3$ и лучше представить достоинства и недостатки такого управления.

Во-вторых, при изменении скважности управляющих импульсов инвертор проходит такой режим, когда весь инверсный ток протекает через диоды, шунтирующие силовые элементы в обратном направлении, а форма выходного прямоугольного напряжения при этом не изменяется. Этот режим регулирования позволял экономить энергию управления [4.29], что в настоящее время при больших коэффициентах усиления силовых элементов уже не является актуальным.

В-третьих, при определенных $\cos\varphi$ нагрузки возникает режим прерывистости тока в фазах электродвигателя, когда форма напряжения инвертора изменяется с нагрузкой и инвертор, строго говоря, уже не может считаться инвертором напряжения. Изучение этого режима позволяет оценить его влияние на энергетические и точностные характеристики различных типов электроприводов.

Анализ работы трехфазного инвертора напряжения при таком способе управления и активно-индуктивной нагрузке, соединенной в "звезду", с определенными допущениями был достаточно подробно рассмотрен в [4.38].

Однако полное решение этой нелинейной задачи, учитывающей форму ЭДС электродвигателя, все важные показатели электропривода с определением формы выходных напряжений инвертора при изменении длительности открытия его силовых элементов, невозможно выполнить на "кончике пера". Эти задачи могут решаться только с использованием вычислительной цифровой техники методами программирования специальных методик расчета [4.33]. При

этом следует отчетливо представлять, что большое разнообразие объектов и их требований к электроприводу (номинальное значение параметров, точность и плавность регулирования скорости, способы защиты и т.д.), разнообразие типов электроприводов переменного тока не позволяют иметь универсальное общее решение.

Тем не менее электроприводы с вентильным электродвигателем, имеющие при определенных законах управления cosφ =1 на всех частотах вращения, позволяют получить аналитические решения, достаточно точно совпадающие с экспериментальными данными.

Управление с постоянным значением $\alpha = 2\pi/3$ является основным для вентильных электродвигателей, поскольку при этом управлении отсутствуют не только "сквозные" токи в стойках трехфазного мостового инвертора, но и ограничиваются токи, вызванные изменением формы ЭДС, а также циркуляционные токи между силовыми элементами инвертора.

Для прекращения действия циркуляционных токов и снятия ограничения на управление только с $\alpha = 2\pi/3$ фирмой General Electric разработана весьма сложная схема инвертора на силовых МОП-структурах (силовые полевые МОП-транзисторы либо биполярные транзисторы с изолированной базой) [4.37], где обратная связь по току обеспечивается датчиками тока, интегрированными с силовыми элементами инвертора. Это уникальная, прецизионная система регулирования является последним достижением научно-технической мысли. Однако для массового электропривода, где цена продукции имеет определяющее значение, применение этой системы регулирования пока проблематично. Поэтому поставим задачу синтеза схемы управления силовыми элементами мостового трехфазного инвертора, сохраняющую достоинства управления с $\alpha = 2\pi/3$, но при ШИМ его управляющих сигналов.

Структурная схема такого инвертора приведена на рис. 4.36.

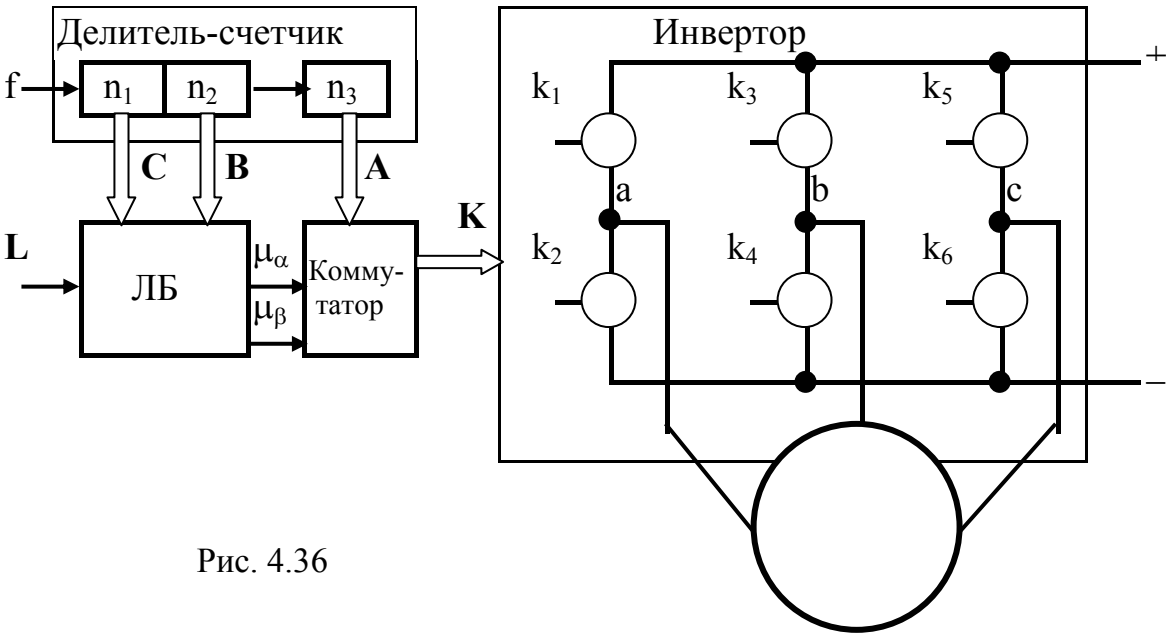


Рис. 4.36

Делитель-счетчик в этой схеме состоит из трех разрядов: старший разряд n_3 выполнен в трехфазном коде **A**, а младшие разряды $n_1 = n_2$ могут быть выполнены в любом коде равного основания систем счисления **C** и **B**.

В качестве примера примем выполнение этих разрядов в восьмифазном коде (основание n = 16). Логический блок (ЛБ) формирует на выходных шинах сигналы угловых множеств μ_α, μ_β относительно полюсов α и β двухмерного цифрового пространства координат **C** , **B**. Величина этих угловых множеств может изменяться по внешнему сигналу **L**.

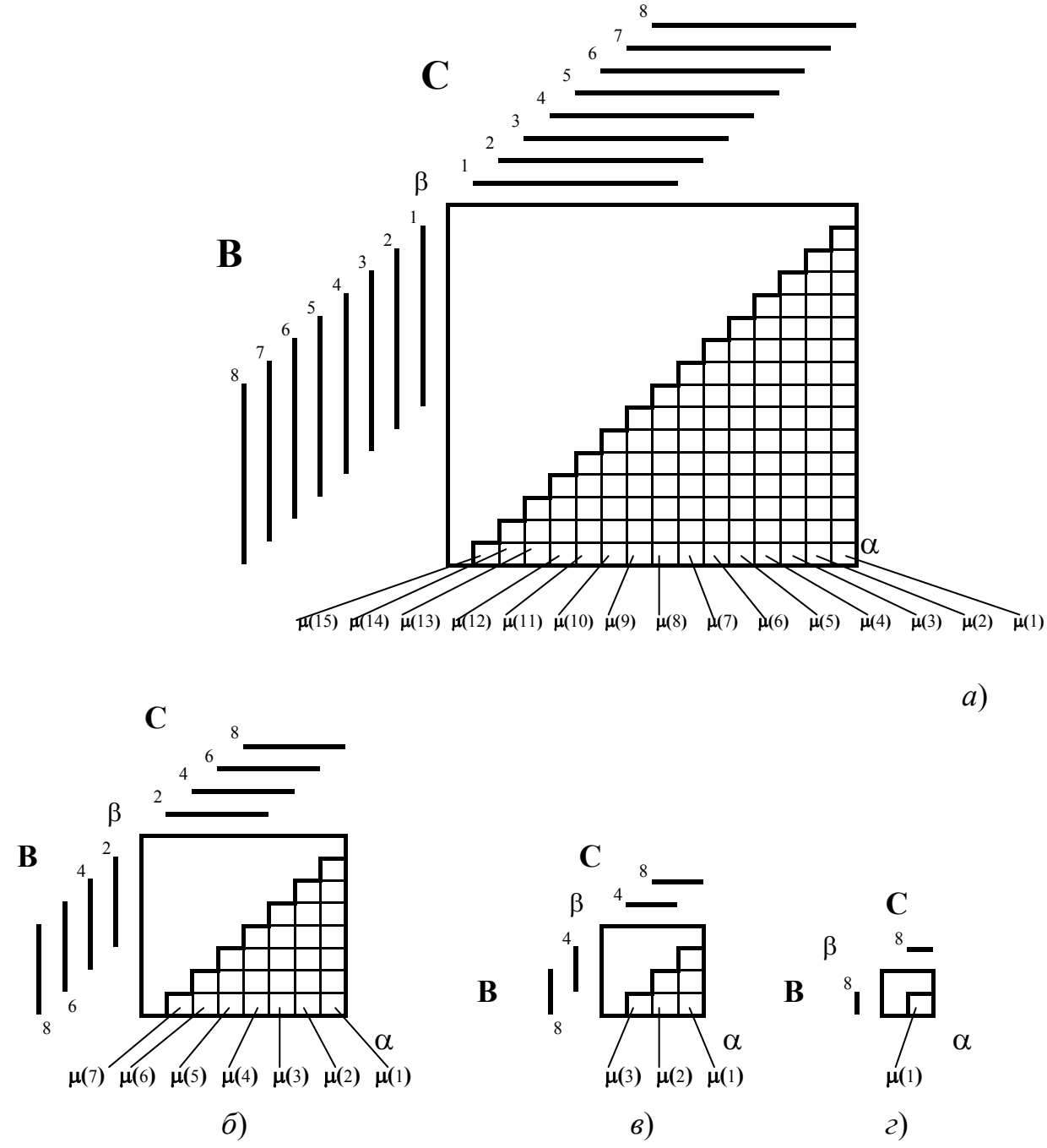
На рис. 4.37, *а*, *б*, *в*, *г* приведены угловые множества μ_α относительно полюса α соответственно для четырех вариантов формирования этих множеств. В первом варианте реализации используются все фазы операнд $c_1 – c_8$, $b_1 – b_8$; во втором варианте – фазы операнд c_2, c_4, c_6, c_8; b_2, b_4, b_6, b_8; в третьем варианте – фазы операнд c_4, c_8; b_4, b_8; в четвертом варианте – фазы операнд c_8; b_8. При этом на рис. 4.37 показаны не все возможные угловые множества, а только те, которые обеспечивают отсутствие "сквозных" токов в стойках мостового трехфазного инвертора и одновременное отсутствие контурных токов, например в транзисторах одной группы инвертора (коллекторной или эмиттерной).

Отсутствие "сквозных" токов в стойках мостового инвертора (рис. 4.36) означает, что периодическое поочередное открытие ключей $к_1$, $к_2$; $к_3$, $к_4$; $к_5$, $к_6$ происходит через временную паузу, в течение которой в каждой паре оба ключа остаются закрытыми. Отсутствие контурных токов означает, что в каждой тройке ключей $к_1$, $к_3$, $к_5$; $к_2$, $к_4$, $к_6$ может быть в любой момент времени открыт только один ключ.

Отсутствие "сквозных" токов в стойках мостового инвертора является обязательным для любых типов электроприводов, поскольку их наличие приведет обязательно к выходу инвертора из строя. Отсутствие контурных токов необходимо только при низких индуктивных сопротивлениях фаз электродвигателей, например вентильных или синхронных с электромагнитным возбуждением, когда вследствие большого значения ЭДС на высоких частотах вращения могут возникнуть в этих контурах значительные токи, которые приведут к выходу его силовых элементов.

Применение законов управления переключением силовых элементов мостового трехфазного инвертора напряжения, когда имеются цепи для контурных токов, не препятствует использованию асинхронных электроприводов. Такой режим для асинхронных электроприводов широко используется не только для режима регулирования выходных напряжений инверторов, но и при максимальном значении его напряжения. Эти максимальные значения выходного напряжения трехфазного мостового инвертора напряжения называются прямоугольными без гармонических составляющих, кратных трем.

Остановимся более детально на управлении изменением длительности открытия силовых элементов трехфазного мостового инвертора.



а) *б*) *в*) *г*)

Рис. 4.37

Очевидно, что угловые множества μ_β относительно полюса β получаются из угловых множеств μ_α простым переводом в них операнд **C** , **B** из прямого кода в обратный.

Остановимся на первом варианте, где по сигналу **L** возможно изменение угловых множеств от $\mu(0) = 0^*$ до $\mu(31) = 1^*$. При этом только угловые множества ниже главной диагонали $\mu(1)$, ... , $\mu(15)$ удовлетворяют поставленным условиям по отсутствию "сквозных" и одновременно контурных токов, а угловые множества выше главной диагонали $\mu(16)$, ... , $\mu(30)$ обеспечивают только отсутствие "сквозных" токов в стойках мостового инвертора. Угловое множество $\mu(31)$ не обладает этими свойствами.

При этом логические выражения, определяющие построение коммутационного блока, представляются следующей зависимостью:

$$\mathbf{K} = \begin{vmatrix} k_1 \\ k_2 \\ k_3 \\ k_4 \\ k_5 \\ k_6 \end{vmatrix} = \begin{vmatrix} \mathbf{1} & \mathbf{2} & \mathbf{3} \\ \mathbf{4} & \mathbf{5} & \mathbf{0} \\ \mathbf{5} & \mathbf{0} & \mathbf{1} \\ \mathbf{2} & \mathbf{3} & \mathbf{4} \\ \mathbf{3} & \mathbf{4} & \mathbf{5} \\ \mathbf{0} & \mathbf{1} & \mathbf{2} \end{vmatrix} \mathbf{A} \begin{vmatrix} \mu_\alpha \\ 1^* \\ \mu_\beta \end{vmatrix}. \qquad (4.9.1)$$

Выполнение всех последующих вариантов построения логического блока очевидно из изложенного выше и не требует каких-либо пояснений.

Представление изменения всех управляющих сигналов K для первого и второго вариантов весьма громоздко, поэтому покажем это изменение на примере третьего варианта, где имеется всего восемь угловых множеств для каждого из полюсов. Это изменение показано на рис. 4.38.

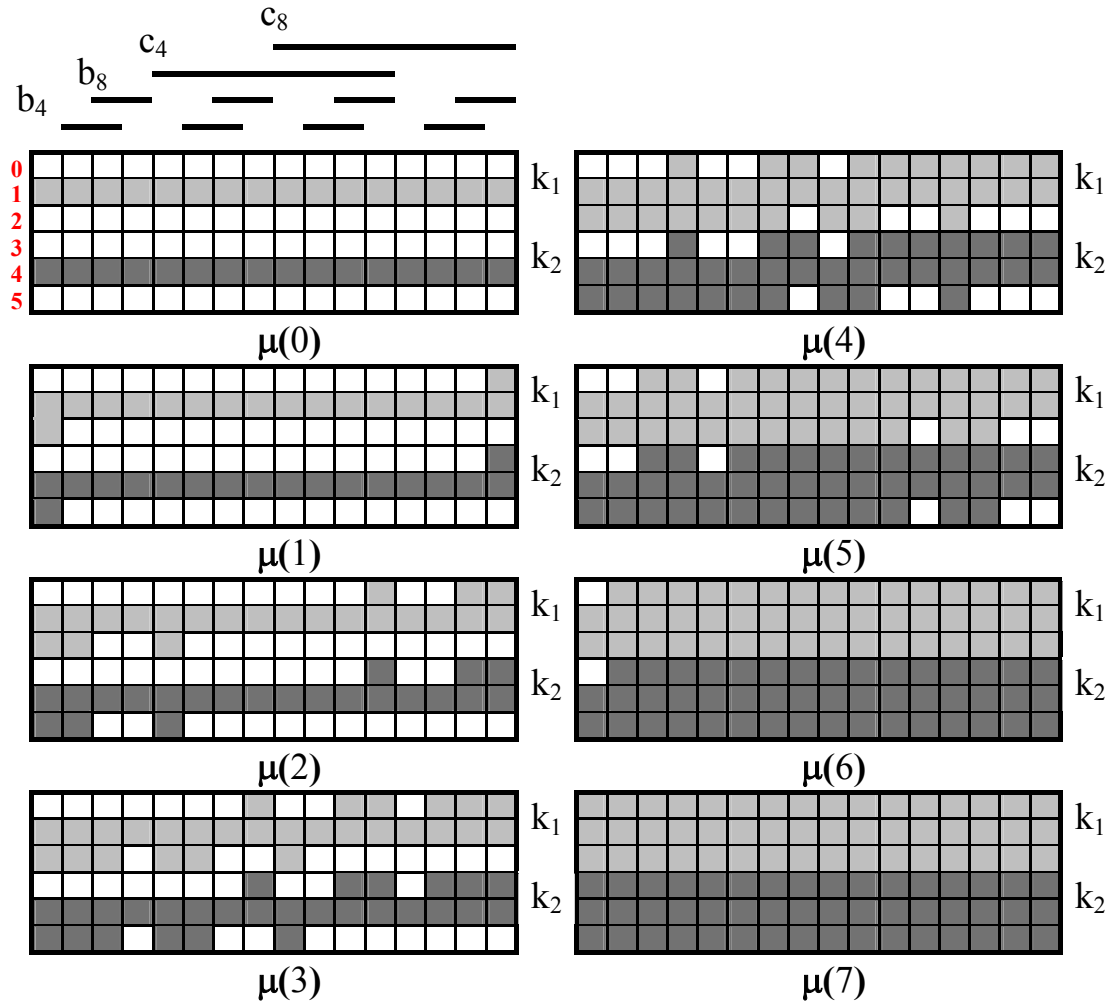


Рис. 4.38

Покажем это изменение только на примере сигналов управления k_1 и k_2 для силовых элементов первой стойки мостового инвертора. Сигналы управления остальных стоек могут быть получены из (4.9.1) путем их сдвига на две цифры старшего разряда кода **A** для второй стойки (k_3,k_4) и последующим сдвигом также на две цифры старшего разряда кода **A** для третьей стойки (k_5,k_6).

Для $\mu(0)$ в любой момент времени в инверторе будет открыт только один силовой ключ, что создает нулевое выходное напряжение инвертора. Установление по сигналу **L** следующего значения углового множества $\mu(1)$ приведет к появлению выходного напряжения инвертора, и дальнейшее увеличение угловых множеств ведет к соответствующему увеличению выходного напряжения. Вплоть до углового множества $\mu(n)$ повышение напряжения инвертора происходит при переключении силовых ключей (k_1,k_2; k_3,k_4; k_5,k_6) в стойках мостового инвертора через паузы, что обеспечивает отсутствие "сквозных" токов. Также переключение силовых ключей в группах (k_1,k_3, k_5), (k_2,k_4, k_6) происходит здесь через временные паузы, что обеспечивает отсутствие контурных токов через эти ключи, а отсутствие "сквозных" токов будет вплоть до углового множества $\mu(2n - 1)$. Угловое множество $\mu(2n)$ соответствует выходному напряжению инвертора при управлении с $\alpha = \pi$, где необходимо принимать дополнительные меры, исключающие "сквозные" токи.

Следует отметить, что число младших разрядов делителя-счетчика в схеме рис. 4.36 может быть и больше двух. При этом угловые множества μ_α и μ_β будут большей мерности.

4.10. Изменение формы выходного напряжения в инверторах с многофазной цифровой модуляцией

Изменение формы выходного напряжения в инверторах с многофазной цифровой модуляцией (рис. 4.15) происходит автоматически с регулированием частоты этого напряжения. На низкой частоте выходного квазисинусоидального напряжения инвертора, когда в схеме управления инвертором разность входных частот ($f_1 - f_2$) мала, число линейно изменяющихся импульсов большое, а с увеличением выходной частоты оно уменьшается и формально достигает одного импульса при двукратном отличии входных частот. Именно такое изменение формы выходного напряжения инвертора необходимо для частотно-управляемых электроприводов, где для высоких частот вращения электрической машины достаточно иметь прямоугольную форму напряжения, например для трехфазного варианта без гармонических составляющих, кратных трем.

Необходимая плавность вращения и КПД, что особенно важно, имеют здесь максимальное значение. К сожалению, из-за не синхронности входных частот f_1, f_2 получить прямоугольную форму выходного напряжения инвертора в схеме рис. 4.15 невозможно. Поэтому для электроприводов с большим диапазоном

регулирования и высокой предельной частотой вращения желательно иметь управляемую от частоты вращения форму выходного напряжения инвертора, когда на низких частотах форма напряжения квазисинусоидальная с определенным заданным количеством высокочастотных импульсов на линейно изменяющихся отрезках кривых, а на высокой предельной частоте вращения форма становится прямоугольной.

Именно такая схема управления трехфазным инвертором напряжения приведена на рис. 4.39.

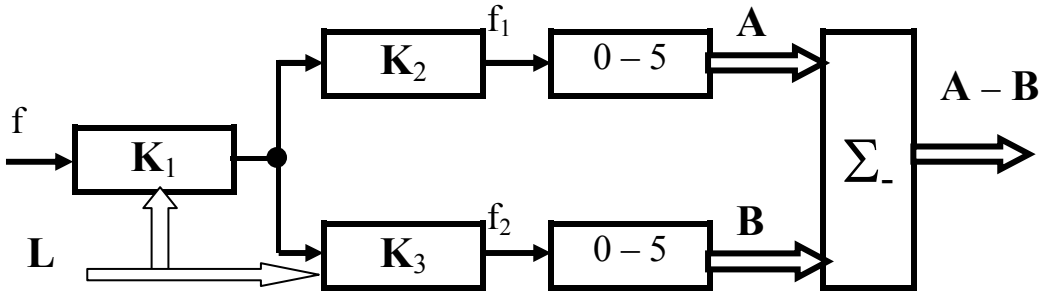


Рис. 4.39

Входная управляющая частота f инвертора напряжения, проходя через управляемый делитель частоты $\mathbf{K}_1$, поступает на вход двух параллельных каналов. В первом канале установлен делитель частоты $\mathbf{K}_2$, во втором канале – управляемый делитель $\mathbf{K}_3$. Обозначение делителей частоты соответствует их коэффициентам деления $к_1$, $к_2$, $к_3$. Выходные частоты f_1 и f_2 делителей $\mathbf{K}_2$, $\mathbf{K}_3$ являются входными частотами инвертора с многофазной цифровой модуляцией, рассмотренного в разд. 4.4.

Для простоты примем, что делитель частоты $\mathbf{K}_2$ имеет коэффициент деления $к_2=10$, управляемые делители $\mathbf{K}_3$, $\mathbf{K}_1$ соответственно изменяют коэффициенты деления по внешнему цифровому сигналу $\mathbf{L}$ в следующей зависимости: $к_3=9$, $к_1=1$; $к_3=8$, $к_1=2$; $к_3=7$, $к_1=3$; $к_3=6$, $к_1=4$; $к_3=5$, $к_1=5$. Техническая реализация управляемых делителей, где их коэффициенты деления связаны представленным выше способом, не вызывает каких-либо сложностей.

При $к_3=9$, $к_2=10$ разность частот f_1, f_2 составляет 10%, при $к_3=9$, $к_2=10$ разность частот f_1, f_2 составляет 20% и т.д. вплоть до $к_3=5$, $к_2=10$, когда разность частот f_1, f_2 составит 50%. При разности частот в 10% число высокочастотных импульсов на линейно изменяющихся отрезках кривых выходных напряжений трехфазного мостового инвертора равно 10, а при разности частот в 20% число высокочастотных импульсов на линейно изменяющихся отрезках кривых выходных напряжений равно 5 и т.д. вплоть до разности частот в 50%, когда на этих отрезках содержится всего один импульс. При этом, поскольку коэффициенту деления $к_3$ соответствует определенное значение $к_1$, частота выходного напряжения инвертора остается неизменной и пропорциональной входной частоте f, что определяется выражением $f_{ин}=f(к_2 - к_3)/6к_1к_2к_3$.

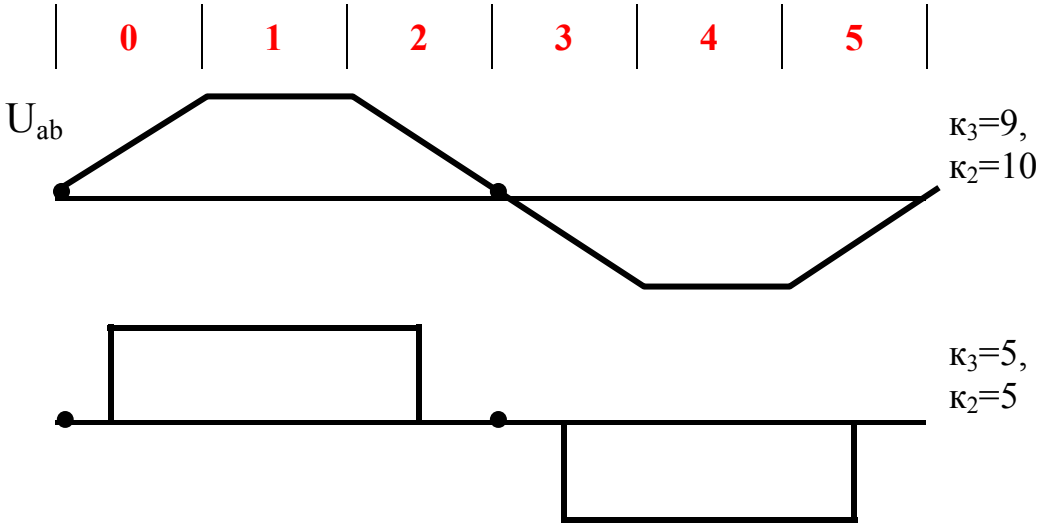


Рис. 4.40

Из рис. 4.40 видно, что изменение формы выходного напряжения инвертора не приводит в этой схеме к изменению частоты выходного напряжения и их фазы относительно предыдущего значения входного сигнала **L**.

Другой вариант структурной схемы управления инвертором с многофазной цифровой модуляцией, где имеется возможность изменять форму выходного напряжения, приведен на рис. 4.41.

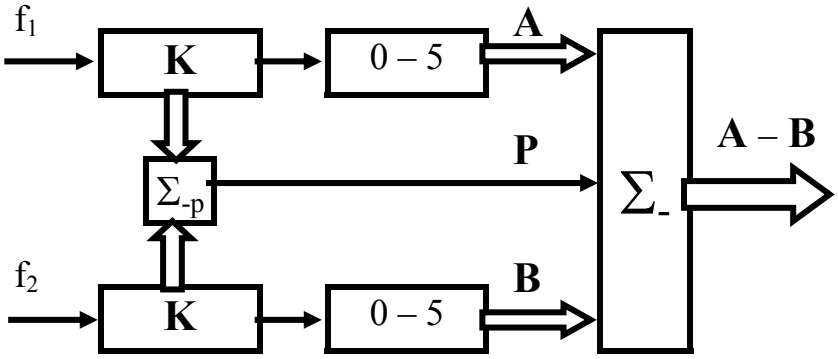


Рис. 4.41

Отличие этой структурной схемы от известной схемы рис. 4.15 заключается в установке в каналах её частот f_1, f_2 дополнительных одинаковых делителей-счетчиков **K**, а также в выполнении операции разности их цифровых значений в блоке Σ_- и подаче сигнала переноса **P** на вход этого блока.

Первоначально мысленно рассмотрим вариант исполнения, когда в схеме нет дополнительных делителей-счетчиков **K**. Пусть $f_2 > f_1$ и эти частоты отличаются на 10%, тогда за девять тактов каждого из цифровых сигналов **A** произойдет десять тактов изменения цифрового сигнала **B**.

Этот цикл изменения фазовых соотношений, который находит отражение на выходных шинах блока Σ_-, сопровождается убыванием одной цифры разности (**B – A**) и возрастанием следующей по порядку цифры. При этом каждый

полный цикл переключения эквивалентен одной из цифр трехфазного выходного напряжения инвертора.

Например, в первом цикле переключения цифра **0** убывает, а цифра **1** возрастает; во втором цикле цифра **1** убывает, а цифра **2** возрастает и т.д. вплоть до шестого цикла, где цифра **5** убывает, а цифра **0** возрастает. Эти шесть циклов переключения и определяют период выходных трехфазных напряжений инвертора. При этом в период выходного трехфазного кода будут укладываться 54 периода частоты f_1 и, соответственно, 60 периодов частоты f_2.

Затем установим в схеме рис. 4.41 делители-счетчики, например основания n=2. Тогда в период выходного трехфазного кода инвертора напряжения будут укладываться 108 периодов частоты f_1 и, соответственно 120, периодов частоты f_2. Произведем операцию вычитания в блоке Σ_- с учетом сигнала переноса P.

Тогда в соответствии с законом сохранения фазовых соотношений при преобразовании частоты, который был открыт Л.И. Мандельштамом [4.39], за девять периодов частоты f_1 пройдет десять периодов частоты f_2, что будет соответствовать двенадцати циклам за период выходного трехфазного кода инвертора напряжения. Эти изменения цифр разности **(B – A)** с учетом младших разрядов будут представлены табл. 4.10.1.

Таблица 4.10.1

№ цикла	Убывание	Возрастание
1	0.0	0.1
2	0.1	1.0
3	1.0	1.1
4	1.1	2.0
5	2.0	2.1
6	2.1	3.0
7	3.0	3.1
8	3.1	4.0
9	4.0	4.1
10	4.1	5.0
11	5.0	5.1
12	5.1	0.0

Каждый цикл переключения занимает здесь 30 эл. град. периода выходной частоты.

В дальнейшем выберем следующее большее значение основания системы счисления, например n=4. Тогда в период выходного трехфазного кода инвертора напряжения будут укладываться 216 периодов частоты f_1 и 240 периодов частоты f_2, что будет соответствовать 24 циклам за период выходного трехфаз-

ного кода инвертора напряжения. Эти изменения цифр разности **(B – A)** с учетом младших разрядов будут представлены табл. 4.10.2. Каждый цикл переключения занимает здесь 15 эл. град. периода выходной частоты и т.д.

Таблица 4.10.2

№ цикла	Убывание	Возрастание
1	0.00	0.01
2	0.01	0.10
3	0.10	0.11
4	0.11	1.00
5	1.00	1.01
6	1.01	1.10
7	1.10	1.11
8	1.11	2.00
9	2.00	2.01
10	2.01	2.10
11	2.10	2.11
12	2.11	3.00
13	3.00	3.01
14	3.01	3.10
15	3.10	3.11
16	3.11	4.00
17	4.00	4.01
18	4.01	4.10
19	4.10	4.11
20	4.11	5.00
21	5.00	5.01
22	5.01	5.10
23	5.10	5.11
24	5.11	0.00

На рис. 4.42 приведены формы выходного напряжения трехфазного мостового инвертора U_{ab}, когда по внешнему сигналу **L** производится переключение основания системы счисления делителей-счетчиков **K** соответственно для n = 0, 2, 4 и 8. На всех линейно изменяющихся участках кривых будет содержаться одинаковое количество высокочастотных импульсов, частота которых увеличивается пропорционально изменению основания системы счисления. При этом фаза выходных напряжений инвертора относительно начального значения изменяется в соответствии со следующим выражением:

$$\varphi = \sum_{k=1}^{k=n/2} \frac{60\,k}{2n},$$

где k = 1, 2, 4, 8, …

Для более детального представления, как изменяется форма выходного напряжения инвертора, ограничимся следующими режимами: исходным, когда не формируется сигнал заема из блока $\mathbf{\Sigma_{-p}}$ (P=0*), и при формировании этого сигнала (P=1*) , когда основание систем счисления цифрового кода делителей-счетчиков **K** устанавливается внешним сигналом **L**, равным n=2 и n=4. При этом будем рассматривать изменение формы выходного напряжения U_{ab} только на линейно изменяющемся участке кривой, например, эквивалентном цифре $\mathbf{0}_{ab}$.

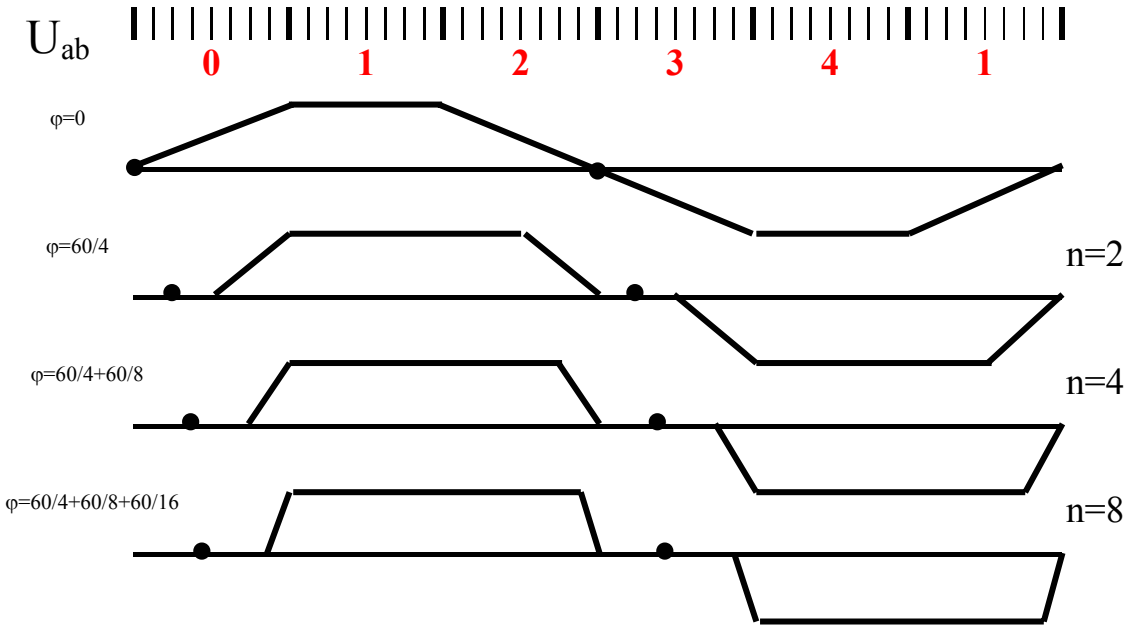
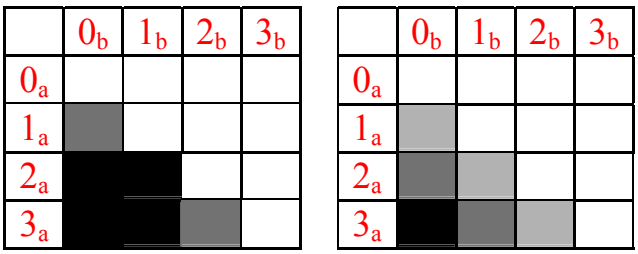


Рис. 4.42

На рис. 4.43, *а* приведены в двухмерном цифровом пространстве сигналов делителей-счетчиков **K** цифровые множества сигналов заема P для n=2 (чёрные клетки пространства) и n=4 (чёрные и более светлые клетки).



а) *б*)

Рис. 4.43

В соответствии с этими множествами на рис. 4.44, *а*, *б*, *в* приведены в двухмерном цифровом пространстве сигналов **A** (включающие полную цифровую емкость деления частоты f_1) формы отмеченного выше участка выходного напряжения инвертора U_{ab} для указанной последовательности изменения входного сигнала **L**.

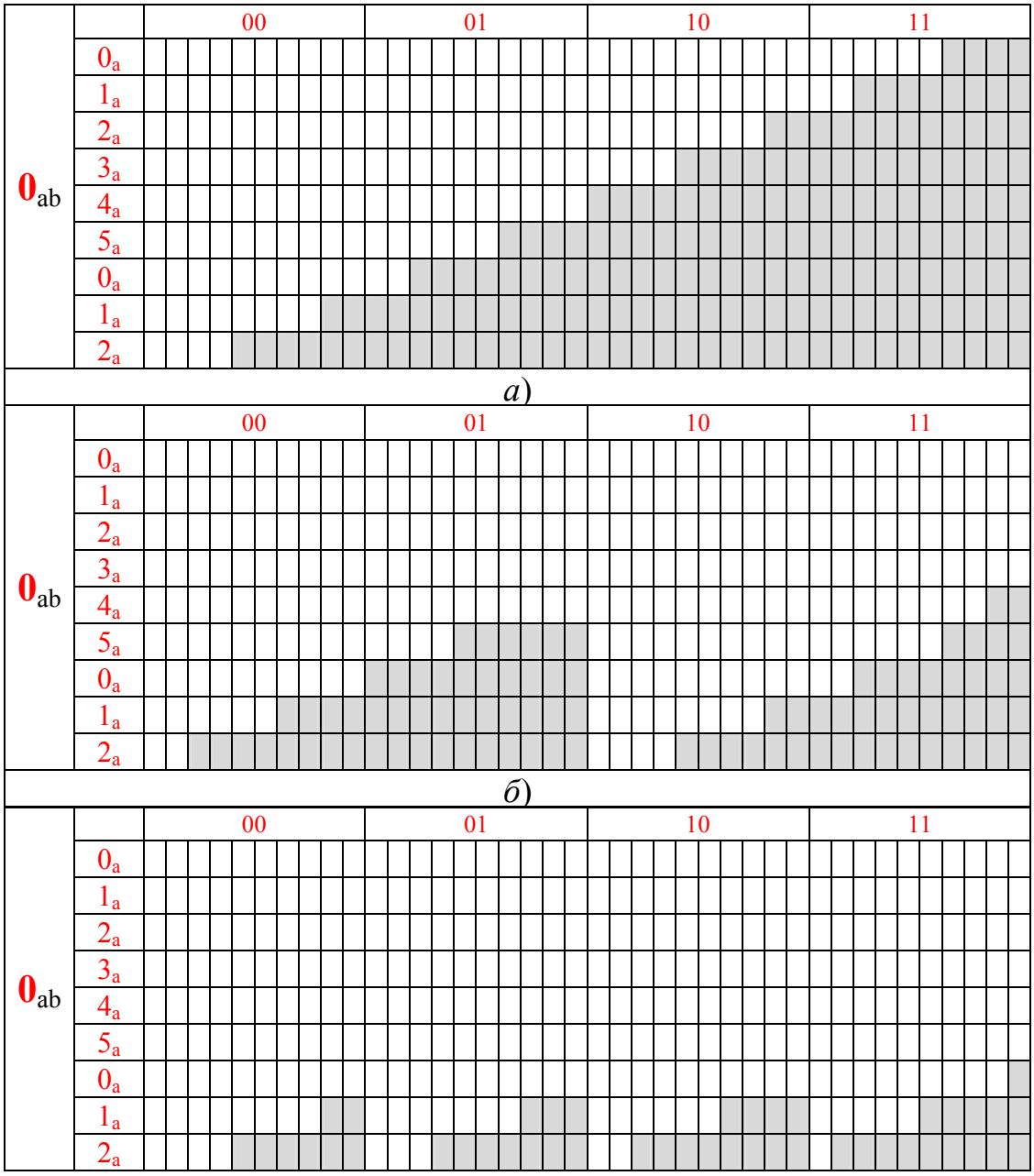


Рис. 4.44

Одновременное изучение рис. 4.42 и 4.44 дает полную картину изменения выходного напряжения трехфазного инвертора, в том числе и при дальнейшем увеличении значения n.

Здесь также необходимо рассмотреть изменение форм выходного напряжения инвертора, когда вместо сигналов заема используются сигналы угловых множеств, например, относительно полюса α представленного цифрового пространства (рис. 4.43, *б*), где угловое множество, включающее клетки, отмеченные чёрным, более светлым и еще более светлым цветами, полностью совпадает с множеством сигнала заема для n=4.

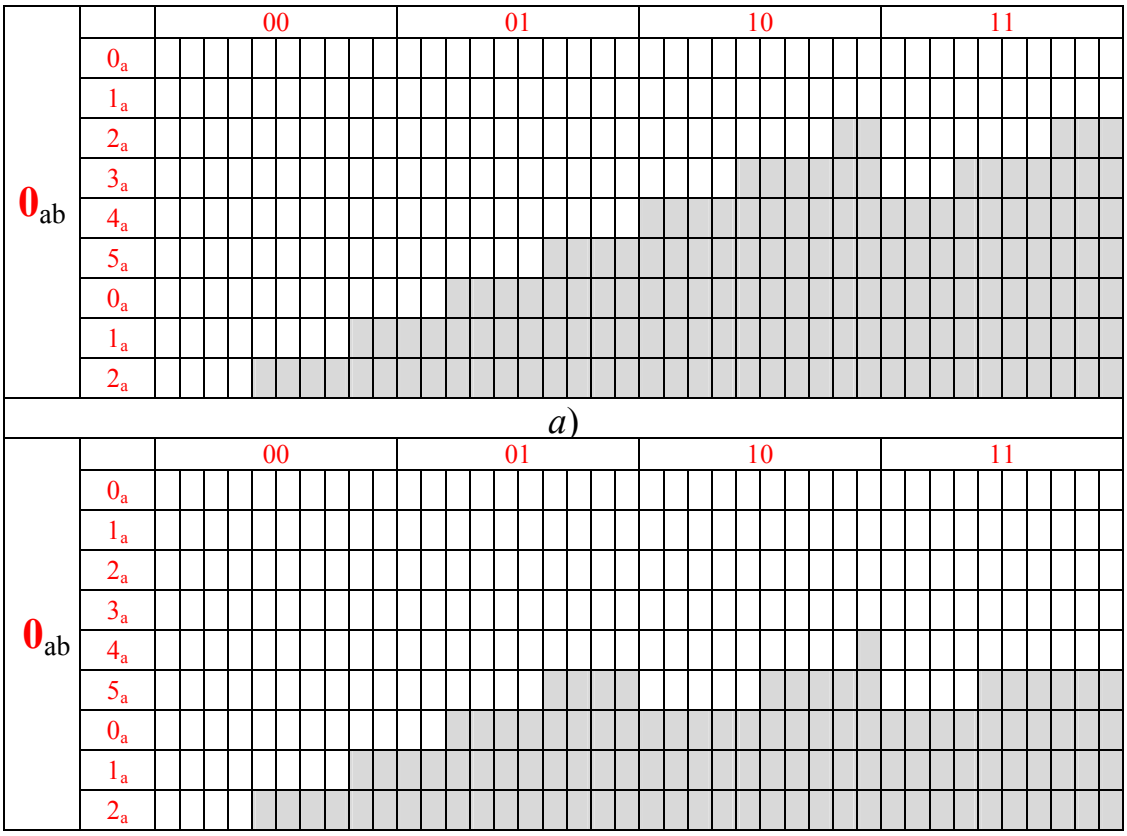


Рис. 4.45

Оставшиеся два других угловых множества позволяют получить соответственно две формы выходного напряжения инвертора, которые приведены на рис. 4.45,*а*, *б*, из которого видно, что второй способ управления формой выходного напряжения многофазного инвертора не удовлетворяет полностью требованиям электроприводов переменного тока: изменение формы происходит только "сжатием" линейно изменяющихся отрезков кривых выходного напряжения, не меняя числа высокочастотных импульсов на этих отрезках, и расширением постоянных отрезков. При этом происходит изменение фазы относительно первоначальной квазисинусоидальной формы выходного напряжения инвертора. Причем при управлении с использованием схемы переключения сигналов угловых множеств в координатах младших разрядов каналов деления входной частоты, что расширяет диапазон изменения форм выходных напряжений, происходит искажение и линейно изменяющихся отрезков этих напряжений.

Несмотря на эти недостатки, благодаря тому, что многофазная цифровая модуляция позволяет без использования каких-либо фильтров превратить любую из форм управляющих сигналов на выходе блока Σ- в прямоугольные многофазные сигналы, применение второго способа изменения формы выходного напряжения возможно в электроприводах, где по внешней команде осуществляется переход от квазисинусоидальной формы к прямоугольной.

Для пояснения операции превращения управляющей квазисинусоидальной формы сигнала в прямоугольную форму обратимся к цифровым значениям выходного напряжения инвертора U_{ab} (рис. 4.44 и 4.45).

Линейно возрастающий участок кривой положительной полуволны напряжения характеризуется здесь убыванием цифры **0** и возрастанием цифры **1**, аналогичный участок кривой отрицательной полуволны – убыванием цифры 2 и возрастанием цифры **3**. Очевидно, что выходные напряжения U_{bc}, U_{ca}, которые имеют фазовый сдвиг относительно напряжения U_{ab} соответственно на 120 и 240 эл.град. будут определяться цифрами, увеличенными относительно цифр напряжения U_{ab} на две и четыре единицы.

Таким образом, подавая цифровые значения **1**, **3**, **2**, **5**, **4**, 0 выходных сигналов блока Σ- на соответствующие входы регистра, состоящего из трех RS триггеров, можно получить необходимые прямоугольные формы трехфазных управляющих сигналов.

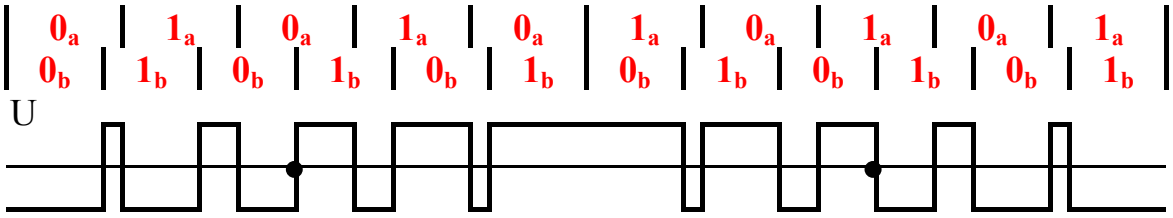


Рис. 4.46

Нетрудно показать, что для однофазной цифровой модуляции, когда блок Σ- представляет собой вычитающее устройство на основе логической схемы "исключающее ИЛИ", схема однофазного мостового инвертора также имеет линейно изменяющиеся отрезки импульсной ШИМ (рис. 4.46), но здесь получить прямоугольную форму выходного сигнала можно только, используя в качестве промежуточного преобразования аналоговый фильтр.

В инверторах с многофазной цифровой модуляцией, где в одном из каналов деления входной частоты установлен, например, трехфазный фазовращатель, переход от квазисинусоидальной формы выходного напряжения к прямоугольной можно реализовать, как было показано выше, через регистр на RS триггерах.

4.11. Трехфазные инверторы при синусоидальном законе ШИМ выходного напряжения

Использование цифровых способов формирования и регулирования выходного напряжения инверторов позволяет получить любую необходимую форму этих напряжений, где возможности этих способов ограничиваются только емкостью цифровой шкалы используемого цифрового датчика и сложностью схемы управления.

Остановим наше внимание на применении синусоидального закона ШИМ. При этом возможно использование двух методов формирования выходного напряжения инвертора. Первый метод – односторонний, второй – двусторонний. Отличие этих методов, как известно, заключается в том, что в первом методе в период высокочастотной паузы выходное напряжение в каждой фазе инвертора нулевое, а во втором методе в период высокочастотной паузы оно меняется на обратное.

Предположим вначале, что высокочастотные импульсы различной длительности располагаются в полуволнах выходного напряжения равномерно, а частота модуляции f_0 синфазна с частотой f выходного напряжения (рис. 4.47).

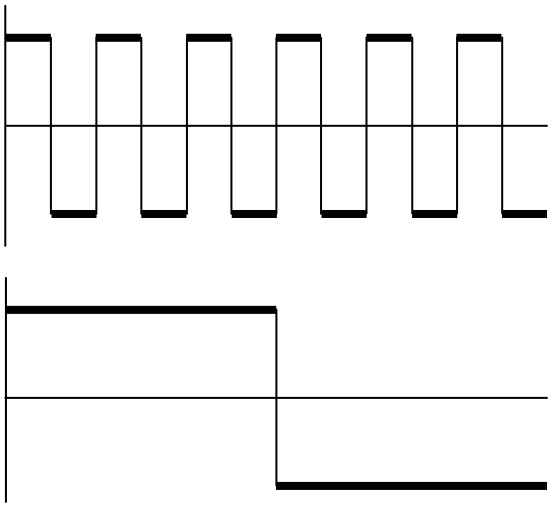


Рис. 4.47

Для одностороннего способа формирования выходного напряжения инвертора в каждой полуволне частоты f_0 содержится высокочастотный импульс напряжения инвертора U_a, который может располагаться строго по середине полупериода частоты f_0 (рис. 4.48, *а*), либо находиться на границах этого полупериода (рис. 4.48, *б*, *в*).

Для размещения высокочастотного импульса на границах полупериода частоты f_0 и получения строгой симметрии выходного напряжения инвертора расположение этих импульсов должно быть одинаковым на первой и третьей четверти периода выходного напряжения инвертора и противоположно им на второй и четвертой четверти этого напряжения. Строгая симметрия выходного напряжения позволяет при этом представлять его только на одной четверти периода (рис. 4.48).

Форма выходного напряжения примера (рис. 4.48, *а*), когда $n = f_0/f = 6$, соответствует длительностям импульсов x_1, x_2, x_3, пауз между ними y_1, y_2, y_3. На рис. 4.48, *б* это будут соответственно те же импульсы x_1, x_2, x_3, но другие паузы между ними – y_1, y_2. На рис. 4.48, *в* это будут и другие импульсы x_1, x_2, и другие паузы между ними – y_1, y_2.

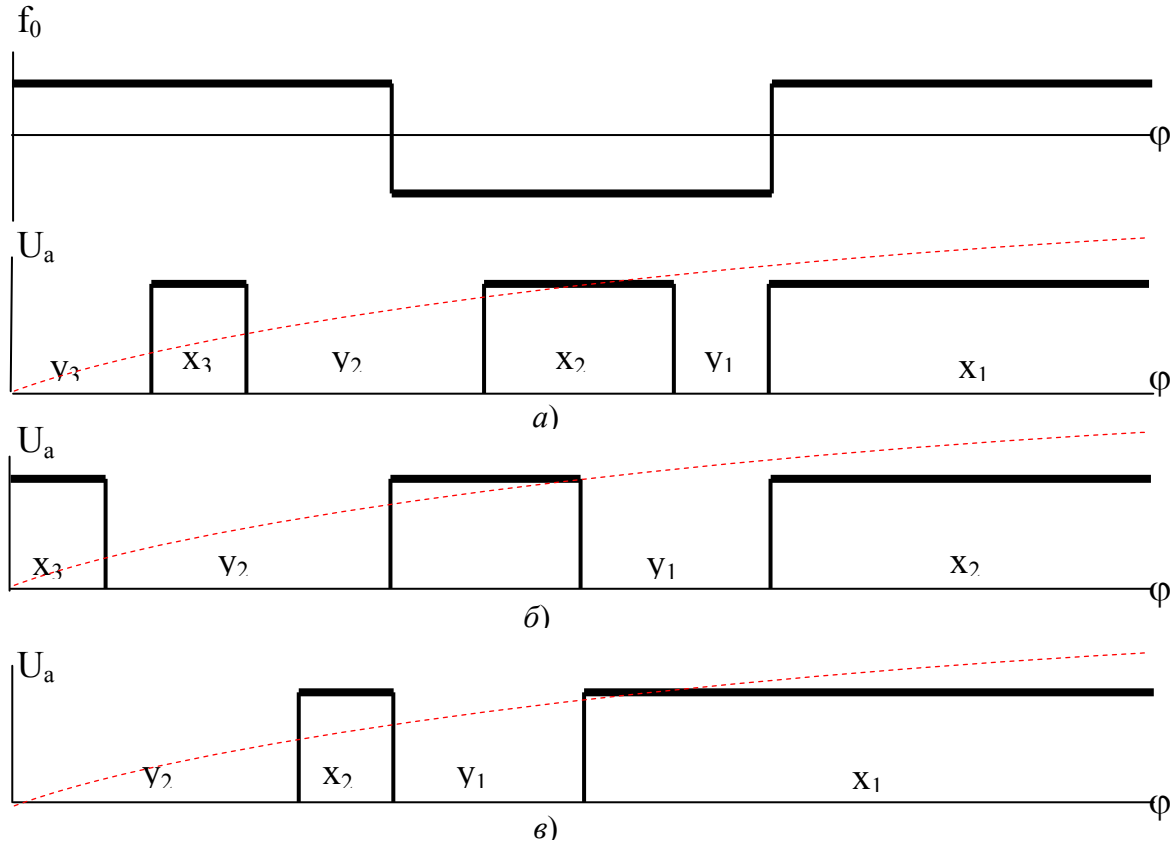


Рис. 4.48

Соотношения длительностей высокочастотных импульсов определяются отношением площади синусоиды ограниченной полуволной частоты на конкретном отрезке выходного напряжения инвертора. Принимая во внимание, что регулирование выходного напряжения осуществляется пропорциональным изменением длительностей всех его составляющих высокочастотных импульсов, длительность k-го импульса для размещения рис. 4.48, *а* определяется выражением

$$x_k = x^*\pi\cos(k\pi/2 - \pi/2n)/n\cos\pi/2n, \qquad (4.11.1)$$

а пауза между ними – зависимостью

$$y_k = \pi/n[1 - x^*\cos(\pi k/n)]. \qquad (4.11.2)$$

Аналогичные выражения для формы выходного напряжения рис. 4.48, *б* будут отличаться от представленных выше только паузами между высокочастотными импульсами:

$$y_k = \pi/n[1 - x^*\cos(\pi k/n + \pi/2n)/\cos\pi/2n]. \qquad (4.11.3)$$

В этих выражениях $k = 1, \ldots, n/2$; $x^* = 1 \div 0$, которые позволяют также просто определить длительности импульсов и пауз между ними для формы выходного напряжения рис. 4.48, *в*.

Аналогично представленному выше формы выходных напряжений инвертора при двусторонней ШИМ приведены на рис. 4.49 *а*, *б*, *в*. Здесь также приведены варианты размещения основного высокочастотного импульса посредине полупериода частоты f_0 (рис. 4.49, *а*) и на границах этого полупериода (рис. 4.49, *б*, *в*).

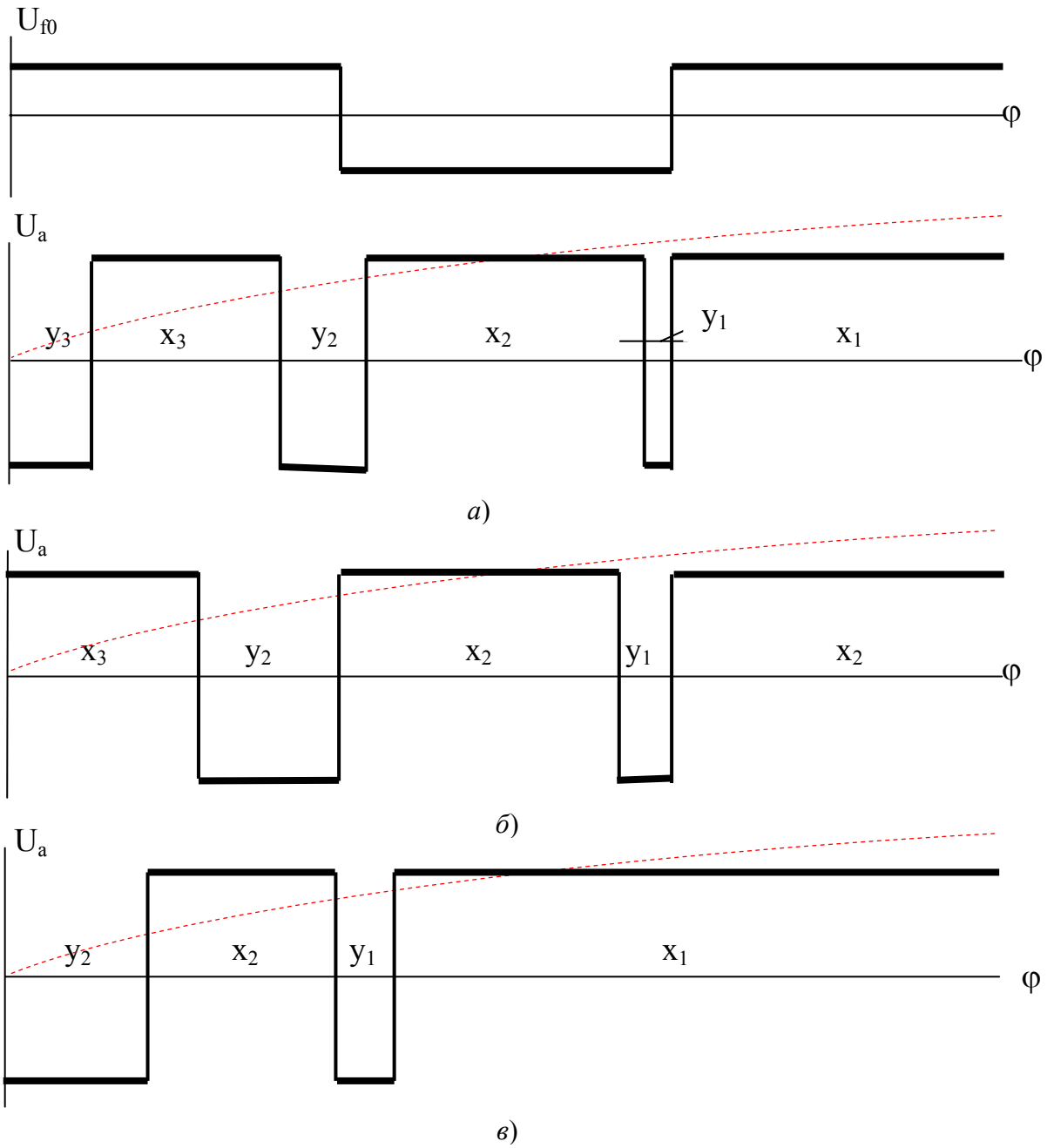


Рис. 4.49

Длительность основного k-го импульса для форм напряжения рис. 4.49, *а* определяется выражением

$$x_k = \pi/2n[1+ x*\cos(\pi k/n + \pi/2n)/ \cos\pi/2n], \qquad (4.11.4)$$

а длительность импульса во время высокочастотной паузы, т.е. обратной полярности основному импульсу, представляется выражением

$$y_k = \pi/2n[1 - x*\cos(\pi k/n)]. \qquad (4.11.5)$$

Такие же зависимости для формы выходного напряжения рис. 4.49, *б* будут отличаться от рис. 4.49, *а* только длительностью импульсов

$$y_k = \pi/2n[1- x*\cos(\pi k/n + \pi/2n)/ \cos\pi/2n]. \qquad (4.11.6)$$

Выражения (4.11.4) и (4.11.6) позволяют определить также длительность всех импульсов формы входного напряжения рис. 4.49, *в*.

Формы выходных регулируемых напряжений инвертора (рис. 4.48 и 4.49) могут быть реализованы только при использовании отдельных мостовых инверторов в каждой выходной фазе. При этом симметрия выходных напряжений этих форм позволяет использовать соответствующую коммутацию импульсов x_k по цифровым сигналам исходных прямоугольных фаз инвертора и сигналам, например, младших разрядов цифрового датчика для получения необходимой синусоидальной ШИМ. Сказанное поясняется рис. 4.50, где на примере односторонней ШИМ при расположении высокочастотных импульсов посредине полупериода частоты f_0 и $n = 6$ показано взаимное положение цифровых сигналов **0** – 5, эквивалентных исходному трехфазному коду U'_a, U'_b, U'_c, , а также управляющих импульсов α, β, α', β' и выходных напряжений трехфазного инвертора U_a, U_b, U_c.

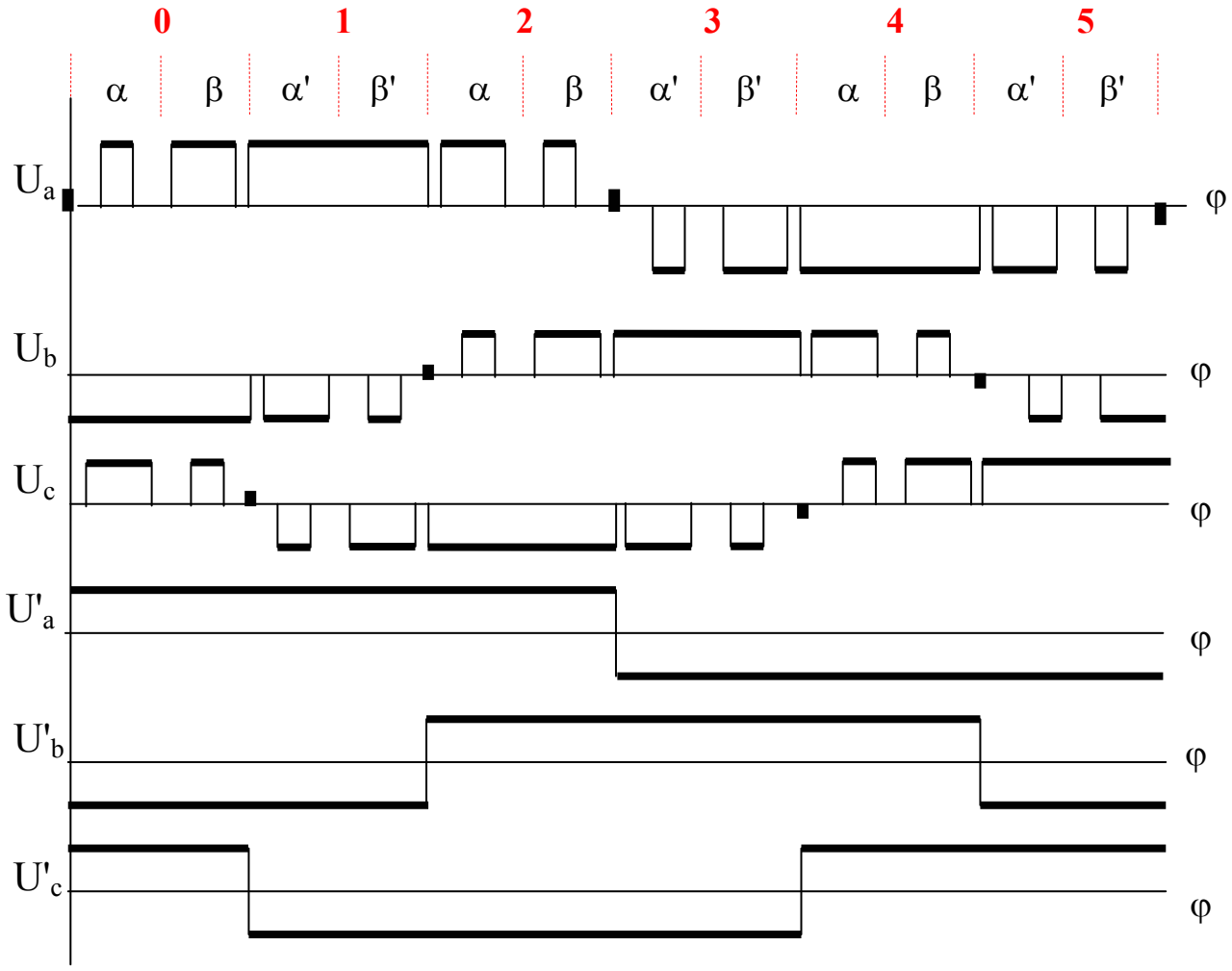


Рис. 4.50

Выходные напряжения инвертора формируются по следующим логическим выражениям:

$U_a = U'_a[(\alpha 0 \vee \beta 2 \vee \alpha' 3 \vee \beta' 5)x_3 \vee (\beta 0 \vee \alpha 2 \vee \beta' 3 \vee \alpha' 5)x_2 \vee (\alpha' 1 \vee \beta' 1 \vee \alpha 4 \vee \beta 4)x_1];$

$U_b = U'_b[(\alpha 2 \vee \beta 4 \vee \alpha' 5 \vee \beta' 1)x_3 \vee (\beta 2 \vee \alpha 4 \vee \beta' 5 \vee \alpha' 1)x_2 \vee (\alpha' 3 \vee \beta' 3 \vee \alpha 0 \vee \beta 0)x_1];$

$U_c = U'_c[(\alpha 4 \vee \beta 0 \vee \alpha' 1 \vee \beta' 3)x_3 \vee (\beta 4 \vee \alpha 0 \vee \beta' 1 \vee \alpha' 3)x_2 \vee (\alpha' 5 \vee \beta' 5 \vee \alpha 2 \vee \beta 2)x_1].$

Аналогично могут быть синтезированы схемы трехфазных инверторов при двусторонней синусоидальной ШИМ рис. 4.49. Причем сигналы управления двусторонней синусоидальной ШИМ для трех однофазных мостовых инверторов могут быть использованы и в трехфазном мостовом инверторе напряжения. В этом случае выходные напряжения трехфазного мостового инвертора будут иметь вид односторонней ШИМ.

На рис. 4.51 в качестве примера такого использования управляющих сигналов двусторонней ШИМ приведены получаемые при этом потенциалы средних точек φ_a , φ_b двух стоек инвертора и выходное напряжение $U_{ab} = \varphi_a - \varphi_b$, которое в данном случае будет относиться к односторонней синусоидальной ШИМ.

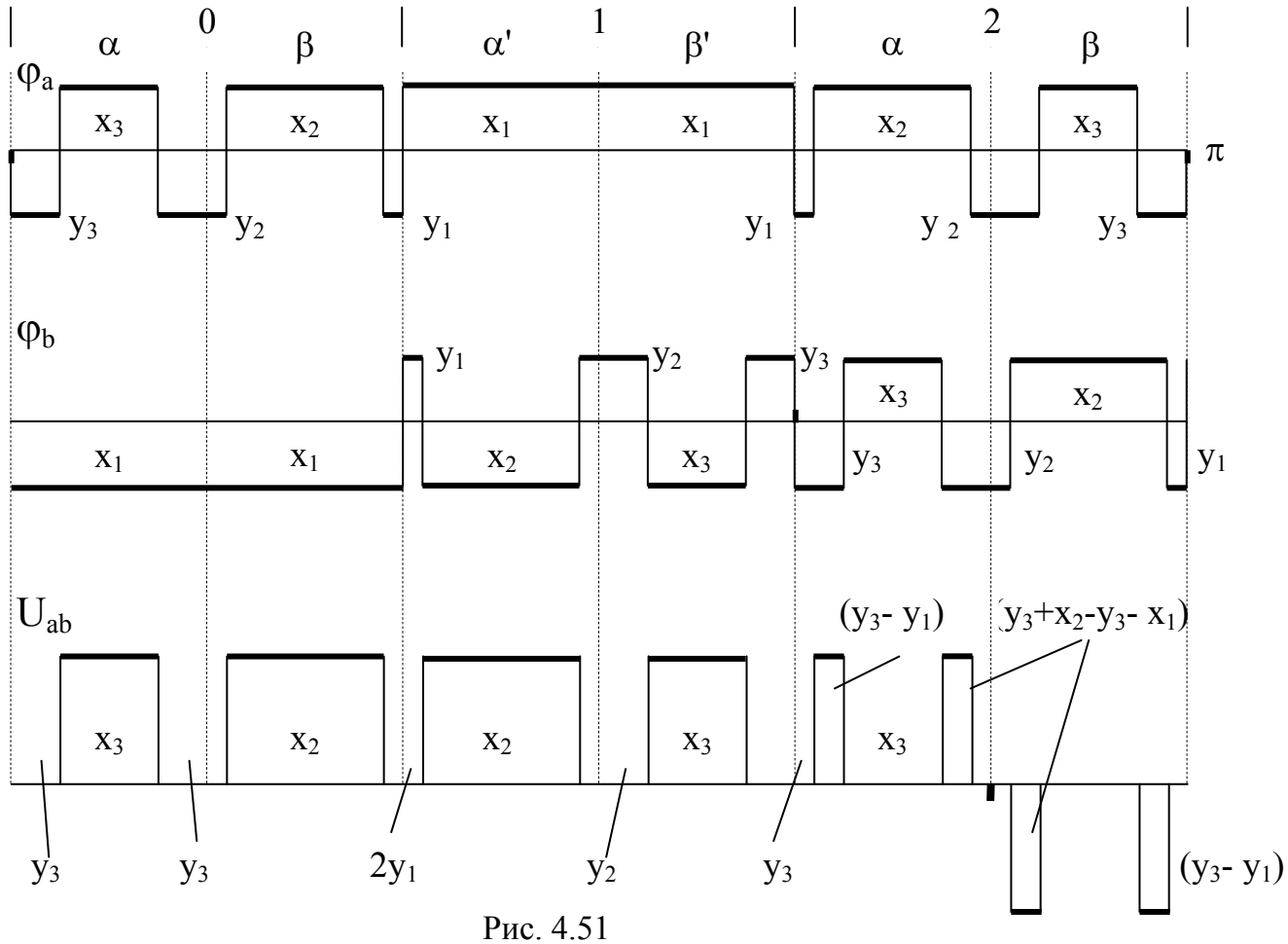


Рис. 4.51

При известности исходных значений длительностей импульсов x_1, x_2, x_3 двусторонней ШИМ здесь в выходном напряжении U_{ab} трехфазного мостового инвертора будет другой ансамбль длительностей импульсов, что наглядно видно на этом рисунке.

Рассмотренные выше законы формирования синусоидальной ШИМ цифровым способом имеют полное соответствие с аналоговыми способами, где сигналы ШИМ формируются сравнением эталонных, гладких синусоидальных сигналов с треугольными либо пилообразными высокочастотными сигналами. Из-за несинхронности этих сравниваемых сигналов получить симметрию выходных напряжений инвертора не представляется возможным.

Только цифровые методы формирования и обработки сравниваемых сигналов [4.19], [4.42] – [4.44] позволяют устранить этот недостаток. Впервые это было описано в [4.23], где показана возможность синтеза квазисинусоидальной регулируемой ШИМ на выходных шинах трехфазного мостового инвертора односторонним способом. Это достигнуто тем, что в схеме управляемые линейно нарастающие M и линейно убывающие импульсы K располагались на постоянном месте на соответствующих отрезках периода выходного напряжения. Причем их расположение менялось на каждом отрезке и зависело от величины выходного напряжения инвертора, где каждый импульс ансамбля M начинал формироваться сразу после окончания соответствующего импульса ансамбля K. При этом логическая сумма каждой пары импульсов $L_i = (M_i \vee K_i)$ оставалась посредине участка размещения этого синтезированного высокочастотного импульса.

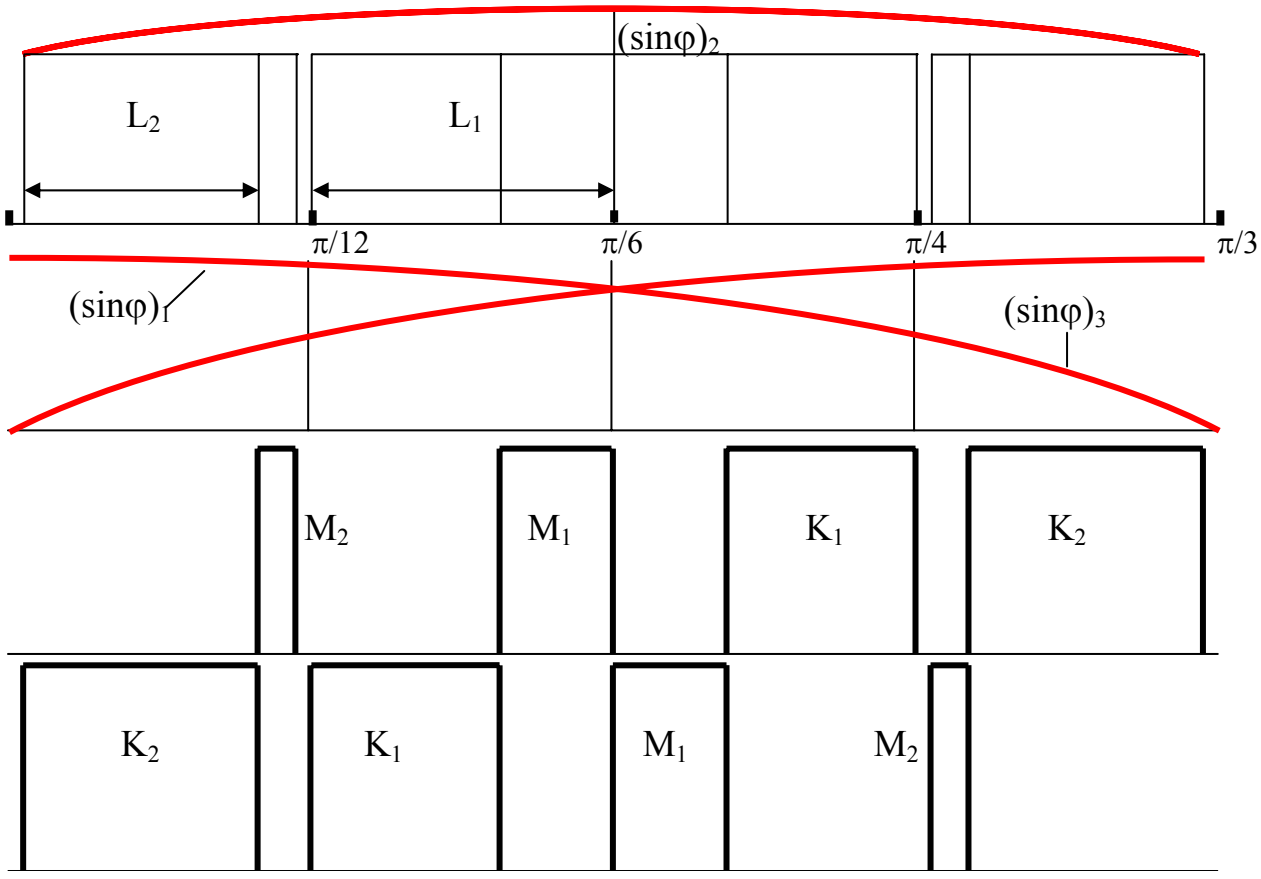


Рис. 4.52

Все изложенное выше полностью удовлетворяет формированию и других симметричных форм выходного напряжения односторонней ШИМ трехфазного мостового инвертора напряжения.

Для пояснения этого утверждения обратимся к рис. 4.52, где представлены три части полуволны синусоиды ($(\sin\varphi)_1$ – нарастающая ветвь полуволны синусоиды, $(\sin\varphi)_2$ – вершина полуволны синусоиды, $(\sin\varphi)_3$ – спадающая полуволны ветвь синусоиды). При этом соотношение частот $n = f_0/f$ выбирается из условия четности и кратности трем (n = 6, 12, 18, ...). Из этого следует, что число полуволн частоты f_0 на отрезке в $\pi/3$ радиан равно n /3.

На рис. 4.52 показаны три части синусоиды на примере n = 12, где каждая полуволна частоты f_0 равна $\pi/12$ радиан и на отрезке в $\pi/3$ радиан располагаются четыре полуволны этой частоты. При этом общеизвестно, что часть полуволны синусоиды равна сумме двух других частей $(\sin\varphi)_2 = (\sin\varphi)_1 + (\sin\varphi)_3$. Это свойство должно быть распространено и на замещающие их ансамбли высокочастотных импульсов, где $(\sin\varphi)_2$ определяет соотношение длительностей высокочастотных импульсов $L_i = (M_i \vee K_i)$, которые попарно равны и расположены симметрично относительно оси симметрии этой части синусоиды.

Первая пара высокочастотных импульсов, расположенная непосредственно около этой оси симметрии, имеет длительность каждого импульса в π/n радиан, а последующие пары импульсов будут иметь меньшие длительности. Эти длительности определяются отношением площадей, ограниченных частями синусоиды на соответствующих полуволнах частоты f_0 к части синусоиды для первой пары импульсов. Тогда длительность этих импульсов будет определяться следующей зависимостью:

$$L_i = \pi\cos[\pi i/n - \pi/2n]/n\cos(\pi/2n), \qquad (4.11.7)$$

где i = 1, 2, ... , n/6.

Соотношения площадей, ограниченных на конкретных полуволнах частоты отрезками $(\sin\varphi)_1$ и $(\sin\varphi)_3$, определяют разделение импульсов L_i на две составляющие: M_i и K_i. Причем ансамбль импульсов M и K имеет равные одиночные импульсы.

Обозначив отношение площадей коэффициентом $\alpha_i = S(\sin\varphi)_1/ S(\sin\varphi)_3 = M_i/ K_i$ ($\alpha_i \le 1$), получим длительность импульсов $K_i = L_i/(1+\alpha_i)$, $M_i = L_i\alpha_i /(1+\alpha_i)$, а значение α_i при n = 6, 12, 18, ... определяется выражением

$$\alpha_i = \sin[\pi/6 - \pi(2i - 1)/2n]/ \sin[\pi/6 + \pi(2i - 1)/2n],$$

где i = 1, 2, ... , n/6.

Структурная схема трехфазного мостового инвертора напряжения с синусоидальным законом ШИМ регулируемого выходного напряжения приведена на рис. 4.53.

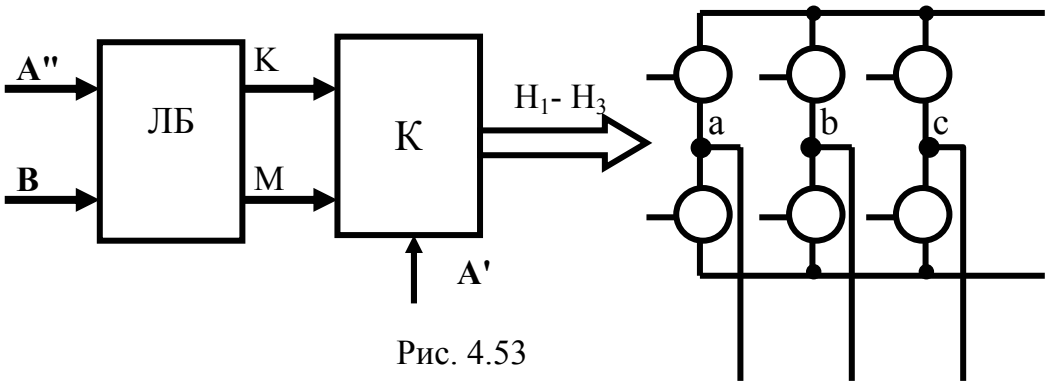


Рис. 4.53

Цифровой входной код **A(A'**, **A")**, где старший разряд выполнен в трехфазном коде **A'**(a_1, a_2, a_3), а младшие разряды A" могут быть представлены в любом известном коде, формирует сигналы $H_1 – H_3$ для управления силовыми элементами инвертора. При этом сигналы младших разрядов формируют на выходе логического блока ансамбли импульсов M, K, которые переключаются на выход коммутатора [4.23] цифровыми сигналами кода **A'**(a_1, a_2, a_3) по следующему логическому закону:

$$\begin{aligned} H_1 &= M(\underline{a}_2\, \underline{a}_3) \vee K(a_1\, a_2); \\ H_2 &= M(a_1\, a_2) \vee K(\underline{a}_1\, a_3); \\ H_3 &= K(\underline{a}_2\, \underline{a}_3) \vee M(a_1\, a_3), \end{aligned} \qquad (4.11.8)$$

где трехфазные сигналы a_1, a_2, a_3 представлены в записи Либау-Крейга.

По выражению (4.11.8) на рис. 4.54, *а* для n = 12 приведены на четверти периода выходного напряжения инвертора импульсы M, K, а также сигнал H_1 управления первой стойкой мостового инвертора и выходное напряжение U_{ab}, совпадающее с ним по длительности импульсов на этой части периода.

Из этого несложно представить длительности импульсов x_i и пауз между ними y_i:

$$\begin{aligned} x_1 &= M_1 + K_1, & y_1 &= 1/2(\pi/12 - M_2 - K_2); \\ x_2 &= M_2 + K_2, & y_2 &= 2y_1 = (\pi/12 - M_2 - K_2); \\ x_3 &= K_2, & y_3 &= M_2 + y_1 = 1/2(\pi/12 + M_2 - K_2); \\ x_4 &= K_1, & y_4 &= M_1; \\ x_5 &= M_1, & y_5 &= K_1 + 1/2(\pi/12 + M_2 - K_2); \\ x_6 &= M_2. \end{aligned}$$

Если положить $L_1 = L_2 = \pi/4$, т.е. вершину синусоиды $(\sin\varphi)_2$ заменить прямоугольным импульсом, то выходное напряжение U_{ab} на четверти периода будет проще (рис. 4.54, *б*) и длительности импульсов и пауз между ними запишутся следующим образом: $x_1 = 3\pi/n - M'_2$, $y_1 = M'_2$; $x_2 = K_1$, $y_2 = M_1$; $x_3 = M_1$, $y_3 = K_1$; $x_4 = M'_1$.

В этих выражениях значения K_i и M_i определяются по (4.11.7), где $L_1 = L_2 = \pi/4$, и поэтому $K'_2 \neq K_2$, $M'_2 \neq M_2$

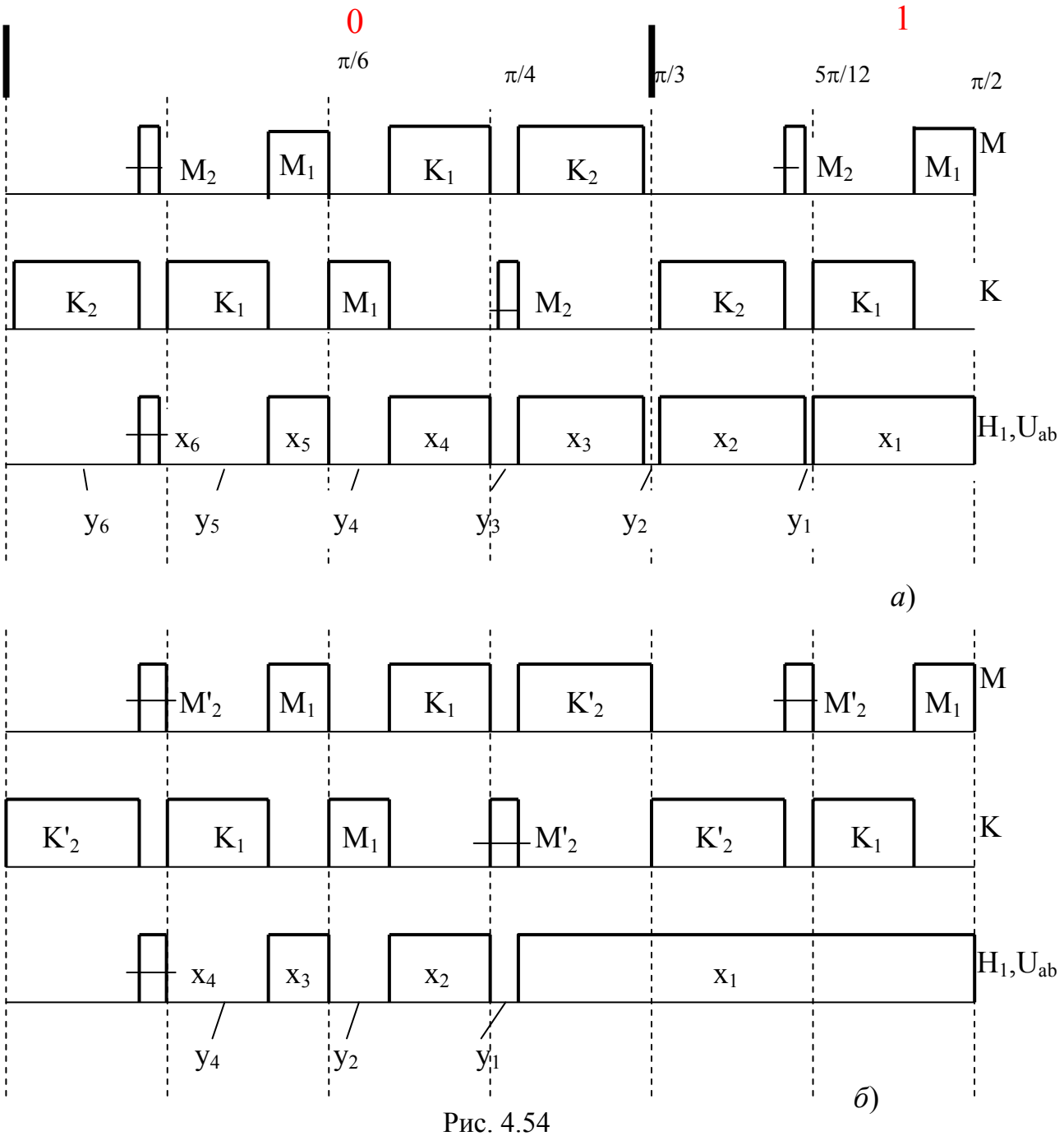


Рис. 4.54

Регулирование выходного напряжения трехфазного инвертора в данном случае заключается в изменении длительности импульсов L_i, каждый из которых должен размещаться посредине полуволны частоты f_0. Следовательно, изменение длительности импульсов производится одновременным синхронным сдвигом переднего и заднего фронтов, а деление этого импульса на две части осуществляется в соответствии с выражением (4.11.8). Диапазон изменения выходного напряжения инвертора определяется здесь емкостью младших разрядов входного кода A", а его значение задается управляющим кодом B на второй входной шине логического блока (рис. 4.53).

Улучшить гармонический спектр выходных напряжений инвертора при синусоидальной ШИМ можно при неравномерной разбивке, например, четверти

синусоиды на участки по углу. Это достигается равномерной разбивкой на участки по оси ординат [4.16], [4.17].

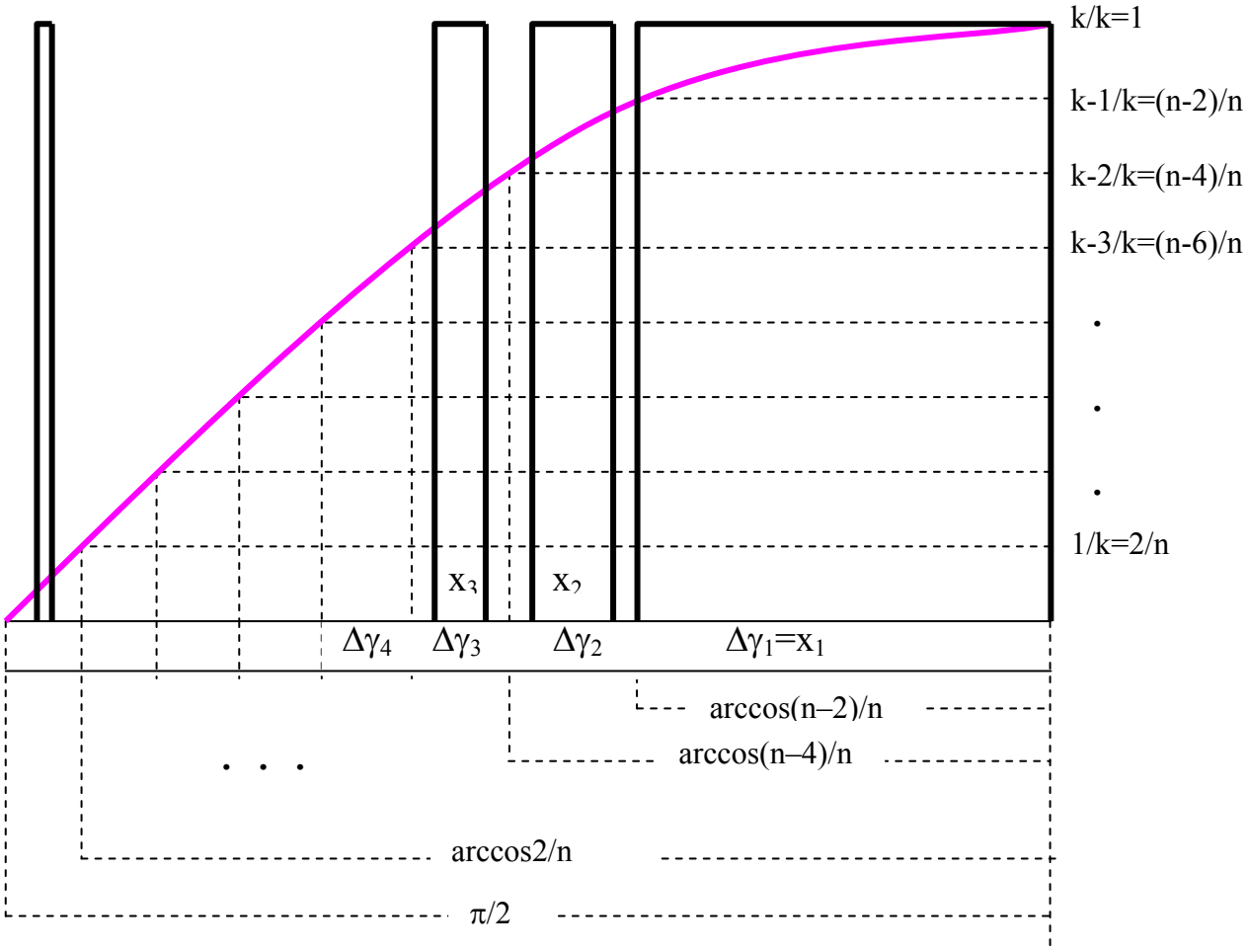


Рис. 4.55

На рис. 4.55 представлена процедура получения этих участков, где на каждом участке синусоида заменяется эквивалентным прямоугольником. Будем считать, как и раньше, что на четверти синусоиды должно располагаться n/2 участков. Тогда длительность первого участка будет $\Delta\gamma_1 = x_1 = \arccos(n-2)/n$, второго участка – $\Delta\gamma_2 = [\arccos(n-4)/n - \arccos(n-2)/n]$, третьего участка – $\Delta\gamma_3 = [\arccos(n-6)/n - \arccos(n-4)/n]$ и т.д. Следовательно, $\Delta\gamma_k = (\gamma_k - \gamma_{k-1})$, где $\Delta\gamma_k = \arccos(n-2k)/n$, $\Delta\gamma_{k-1} = \arccos(n-2k+2)/n$, а отношение длительности импульса x_1 к длительности импульса x_k определяется следующим выражением:

$$x_{1/}\, x_k = \int_0^{\arccos(n-2)/n} \cos x\,dx \Big/ \int_{\arccos(n-2k+2)/n}^{\arccos(n-2k)/n} \cos x\,dx \qquad (4.11.9)$$

Из (4.11.9) длительность высокочастотных импульсов при пропорциональном изменении определяется следующими выражениями:

$$x_k = \frac{\arccos(n-2)/n}{\text{sinarccos}(n-2)/n}\left[\text{sinarccos}(n-2k)/n - \text{sinarccos}(n-2k+2)/n\right]x^*;$$

$$x_{k+1} = \frac{\arccos(n-2)/n}{\text{sinarccos}(n-2)/n}\left[\text{sinarccos}(n-2k-2)/n - \text{sinarccos}(n-2k)/n\right]x^*;$$

$$x_{k-1} = \frac{\arccos(n-2)/n}{\text{sinarccos}(n-2)/n}\left[\text{sinarccos}(n-2k+2)/n - \text{sinarccos}(n-2k+4)/n\right]x^*,$$

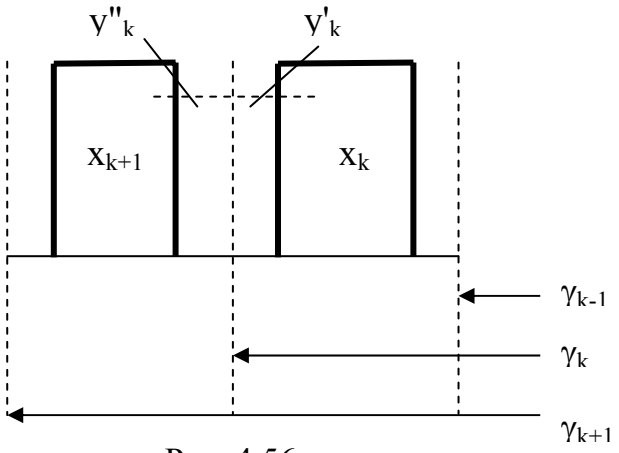


Рис. 4.56

которые позволяют на основании фрагмента из соотношения длительностей импульсов x_k, x_{k+1} (рис. 4.56) определить длительность паузы между импульсами

$$y_k = y''_k + y'_k,$$

где $y'_k = (\gamma_{k+1} - \gamma_k - x_{k+1}) / 2;$

$y''_k = (\gamma_k - \gamma_{k-1} - x_k) / 2.$

Принимая во внимание, что $\arccos x = \left|\arcsin[1-x]^{1/2}\right|$, получаем

$$x_k = \frac{\arccos(n-2)/n}{(n-1)^{1/2}}\left[(nk-k^2)^{1/2} - (n(k-1)-(k-1)^2)^{1/2}\right]x^*,$$

$$y_k = 1/2\left[\arccos(n-2k-1)/n - \arccos(n-2k+1)/n\right] -$$

$$\frac{\arccos(n-2)/n}{(n-1)^{1/2}}\left[(n(k+1)-(k+1)^2)^{1/2} - (n(k-1)-(k-1)^2)^{1/2}\right]x^*. \qquad (4.11.10)$$

Выражения (4.11.10) подтверждают техническую сложность выполнения представленного закона формирования синусоидальной регулируемой ШИМ выходного напряжения инвертора на трех однофазных мостовых преобразователях и невозможность его выполнения в трехфазном мостовом инверторе.

В [4.16] приведена схема получения синусоидальной нерегулируемой ШИМ выходного напряжения инвертора на трех однофазных мостовых преобразователях по выражению (4.11.10).

4.12. Гармонические составляющие симметричных напряжений инверторов при широтно-импульсном управлении

Симметрия выходного широтно-импульсного напряжения инвертора, когда его вид на четверти периода полностью определяет всю форму, позволяет получить простые и удобные формулы его спектра. Для выполнения расчетов спектрального состава напряжения инвертора с односторонней ШИМ необходимо и достаточно знание ансамбля импульсов и пауз между ними на четверти периода.

Общеизвестен спектр выходного напряжения инвертора, состоящего из одного импульса длительности x_1 на четверти периода напряжения (рис. 4.57)

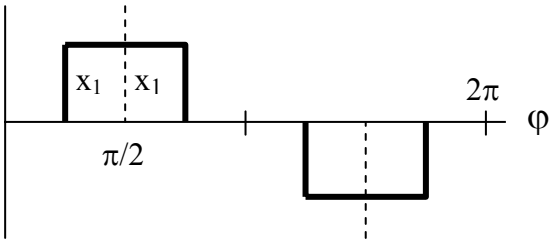


Рис. 4.57

$$U_1=4U_п/\pi[\sin x_1\times\sin x - 1/3\sin 3x_1\times\sin 3x + 1/5\sin 5x_1\times \sin 5x - 1/7\sin 7x_1\times \sin 7x ...] \quad (4.12.1)$$

Спектр выходного напряжения, состоящего на четверти периода из двух импульсов x_1, x_2 и паузы между ними y_1, может быть представлен разностью двух спектров. Первый спектр по выражению (4.12.1) и рис. 4.58 соответствует на четверти периода длительности одиночного импульса $(x_1+y_1+x_2)$, а второй спектр – длительности импульса (x_1+y_1) и находится в противофазе с первым импульсом.

Тогда спектр выходного напряжения от второго импульса будет представлен в следующем виде:

$$U_2=4U_п/\pi[(\sin(x_1+y_1+x_2)\times\sin x - \sin(x_1+y_1)\times\sin x) - 1/3(\sin 3(x_1+y_1+x_2)\times\sin 3x - \sin 3(x_1+y_1)\times\sin 3x) + 1/5(\sin 5(x_1+y_1+x_2)\times\sin 5x - \sin 5(x_1+y_1)\times\sin 5x) - ...]. \quad (4.12.2)$$

Аналогично может быть определен спектр выходного напряжения от k-го импульса (рис. 4.59). Для этого необходимо знание длительностей всех импульсов x_1, ..., x_k и пауз между ними y_1, ..., y_{k-1}.

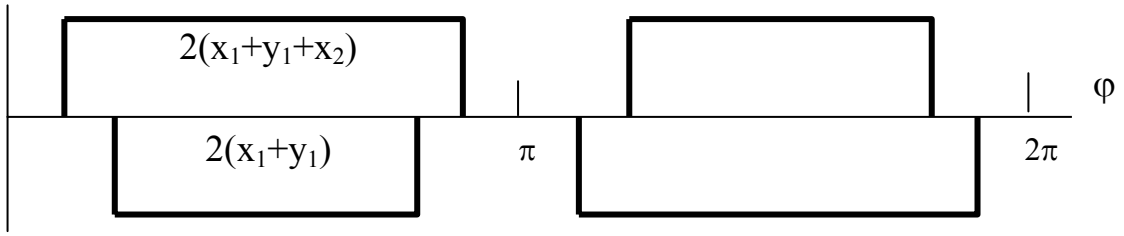


Рис. 4.58

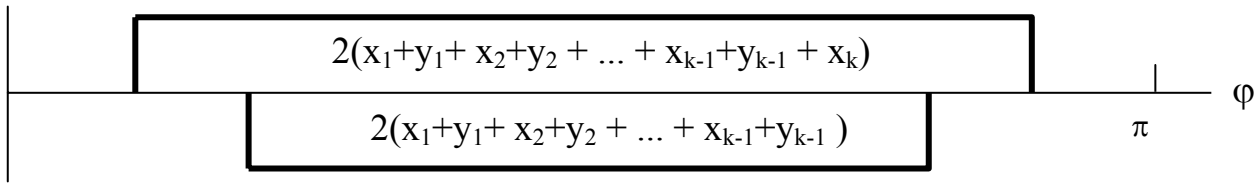


Рис. 4.59

Тогда спектр выходного напряжения от k-го импульса будет представлен в следующем виде:

$$\begin{aligned} U_k=4U_п/\pi \quad & [\sin(x_1+y_1+ x_2+y_2 + \ldots + x_{k-1}+y_{k-1}+ x_k)\sin x - \\ & - \sin(x_1+y_1+ x_2+y_2 + \ldots + x_{k-1}+y_{k-1})\sin x - \\ & - 1/3\sin(x_1+y_1+ x_2+y_2 + \ldots + x_{k-1}+y_{k-1}+ x_k)\sin 3x + \\ & + 1/3\sin(x_1+y_1+ x_2+y_2 + \ldots + x_{k-1}+y_{k-1}+)\sin 3x + \ldots . \end{aligned} \qquad (4.12.3)$$

Используя свойство аддитивности рядов Фурье (спектр суммы равен сумме спектров каждого отдельного сигнала) и представляя выходное напряжение как сумму немодулированных сигналов, имеющих период повторения, совпадающий с периодом выходного напряжения, определяем значение λ-й гармоники

$$U_{\lambda n} = \pm 4U_п/\lambda\pi\, C_{\lambda n} \sin\lambda x,$$

где знак плюс – для λ = 1, 5, 9, ... , знак минус – для λ = 3, 7, 11, ... , а значение

$$\begin{aligned} C_{\lambda n}= \quad & \sin\lambda x_1 + \sin\lambda(x_1+y_1+x_2) - \sin\lambda(x_1+y_1) + \\ & + \sin\lambda(x_1+y_1+x_2+y_2+x_3) - \sin\lambda(x_1+y_1+x_2+y_2) + \ldots + \\ & \sin\lambda(x_1+y_1+x_2+\ldots+ x_{k-1} + y_{k-1}+x_k) - \sin\lambda(x_1+y_1+x_2+\ldots+x_{k-1}+y_{k-1}+ x_k) + \\ & + \sin\lambda(x_1+y_1+x_2+\ldots+ x_{n/2-1} + y_{n/2-1}+x_{n/2}) - \sin\lambda(x_1+y_1+x_2+\ldots+ x_{n/2-1} + y_{n/2-1}). \end{aligned} \qquad (4.12.4)$$

Выражение (4.12.4) может быть представлено в ином виде:

$$C_{\lambda n}= \sum_{k=1}^{k=n/2} 2\sin(\lambda x_k/2)\times\cos\left[(\lambda x_k/2)+ \lambda \sum_{1}^{k} (x_{k-1}+y_{k-1})\right], \qquad (4.12.4')$$

где λ = 1, 3, 5, 7 ... ; k = 1, 2, 3, ..., n/2; n = 2, 4, 6, ...; $x_0 = 0$, $y_0 = 0$.

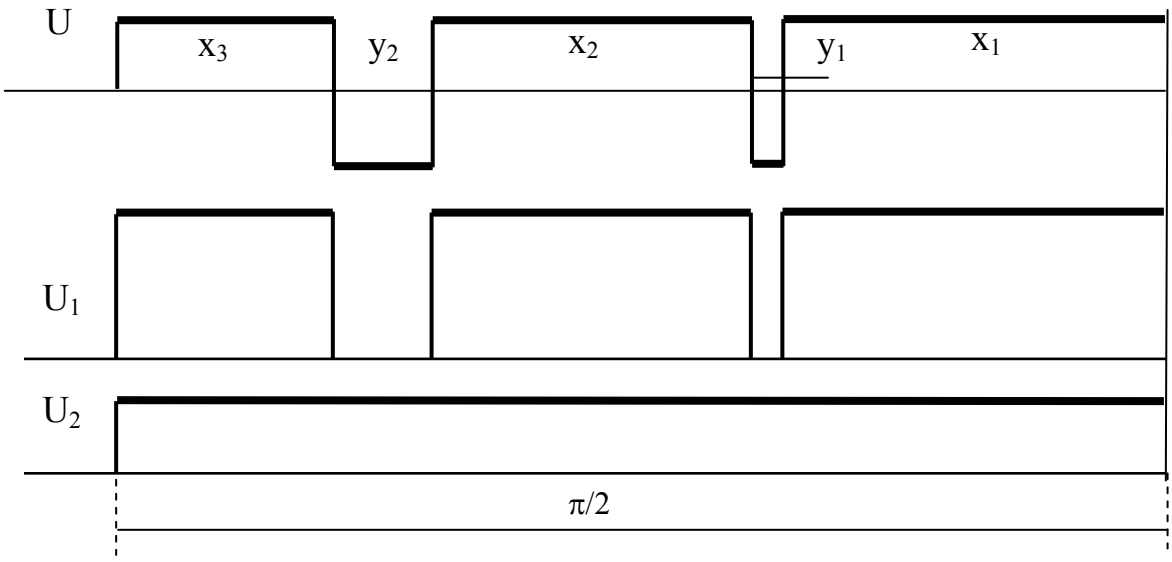


Рис. 4.60

Для двусторонней ШИМ (рис. 4.60), где выходное напряжение инвертора может быть представлено как разница напряжений односторонней U_1 ШИМ двойного амплитудного значения и одиночного импульса U_2, значение λ-й гармоники напряжения на основании (4.12.1) и (4.12.4) может быть записано следующим образом:

$$U_{\lambda n} = \pm 4U_{п}/\lambda\pi\,(2C_{\lambda n} - 1)\sin\lambda x\,. \qquad (4.12.5)$$

Выражения (4.12.1) и (4.12.4) применимы для любого закона формирования выходного напряжения инвертора методом ШИМ, где обязательным условием является только симметрия расположения высокочастотных импульсов положительной полуволны напряжения относительно угла π/2 и отрицательной полуволны относительно угла 3π/2.

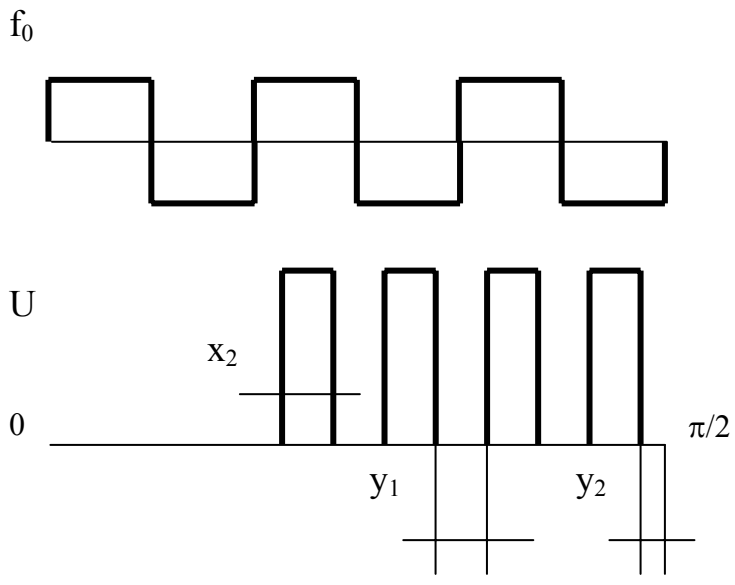


Рис. 4.61

При равномерном расположении высокочастотных импульсов одинаковой длительности в выходном напряжении трехфазного мостового инвертора (рис. 4.61) значения $C_{\lambda n}$ в формулах (4.12.4), (4.12.5) могут быть упрощены. В самом деле, хотя число им-

пульсов в четверти периода выходного напряжения здесь равно n/3, однако число слагаемых в формуле больше на единицу, поскольку $x_1 = 0$.

Учитывая, что $y_2 = y_1/2$; $x_k = x_2 = \pi x^*/n$; а $(x_k + y_k) = \pi /n$, получаем

$$C_{\lambda n} = 2\sin(\lambda\pi x^*/2n)\cos\lambda\pi/2n + \sum_{k=3}^{n/3+1} 2\sin(\lambda\pi x^*/2n)\cos[\lambda\pi/2n+\lambda(k-1)\pi/n]. \quad (4.12.6)$$

* * *

Представленные в этой главе инверторы напряжения используют в основном цифровые блоки (сложения, вычитания, умножения, деления, преобразователи кодов), которые входят в системы формирования и регулирования их выходных напряжений. Выходные напряжения инверторов при этом сами представляют собой цифровые сигналы многофазных кодов и входят в единые системы цифровых устройств, синтез которых осуществляется на основе метода многомерных цифровых множеств, обладающего наглядностью и полной прозрачностью. Поскольку выходные напряжения инверторов представляются как цифровые сигналы многофазного кода на всех этапах формирования и регулирования, то контролеспособность этих операций и блоков, их реализующих, очевидна. Использование многофазных кодов с большим числом фаз и, соответственно, больших оснований систем счисления позволяет синтезировать цифровые электроприводы высокой надежности и контролеспособности.

Мысль обращена не на чертеж, а на те
фигуры, подобием которых они служат.
Платон

Глава 5

ЦИФРОВЫЕ МЕТОДЫ ПОВЫШЕНИЯ БЫСТРОДЕЙСТВИЯ И ТОЧНОСТИ АНАЛОГО-ЦИФРОВЫХ ПРЕОБРАЗОВАТЕЛЕЙ ЭЛЕКТРОПРИВОДОВ

Аналого-цифровые преобразователи являются неотъемлемой составной частью любой цифро-аналоговой системы регулирования. В электроприводах такие устройства выполняют преобразования "угол-код" (ЦПУ) и "скорость-код" (ЦПС). К параметрам ЦПУ и ЦПС предъявляются высокие требования, поскольку ими определяются технические характеристики цифровых электроприводов, в частности точность, быстродействие, плавность движения и т.д. При этом следует отличать аналоговые преобразователи, устанавливаемые на валу электрической машины, и преобразователи на выходе исполнительного органа объекта. Здесь будут рассматриваться в основном только аналоговые преобразователи первого типа.

Общая тенденция развития ЦПУ и ЦПС – переложение основной части функций преобразования с электромеханических узлов на электронные схемы с использованием последних достижений в области микроэлектроники. В идеале – это получение цифровых сигналов об угле и скорости без использования аналоговых преобразователей, устанавливаемых на валу электродвигателя [5.1]. Однако больших успехов в этом пока не достигнуто. Поэтому более перспективно использование одного аналогового преобразователя, устанавливаемого на валу электродвигателя, и электронного блока, совмещающего функции ЦПУ и ЦПС.

Это справедливо как для электроприводов постоянного тока, так и для переменного тока. Кроме того, в электроприводах переменного тока ЦПУ решает другую важную задачу - формирование формы выходного напряжения фаз инвертора и его регулирования. При этом выходной сигнал ЦПУ может быть как полностью цифровым, так и цифро-аналоговым, где сигналы старших разрядов ЦПУ представлены в цифровом многофазном коде, а сигналы младших разрядов – например в виде ШИМ напряжений [5.2].

Высокие требования по надежности, которые предъявляются ко всем типам электроприводов, определяют необходимость установки встроенных систем контроля [5.3]. Эти системы обычно используют информацию с выхода ЦПУ, которая может применяться и для контроля правильности работы электропри-

вода в целом, причем введение вспомогательных функций ЦПУ не предъявляет к нему дополнительных требований.

В цифровых системах находят применение преобразователи, которые реализуются на самых различных физических принципах [5.4]. Однако в современных электроприводах применяются в основном фотоэлектрические [5.5] и индукционные [5.6] преобразователи, обработку сигналов которых и будем рассматривать в дальнейшем.

5.1. Фотоэлектрические ЦПУ

Все типы ЦПУ являются измерительными устройствами, и их классификация основывается на принципах получения числового эквивалента измеряемой величины. На практике используются в основном два метода получения числового эквивалента измеряемой величины (угла): метод последовательного счета и метод считывания.

В методе последовательного счета угол разбивается на ряд равных составных частей (приращений), каждому из которых ставится в соответствие единица младшего разряда цифрового кода. При подсчете этих единиц, например в делителе-счетчике импульсов, получается код - числовой эквивалент измеряемой величины.

Метод считывания характерен тем, что в нем угол сопоставляется со своеобразным, заранее заготовленным набором всех возможных числовых эквивалентов - кодовой маской, где в зависимости от угла происходит считывание определенного числового эквивалента. Это считывание может осуществляться параллельно либо последовательно.

В электроприводах в основном используются наиболее простые из этих двух типов - фотоэлектрические ЦПУ последовательного счета. Это, несмотря на свой существенный недостаток, – возможность появления систематической ошибки. В самом деле, если из-за какой-либо помехи произойдет сбой в работе делителя-счетчика импульсов, то в накапливающем преобразователе все показания будут иметь систематическую ошибку (погрешность). Для устранения этой ошибки в ЦПУ имеется метка установки делителя-счетчика в исходное нулевое состояние. Эта установка осуществляется один раз за оборот вала электродвигателя электропривода. В промежутках между ними делитель-счетчик должен обладать повышенной помехозащищенностью и не допускать каких-либо сбоев.

Фотоэлектрические ЦПУ с кодовой маской из-за их конструктивной сложности, ограниченности по частоте вращения не получили необходимого применения в электроприводах, за исключением ЦПУ, которые устанавливаются на валу вентильных электродвигателей, где емкость устройства очень мала и составляет, например, для трехфазного варианта выполнения всего шесть единиц.

Предложенное в [5.7] для вентильного электропривода устройство позволило конструктивно и схемотехнически объединить два ЦПУ последовательного

счета и считывания. В нем ЦПУ считывания выполняет не только роль кодового преобразователя, но и осуществляет установку в исходное состояние младших разрядов делителя-счетчика. Повышение помехоустойчивости делителей-счетчиков такого ЦПУ изложено в [5.8], а увеличение точности неопсредственно ЦПУ – в [5.9].

Не останавливаясь на каждом из этих предложений отдельно, рассмотрим их как единое целое.

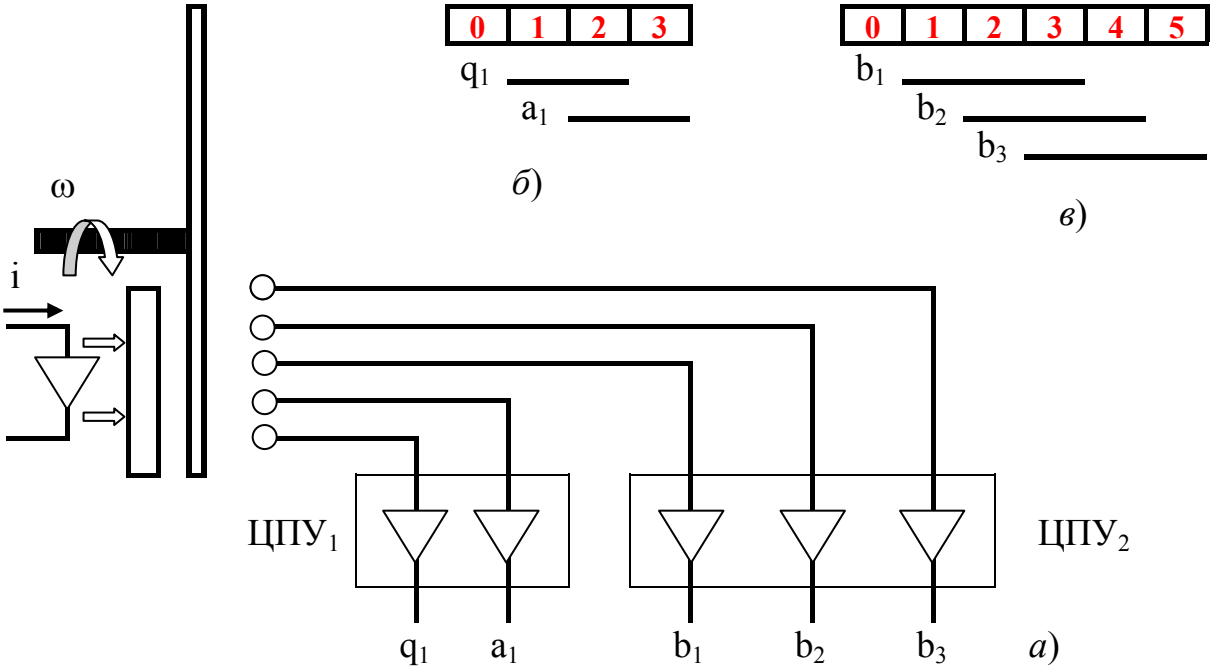


Рис. 5.1

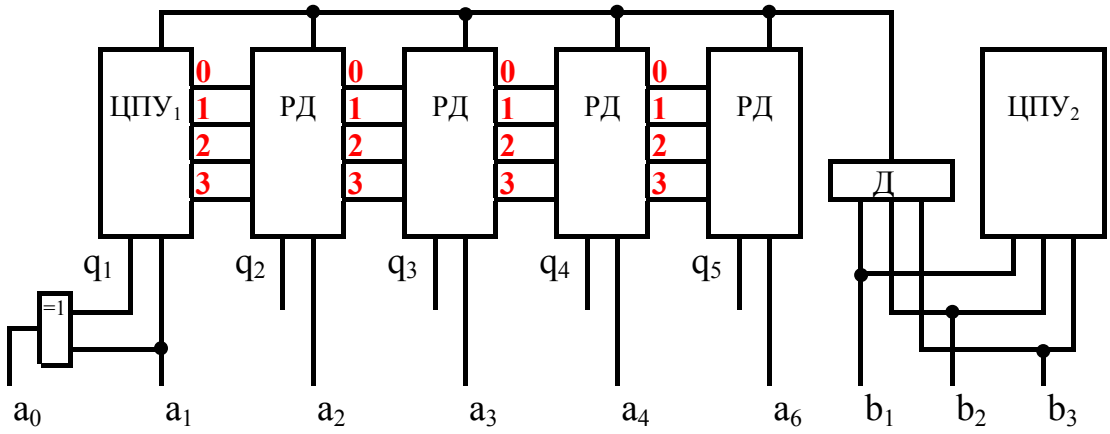
Основным узлом такого комбинированного ЦПУ является установленный на валу электродвигателя диск с прозрачными и темными участками, которые прерывают световой поток от светодиода на фотоэлементы через оптику и муаровую полосу (рис. 5.1, *а*). На диске имеются две световые дорожки: первая является элементом для последовательного счета $ЦПУ_1$, а вторая – элементом считывания $ЦПУ_2$.

Усиленные сигналы с фотоэлементов первой дорожки образуют двухфазные сигналы q_1, a_1 (рис. 5.1, *б*) со сдвигом в 90 эл.град., которые при вращении вала электродвигателя изменяют порядок следования. Таким образом, сигналы двухфазного кода, имеющие основание системы счисления $n_1 = 4$, за оборот электродвигателя изменяют свои показания от **0** до **3**K раз. Тогда число импульсов за оборот вала, снимаемое с первой дорожки, будет 4K.

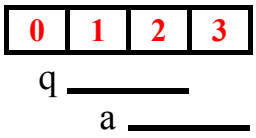
Аналогичные сигналы с фотоэлементов второй дорожки образуют трехфазные сигналы b_1, b_2, b_3 (рис. 5.1, *в*), которые также при вращении вала изменяют свой порядок следования. Таким образом, сигналы трехфазного кода, имеющие основание системы счисления $n_2 = 6$, за электрический оборот вала электродвигателя изменяют свои показания от **0** до **5**.

Принимая, что старший разряд комбинированного ЦПУ имеет основание системы счисления $n_2 = 6$, тогда $4K = 6np$, где p – число пар полюсов электродвигателя, n – емкость младших разрядов ЦПУ.

На рис. 5.2 приведена структурная схема такого комбинированного ЦПУ, в которой емкость двоичных младших разрядов принята 2^6. Причем сигналы двух младших разрядов a_0, a_1 снимаются непосредственно с $ЦПУ_1$ последовательного счета, а самый старший разряд трехфазного кода b_1, b_2, b_3 – с $ЦПУ_2$ считывания.



а)



б)

Рис. 5.2

Между этими устройствами установлены четыре реверсивных делителя-счетчика РД, работающие в двухфазном коде q_i, a_i (рис. 5.2, *б*). Выходные сигналы этих РД полностью соответствуют по форме сигналам $ЦПУ_1$, поступающим на выходные шины q_1, a_1 и на шины **0**, **1**, **2**, **3**, связывающие между собой $ЦПУ_1$ и первый РД. При вращении вала электродвигателя в одну сторону сигналы **0** – **3** следуют в прямой последовательности, а при вращении в другую сторону – в обратной, чем определяется режим работы последующих РД (суммирование или вычитание). Работа таких реверсивных делителей-счетчиков рассмотрена в гл. 2 и не требует дополнительных пояснений.

При каждом изменении эквивалентных цифр **0** – **5** старшего разряда ЦПУ, что сопровождается переключением сигналов b_1, b_2, b_3, происходит установка всех РД через блок дифференцирования Д в исходное нулевое состояние.

Таким образом, этот комбинированный ЦПУ за оборот вала выдает $2^6 \times 6p$ цифр, где сигналы младших разрядов представлены в двоичном коде $a_0 - a_5$ и содержат соответствующие им сигналы кода Грея $q_1 - q_5$, что определяет высокую помехозащищенность и контролеспособность синтезированного ЦПУ.

При использовании младших разрядов ЦПУ в двухфазном коде это будут сигналы q_1, a_1; q_3, a_3; q_5, a_5, а дополнительными, определяющими контролеспособность этих разрядов станут сигналы q_2, a_2; q_4, a_4.

Известно [5.5], что путем некоторого усложнения блока выработки счетных импульсов можно увеличить разрешающую способность $ЦПУ_1$ вдвое. Этому решению соответствуют сигналы $ЦПС_1$ в четырехфазном коде $a_1 – a_4$. Тогда целесообразнее построение всех младших разрядов ЦПУ в коде с основанием n = 8.

На рис. 5.3, *а* приведена структурная схема такого комбинированного ЦПУ, где сигналы первого разряда $a^0_1 – a^0_4$ поступают непосредственно с $ЦПС_1$, а сигналы второго разряда $a^1_1 – a^1_4$ такого же основания системы счисления поступают с реверсивного делителя-счетчика $РД_2$. Между $ЦПС_1$ и $РД_2$ устанавливается промежуточный согласующий реверсивный делитель $РД_1$.

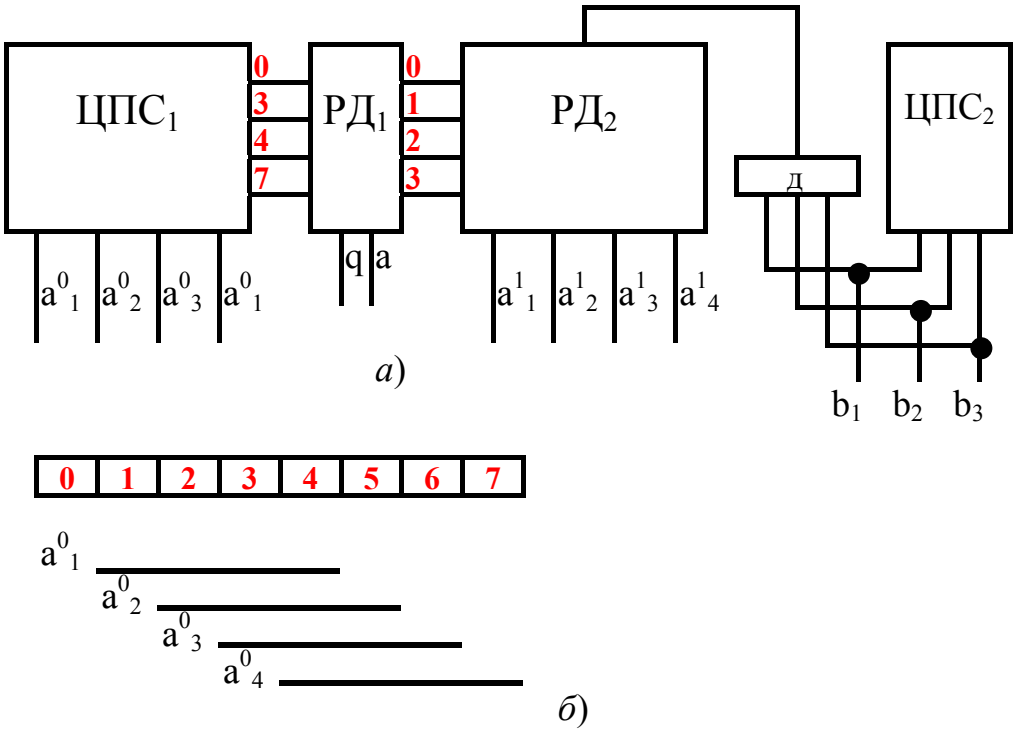


Рис. 5.3

Соотношения сигналов $a^0_1 – a^0_4$ и сигналов **0**, **3**, **4**, **7**, управляющих переключением $РД_1$, представлены на рис. 5.3, *б*. Выходные сигналы делителя $РД_1$, управляющие переключением делителя-счетчика $РД_2$, остаются здесь такими же, как в схеме рис. 5.2.

Работа схемы (рис. 5.3, *а*) полностью совпадает с предыдущей схемой, а ее возможности по обнаружению и исправлению ошибок в пределах каждого разряда определяются контролеспособностью четырехфазной системы счисления основания n = 8. При этом необходимо отметить, что в схеме этого ЦПУ может использоваться не один разряд типа $РД_2$, а несколько соединенных между собой делителями частоты типа $РД_1$. Причем основания систем счисления этих разря-

дов могут иметь большее значение, чем представленное выше, и быть даже различными. Подобное построение ЦПУ может быть принято с целью повышения контролеспособности не только в пределах каждого отдельного разряда, но и комплекса в целом, где в качестве контрольных разрядов могут выступать сигналы делителей типа $РД_1$. Синтез таких ЦПУ повышенной контролеспособности может составить предмет отдельного рассмотрения.

5.2. Индукционные ЦПУ повышенного быстродействия

Фотоэлектрические преобразователи обеспечивают достаточно высокую разрешающую способность и минимальное время преобразования. Однако изготовление высокоточных ЦПУ сопряжено со значительными технологическими трудностями: сложностью изготовления растровой или кодовой маски, наличием узлов точной механики, трудностью настройки и юстировки.

Выбор индукционных ЦПУ вызван тем, что они имеют более высокую стойкость к температурным и механическим воздействиям, хорошую совместимость с электродвигателями по физической природе, возможность простого изменения разрядности и оснований систем счисления выходного кода ЦПУ. Даже по разрешающей способности они составляют альтернативу фотоэлектрическим преобразователям. Известны, например, серийные индукционные ЦПУ, устанавливаемые на валу электродвигателя, с дискретностью преобразования 1" [5.10]. Во всех этих преобразователях результат измерения перемещения представляется в виде временного фазового сдвига выходного сигнала относительно опорного.

Наиболее распространенным способом преобразования временного фазового сдвига в цифровой код является счетно-импульсный, когда временной интервал, пропорциональный фазовому сдвигу, заполняется счетными импульсами, число которых подсчитывается счетчиком. Однако данный способ нуждается в необходимости применения высокостабильного генератора счетных импульсов и имеет невысокое быстродействие.

Способ "бегущей стробирующей метки" [5.6] позволяет исключить погрешность из-за изменения частоты генератора счетных импульсов.

Принцип действия схемы (рис. 5.4), реализующий этот способ, заключается в следующем. Частота счетных импульсов f подается на вход делителя-счетчика. Выходное напряжение, сформированное с триггера старшего разряда делителя-счетчика, на выходных шинах фазорасщепительного блока (ФР) преобразуется в двухфазные или трехфазные синусоидальные сигналы. Полученные синусоидальные сигналы напряжения питают фазовращатель индукционного типа.

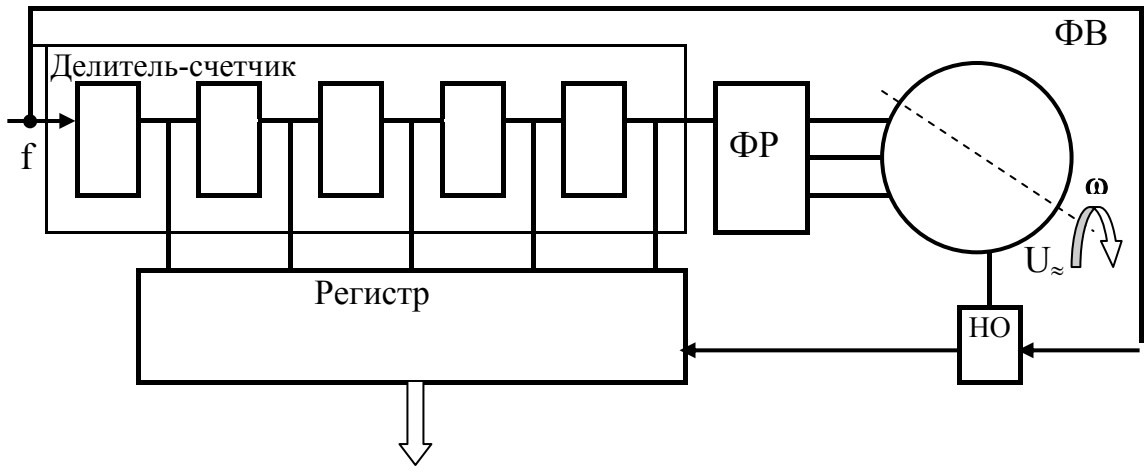


Рис. 5.4

Напряжение $U_{\approx}$, снимаемое с выхода фазовращателя, сдвинуто по фазе относительно опорного напряжения, за которое принимается синусоидальное напряжение одной из фаз питания фазовращателя, на величину, пропорциональную измеряемому углу φ. Нуль-орган (НО) фиксирует момент перехода через нуль напряжения $U_{\approx}$, вырабатывая короткий импульс, синхронизированный частотой f, по которому показания делителя-счетчика передаются в регистр.

При нулевом фазовом сдвиге напряжения $U_{\approx}$ импульс с выхода нуль-органа поступает в регистр, когда все триггеры делителя-счетчика находятся в нулевом состоянии. В результате с выходов триггеров регистра снимается нулевой код.

Когда $\varphi \neq 0$, то фазовый импульс появляется в моменты времени, которые соответствуют состоянию кода делителя-счетчика, пропорциональному значению φ.

В этой схеме не возникает погрешностей, обусловленных изменениями частоты питания обмоток фазовращателя, поскольку его напряжение питания формируется из колебаний, источником которых является входная частота f.

Для повышения точности ЦПУ в [5.11] предложено формировать синусоидальные сигналы питания фаз обмоток фазовращателя не от фазорасщепителя, а от маломощного инвертора напряжения, где его выходные напряжения синтезируются от цифрового кода делителя-счетчика подобно тому, как это описано в предыдущей главе. С этой целью старший разряд делителя-счетчика выполняется в многофазном коде по числу фаз обмоток питания фазовращателя, а его младшие разряды выполняются также в многофазном коде с любым требуемым основанием систем счисления. Последнее обстоятельство позволяет устранить неоднозначность считывания из-за одновременного переключения триггеров делителя-счетчика, разряды которого представлены в обычном двоичном коде.

Повышение быстродействия индукционных ЦПУ возможно реализовать увеличением частоты опроса, т.е. частоты питания фазовращателя, но это увеличение имеет определенные ограничения. Дальнейшее повышение быстродействия связано с использованием фазовращателя с m-фазными выходными об-

мотками, что позволяет опрашивать делитель-счетчик 2m раз за период напряжения питания его первичных обмоток.

В схеме быстродействующего ЦПУ [5.12] (рис. 5.5, *а*) используется фазовращатель, например, с трехфазными первичными обмотками и такой же фазности выходными обмотками.

Питание фаз фазовращателя осуществляется с выходных шин инвертора (Ин) синусоидальными сигналами напряжения, сформированными с цифровых шин первого делителя-счетчика 1.В этом делителе-счетчике имеются младшие разряды и старший разряд трехфазного кода, которые совместно образуют цифровой код **А**. Сигналы этого кода формируют синусоидальные напряжения на выходных шинах инвертора, питающего обмотки ФВ.

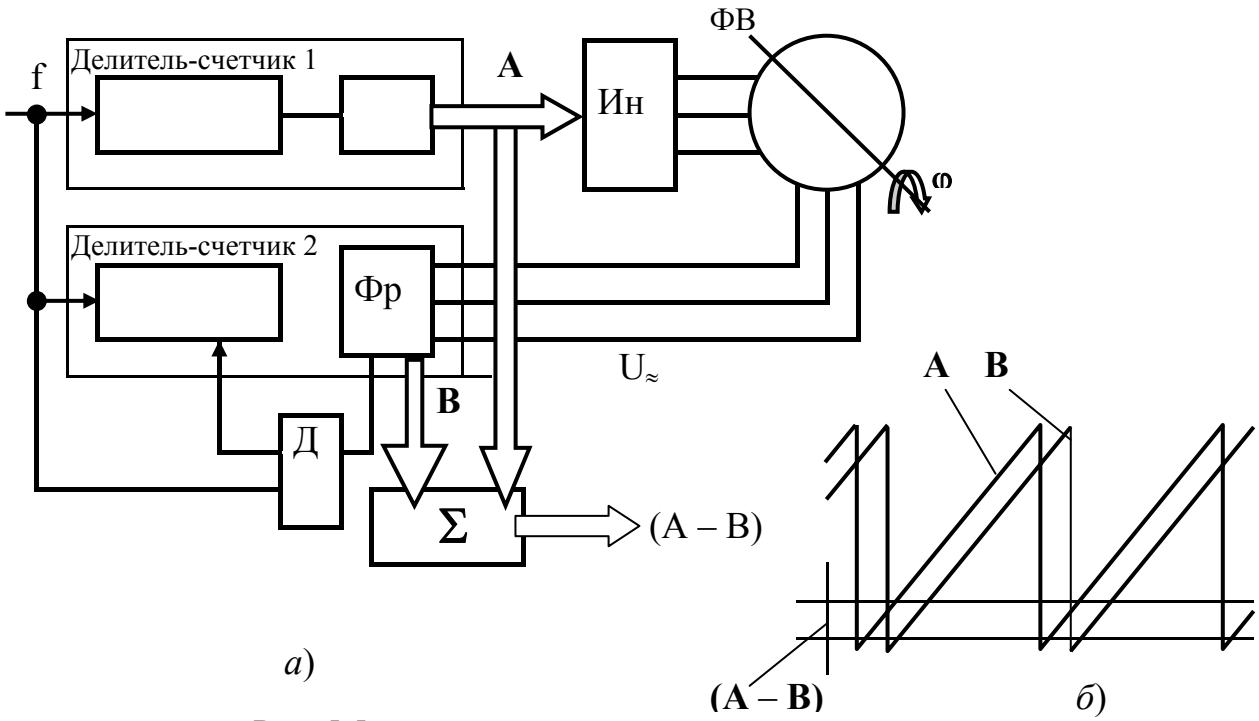


Рис. 5.5

Выходные трехфазные обмотки фазовращателя, с которых снимаются трехфазные синусоидальные сигналы $U_{\approx}$, соединены со входом блока формирования прямоугольных трехфазных сигналов Фр. Эти сигналы трехфазного кода являются старшим разрядом второго делителя-счетчика, в котором младшие разряды идентичны младшим разрядам первого делителя- счетчика и переключаются с ним одновременно от сигналов входной частоты f. Отличие в их работе в том, что младшие разряды второго делителя-счетчика устанавливаются в исходное нулевое состояние при каждом переключении выходных сигналов трехфазного кода блока Фр через дифференцирующую цепочку Д. Таким образом, цифровые сигналы второго делителя-счетчика образуют цифровой код **В**. Разность между этими сигналами (**А** – **В**) (рис. 5.5, *б*) образует на выход-

ных шинах вычитающего блока Σ цифровой код, пропорциональный значению угла φ.

Представленная схема, которая не является реализацией способа "бегущей стробирующей метки", обладает максимальным быстродействием из индукционных ЦПУ, но предъявляет жесткие требования к равенству фазового сдвига между выходными напряжениями фазовращателя, что технически выполнить весьма сложно.

Структурная схема ЦПУ с компенсацией инструментальной погрешности [5.13], обусловленной неточностью выполнения многофазных выходных обмоток фазовращателя, приведена на рис. 5.6. В основе работы схемы принят способ "бегущей стробирующей метки", который заключается в том, что опрос состояния делителя-счетчика, квантующего по времени период напряжений питания фазовращателя, осуществляется в моменты, соответствующие прохождению полуволн его многофазных выходных напряжений через нуль.

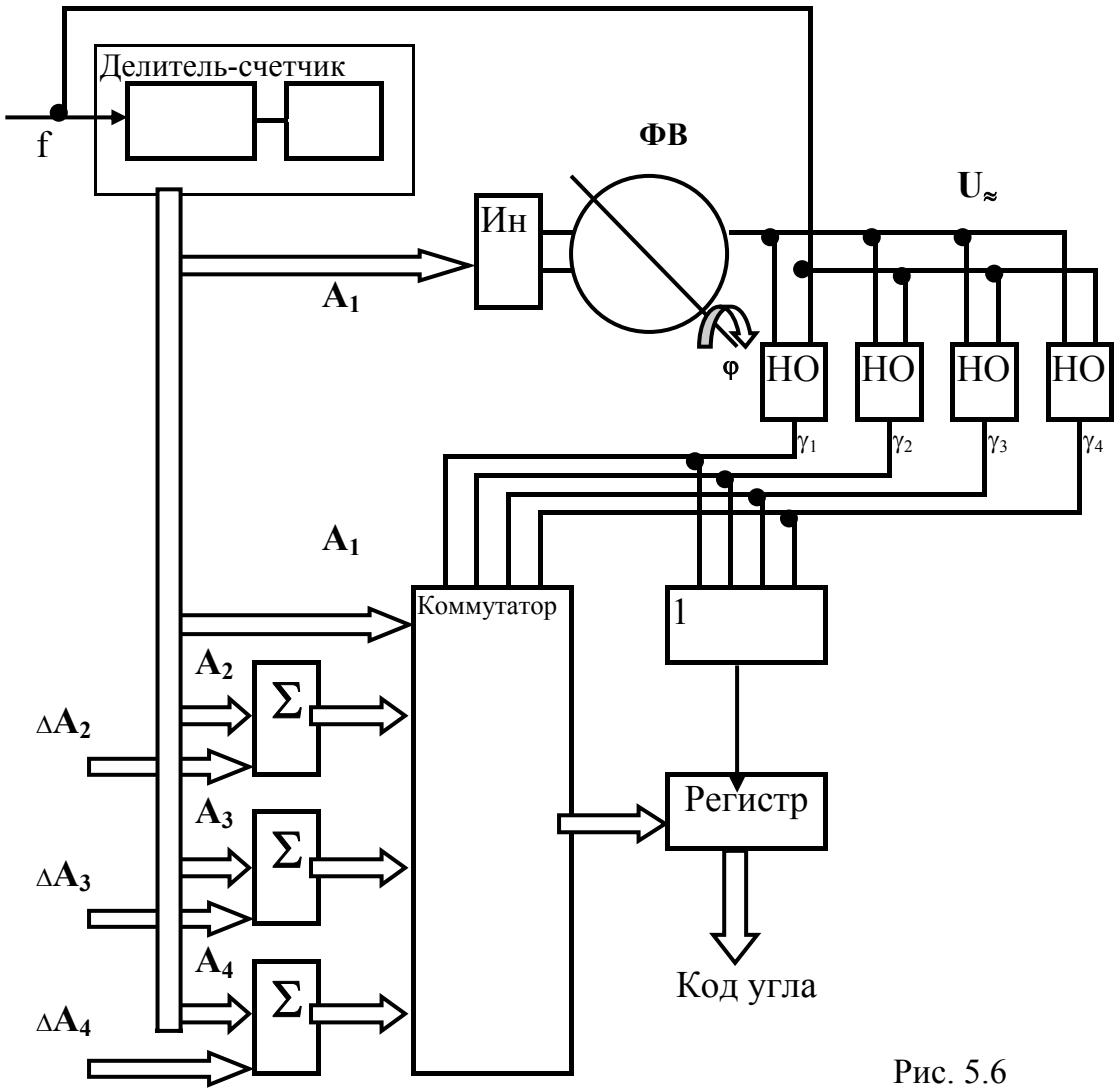


Рис. 5.6

Использование фазовращателя с m-фазными выходными обмотками позволяет опрашивать делитель-счетчик 2m раз за период напряжения питания.

Хотя принципиально возможно использование фазовращателей с любым соотношением фаз первичных и выходных обмоток, что будет определять лишь фазность кода старшего разряда делителя-счетчика, работу устройства рассмотрим на примере фазовращателя с двухфазными первичными и такими же по фазности выходными обмотками.

Сигналы цифрового кода $\mathbf{A_1}$ счетчика-делителя формируют на выходе инвертора напряжения Ин двухфазные синусоидальные напряжения, питающие первичные обмотки фазовращателя ФВ. Эти же цифровые сигналы делителя-счетчика позволяют получить еще три цифровых кода – соответственно $\mathbf{A_2}$, $\mathbf{A_3}$, $\mathbf{A_4}$, которые сдвинуты друг относительно друга на одну эквивалентную цифру старшего разряда, что представлено на рис. 5.7. Здесь показаны изменения цифр каждого из кодов от нуля до максимального значения и сигналы старших разрядов этих кодов a^i_1, a^i_2 (i = 1, 2, 3, 4).

Выходные синусоидальные сигналы фазовращателя на выходе четырех нуль – органов НО, синхронизированных частотой f, превращаются в четыре строб-импульса $\gamma_1 - \gamma_4$, которые управляют коммутатором и после объединения по схеме ИЛИ стробируют регистр. По сигналам $\gamma_1 - \gamma_4$ в регистр через коммутатор записываются соответствующие показания кодов $\mathbf{A_1} - \mathbf{A_4}$, причем коды $\mathbf{A_1} - \mathbf{A_4}$ про-

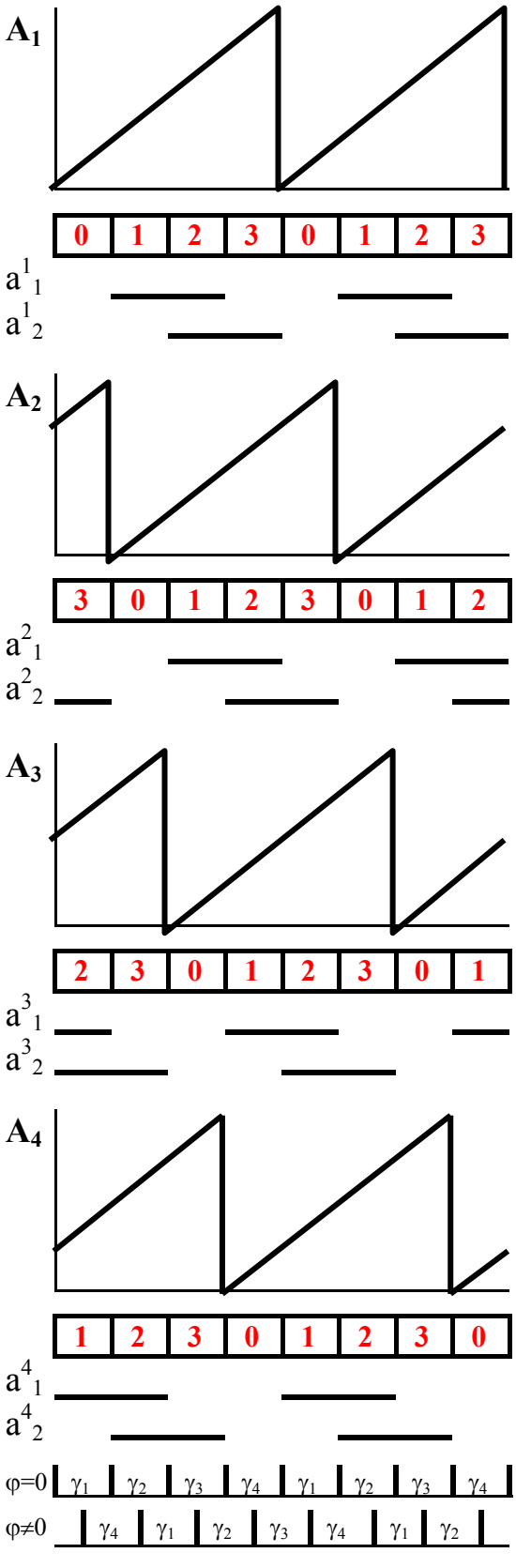


Рис. 5.7

пускаются через сумматоры Σ, где на вторые входы подаются числа $\Delta\mathbf{A_2} - \Delta\mathbf{A_4}$, компенсирующие инструментальную погрешность, обусловленную неточностью изготовления многофазных выходных обмоток фазовращателя, а также неточностью нуль-органов схемы.

При $\varphi = 0$ сигналы $\gamma_1 - \gamma_4$ опрашивают одноименные им коды $\mathbf{A_1} - \mathbf{A_4}$, когда они соответствуют нулевому значению угла, а при $\varphi \neq 0$ это значение пропорционально величине угла φ.

5.3. Индукционные ЦПУ повышенной точности

Способ "бегущей стробирующей метки" дает возможность повысить не только быстродействие индукционных преобразователей угол-код, но и точность преобразования. Суть этого заключается в суммировании отсчетов угла по 2m параллельных каналов с последующим их арифметическим усреднением, т.е. в делении полученной суммы на количество отсчетов. Причем деление фактически не производится, поскольку сложение отсчетов, число которых равно основанию системы счисления, равноценно делению при отбрасывании младшего разряда суммы либо принятию его за отсчет после запятой.

Структурная схема такого ЦПУ [5.14] приведена на рис. 5.8. Основной алгоритм работы этой схемы такой же, как у быстродействующего ЦПУ, но для каждого кода $\mathbf{A_1} - \mathbf{A_4}$ установлен свой регистр, выходы которых через 2m входовой сумматор связаны с выходными шинами ЦПУ.

Каждый импульс стробирования $\gamma_1 - \gamma_4$ открывает соответствующий регистр для приема кодов $\mathbf{A_1} - \mathbf{A_4}$ делителя-счетчика, которые пропорциональны углу φ в 2m точках периода частоты питания фазовращателя. Усреднение этих отсчетов осуществляется 2m входовым сумматором.

В схеме аналогично быстродействующему ЦПУ с помощью двухвходовых сумматоров может быть скомпенсирована также инструментальная погрешность, обусловленная неточностью изготовления многофазных выходных обмоток фазовращателя. Для этого достаточно скорректировать число $\Delta\mathbf{A_2} - \Delta\mathbf{A_4}$ на среднее значение погрешности, которое можно оценить, сняв отсчеты в нескольких фиксированных точках диапазона углов ЦПУ отдельно по каждому из каналов.

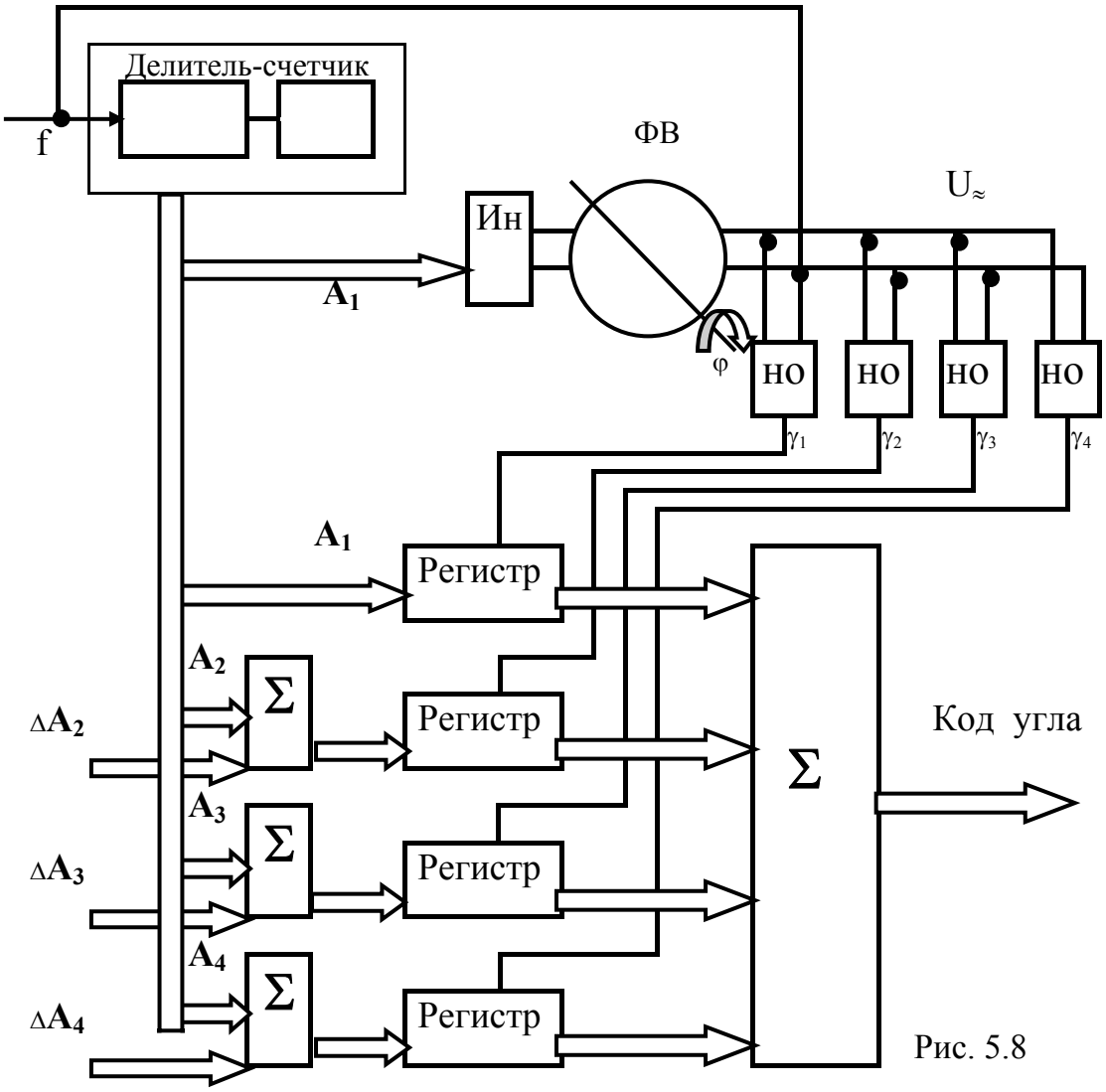


Рис. 5.8

5.4. ЦПУ с использованием магнитоуправляемых датчиков

Весьма перспективно применение в вентильных электродвигателях магнитоуправляемых датчиков, например использующих эффект Холла. Установленные в зазор электрического электродвигателя три таких датчика с электрическим сдвигом между собой в 120 эл.град. позволяют получить цифровые сигналы трехфазного кода. При этом необходимо для такого ЦПУ использовать пять проводов: два для подачи стабилизированного напряжения питания датчиков (обычно значением 5В) и три для передачи трехфазных сигналов в систему управления электропривода. Работа представленного ЦПУ очевидна и не требует дополнительных пояснений.

Рассмотрим вариант использования такого ЦПУ (рис. 5.9) без передачи трехфазных сигналов от делителя в систему управления электропривода.

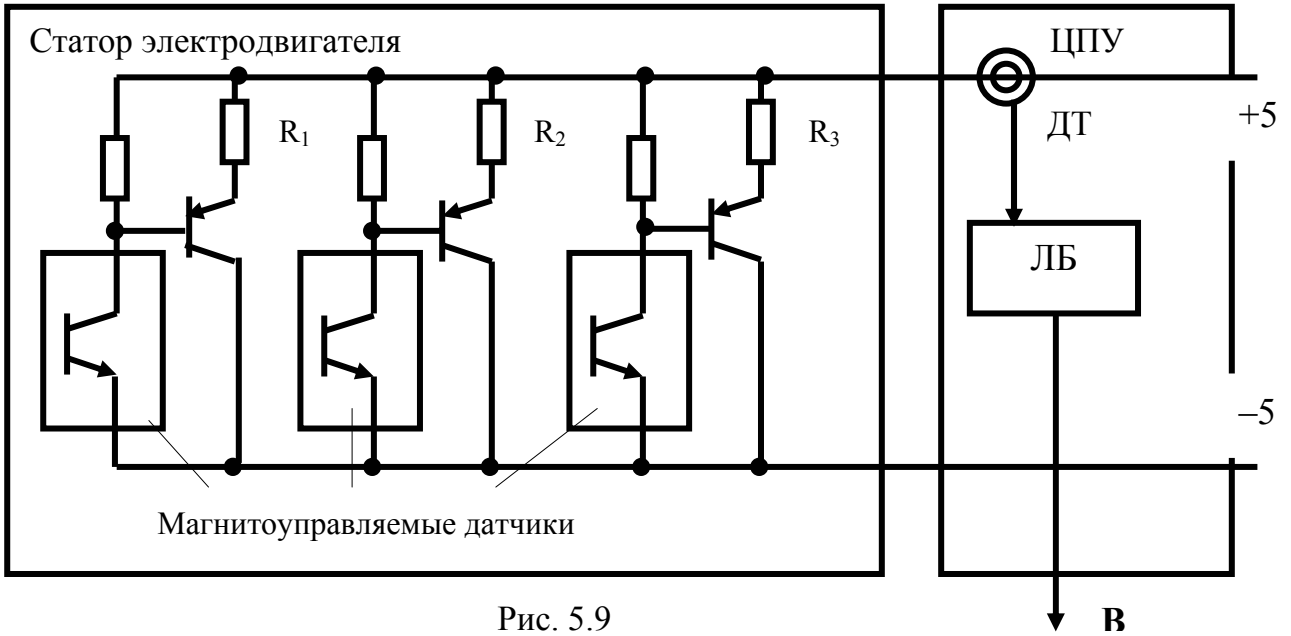


Рис. 5.9

С этой целью в электрической машине, где расположены магнитоуправляемые датчики, в каждом из них устанавливается эмиттерный повторитель с различной нагрузкой в выходной цепи. Датчики при этом располагаются между собой под электрическим углом в 60 эл.град. Нетрудно показать, что оптимальные соотношения значений токов выходных каскадов датчиков должны быть $I^*(b_1) = 1$, $I^*(b_2) = 0{,}75$, $I^*(b_3) = 2{,}5$.

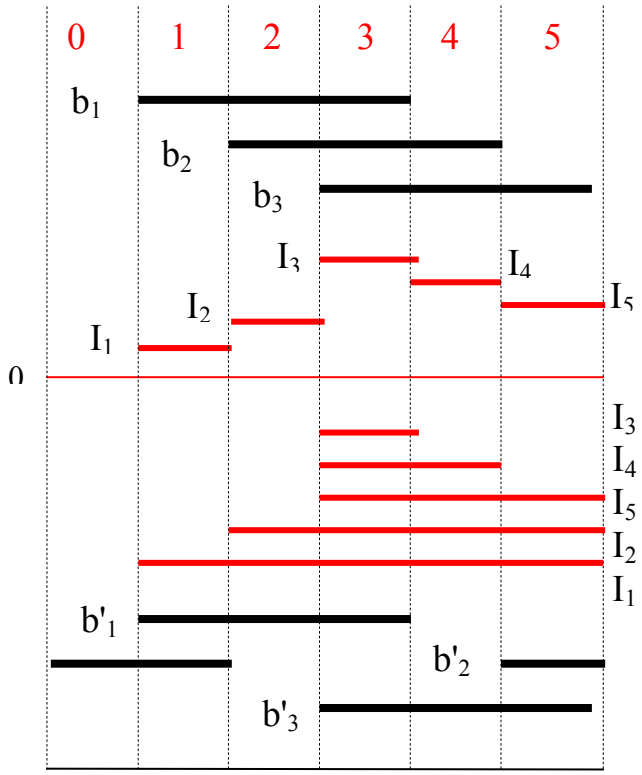


Рис. 5.10

Таким образом выходные сигналы этих датчиков образуют многофазный код в записи Либау-Крейга (рис. 5.10).

Пусть, например, нагрузка в выходной цепи первого датчика определяется током в 20 мА, второго датчика – в 15 мА, третьего датчика – в 50 мА. Тогда при эквивалентной цифре "0", когда выходные цепи всех датчиков отключены, ток в шинах питания такого ЦПУ будет минимальным и определяться значением $3\Delta I$ мА, где ΔI – ток потребления датчика при отключенной нагрузке. При цифре "1", когда включается первый датчик, ток в цепи потребления будет $(20+3\Delta I)$ мА, при цифре "2" – $(35+3\Delta I)$ мА, при цифре "3" – $(85+3\Delta I)$ мА, при цифре "4" – $(65+3\Delta I)$ мА, при цифре "5" – $(50+3\Delta I)$ мА. Эти уровни токов при помощи компараторов в системе электропривода превращаются в соответствующие сигналы $I_1>(20+3\Delta I)$ мА, ..., $I_5>(50+3\Delta I)$ мА. Эти сигналы образуют код основания системы счисления n=6, который позволяет в системе электропривода получить трехфазный код $b_1' = I_1\underline{I_5} \vee I_3$, $b_2' = I_2\underline{I_5} \vee I_4$, $b_3' = I_5$, который управляет непосредственно силовыми элементами инвертора, питающего вентильный электродвигатель.

Очевидно, что отличие порога срабатывания одного компаратора тока от другого определяется значением $I^*(b_3)$, а потребление энергии из сети 5 В определяется значением $P^*=0{,}0106$, что при токе $I(b_1)=20$ мА составит 0,218 Вт.

Такое построение ЦПУ позволяет не просто убрать три провода между вентильным электродвигателем и блоком управления, но и оставить только силовые цепи, соединяющие фазы электродвигателя с инвертором.

На рис. 5.11 приведена блок-схема такого вентильного электродвигателя.

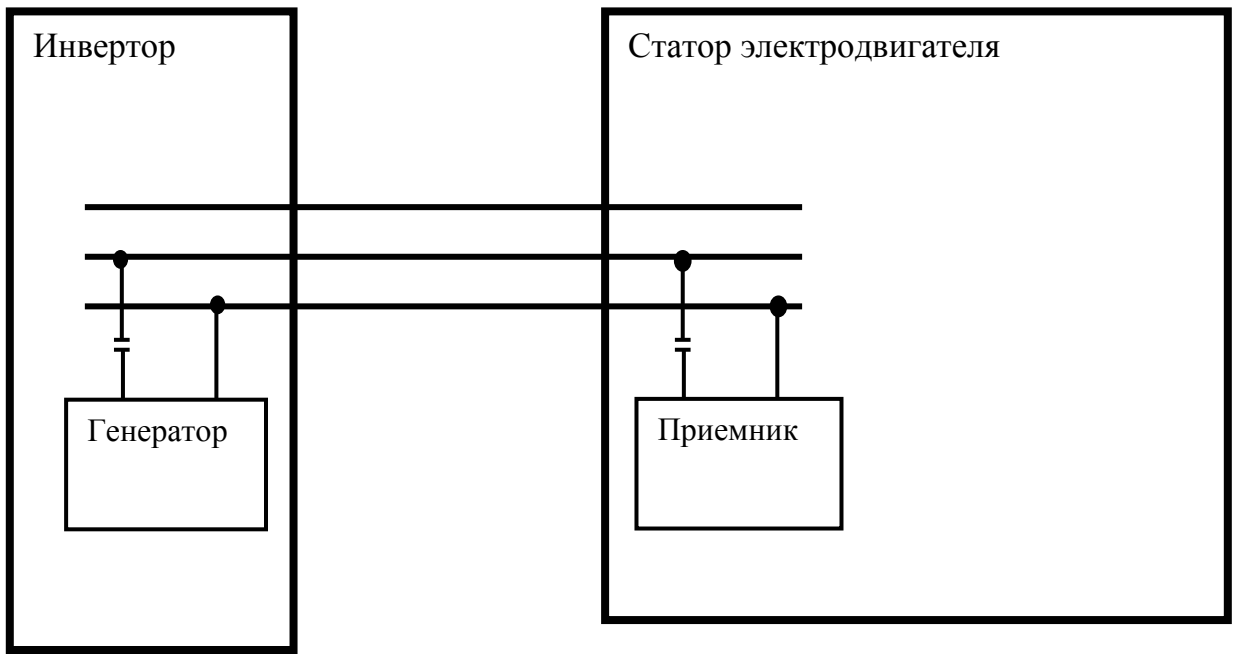


Рис. 5.11

Здесь для передачи энергии питания трех магнитоуправляемых датчиков используются силовые провода вентильного электродвигателя. Высокочастотный генератор, установленный в блоке управления, с выходным напряжением частотой в несколько мегагерц соединяется через разделительный конденсатор с силовым выходом инвертора напряжения. В статоре электродвигателя установлен высокочастотный трансформатор, первичная обмотка которого через разделительный конденсатор и силовые провода соединена с выходом генератора. Выходное напряжение этого трансформатора выпрямляется, стабилизируется и подается на питание трех магнитоуправляемых датчиков. Все эти электронные компоненты приемника (выпрямитель, интегральный стабилизатор, магнитоуправляемые датчики) также установлены в статоре вентильного электродвигателя.

Контролируя ток в цепи питания высокочастотного генератора напряжения, несложно определить все сигналы трехфазного кода ЦПУ. Причем индуктивности дросселей инвертора напряжения и фаз электродвигателя имеют высокие полные сопротивления и практически не оказывают влияние на его энергопотребление.

Остановимся на возможности изменения связи сигналов ЦПУ на магнитоуправляемых датчиках с угловым положением вала электродвигателя. Во-первых, размещение магнитоуправляемых датчиков в зазоре между статором и магнитным ротором электродвигателя требует достаточно большого зазора, что не всегда выполнимо. Во-вторых, из-за разброса уровня срабатывания магнитоуправляемых датчиков и невозможности строгого сохранения угловых соотношений между их кристаллами обеспечить необходимые соотношения между выходными многофазными сигналами, а также гарантировать строгое равенство длительностей в каждой фазе прямых и инверсных сигналов практически невозможно. В-третьих, необходимость изменения связи сигналов ЦПУ с угловым положением вала усложняет его конструкцию.

Первый и отчасти второй недостаток могут быть устранены путем размещения датчиков непосредственно в углублениях зубцов статора. Однако в этом случае возможность плавного изменения соотношения цифрового выхода и фактического угла исключается.

На рис. 5.12 приведена принципиальная схема комбинированного ЦПУ, которая лишена отмеченных выше недостатков. В этой схеме установлены три магнитоуправляемых датчика, например в зубцах статора вентильного электродвигателя. Дополнительно на валу устанавливается однофазный синхронный микрогенератор с возбуждением от постоянных магнитов либо импульсный генератор с магнитоуправляемым датчиком. Причем число пар полюсов этих устройств в 3К раз больше числа пар полюсов вентильного электродвигателя.

Для трехфазного вентильного электродвигателя, если не предъявляются дополнительные требования к форме его питающих напряжений, т.е. используется простейшая прямоугольная форма этих напряжений, К=1.

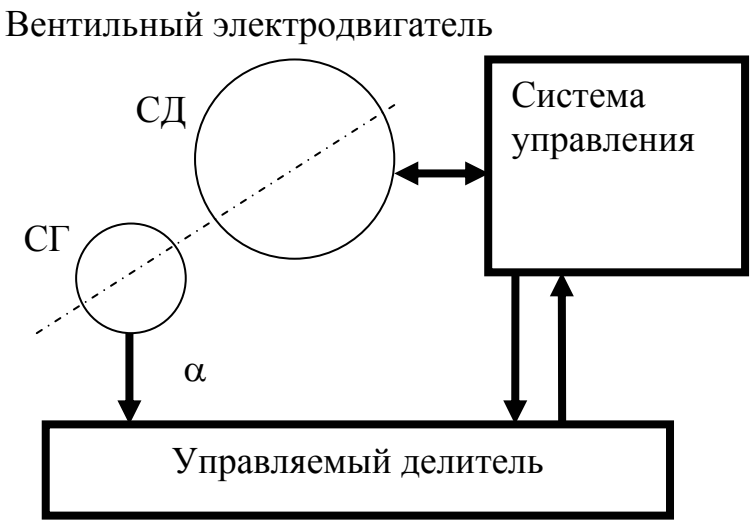
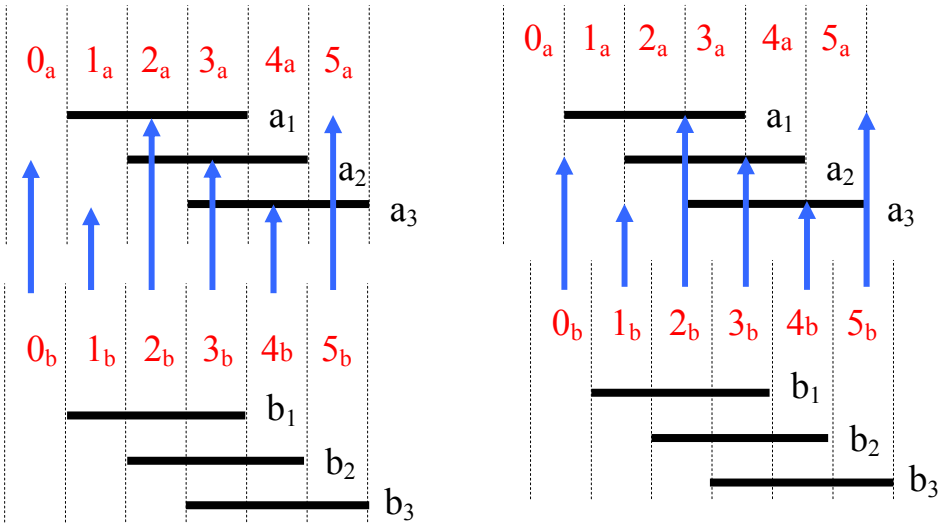


Рис. 5.12

Сигналы α и $\underline{\alpha}$, которые совпадают соответственно с положительной и отрицательной полуволнами микрогенератора, поступают на вход управляемого делителя-счетчика. Для К=1 делитель-счетчик выполняется на трех RS триггерах. На эти триггеры для осуществления " жесткой " синхронизации подаются цифровые сигналы ($0_b \vee 1_b$), ($1_b \vee 2_b$), ... , ($5_b \vee 0_b$), образованные из сигналов трехфазного кода $B(b_1, b_2, b_3)$ магнитоуправляемых датчиков.

Трехфазные сигналы $A(a_1, a_2, a_3)$ делителя-счетчика и сигналы $B(b_1, b_2, b_3)$, представленные в записи Либау-Крейга, приведены на рис. 5.13, *а*, *б*, где сигналы $A(a_1, a_2, a_3)$ осуществляют непосредственное управление силовыми элементами трехфазного инвертора, питающего вентильный электродвигатель.



а) *б*)

Рис. 5.13

Очевидно, что при механическом повороте статора синхронного микрогенератора навстречу вращению вала сигналы $0_b \vee 1_b$, $1_b \vee 2_b$, ... , $5_b \vee 0_b$ не входят в противоречие с сигналами фаз A(a_1, a_2, a_3). Этот поворот может осуществляться без нарушения жесткой синхронизации от нулевого состояния, когда сигналы B(b_1, b_2, b_3) и A(a_1, a_2, a_3) полностью совпадают (рис. 5.13, *а*), до сдвига между ними в 60 эл.град. (на рис. 5.13, *б* показано промежуточное состояние этих сигналов).

В случае использования вентильного электродвигателя с числом фаз 3К, когда инвертор напряжения состоит из К трехфазных инверторов, управляемый делитель-счетчик состоит из 3К триггеров и позволяет получить все К трехфазные сигналы для переключения его силовых элементов. Следует отметить, что такое построение ЦПУ может быть использовано и для трехфазного варианта вентильного электродвигателя, когда сигналы многофазного кода A(a_1, ... , a_{3K}) будут использованы для управления трехфазным мостовым инвертором при формировании, например, квазисинусоидальных напряжений, питающих электродвигатель.

Введем обозначение длительности сигнала a_i, например в электрических градусах, как $[a_i]°$. Тогда даже если длительности сигналов b_1, b_2, b_3 синхронизации делителя-счетчика в определенных пределах различны и различны их длительности прямых и инверсных составляющих $[b_i]° \neq [\underline{b_i}]°$, а также различны сигналы полуволн выходных напряжений микрогенератора $[\alpha_i]° \neq [\underline{\alpha_i}]°$, то увидим, что в управляемом делителе-счетчике происходит выравнивание выходных сигналов при сохранении угловых соотношений между ними. Так, при четном m числе фаз делителя-счетчика и разности длительностей выходных сигналов микрогенератора $[\alpha_i]° \neq [\underline{\alpha_i}]°$ тем не менее длительности всех фаз кода A абсолютно равны, а при нечетном числе фаз этого делителя-счетчика относительные значения длительностей сигналов определяются выражением $\gamma = [a_i]°/[\underline{a_i}]° = (m+1)+(m-1)\xi/(m+1)\xi+(m-1)\xi$, где $\xi = [\alpha_i]°/[\underline{\alpha_i}]°$.

Для примера на рис. 5.14 представлены соотношения между трехфазными сигналами a_1, a_2, a_3 и заведомо нереальное значение $\xi=2$, когда $[\alpha_i]°=80$ эл.град., а $[\underline{\alpha_i}]°=40$ эл.град. Очевидно, что при 100%-м отличии длительностей сигналов $[\alpha_i]°$ и $[\underline{\alpha_i}]°$ длительности сигналов $[a_i]°$ и $[\underline{a_i}]°$ будут отличаться только на 20%, а с увеличением числа фаз это отличие длительностей сигналов будет уменьшаться.

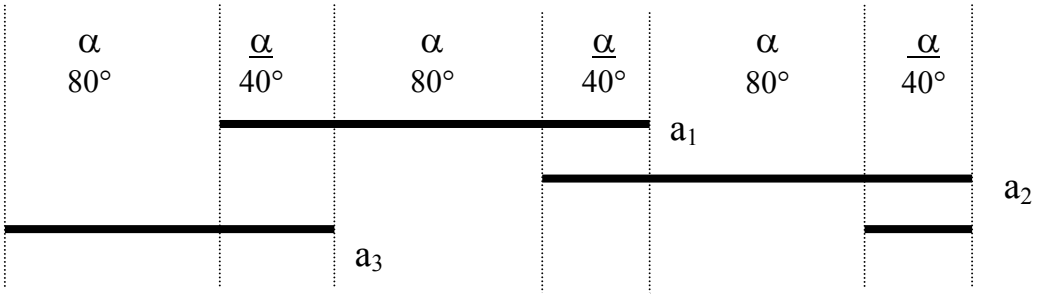


Рис. 5.14

При четном числе фаз, кратных трем (m = 6, 12, 18, ...), в них может быть выделено 2, 4, 6, ... сигналов трехфазных кодов. В этих системах угол между первой и второй трехфазными системами, третьей и четвертой и т.д. определяется зависимостью $[\alpha_i]°=360/m(1+\xi)$, а угол между второй и третьей трехфазными системами, четвертой и пятой и т.д. – выражением $[\alpha_i]°=360\xi/m(1+\xi)$.

Представленное здесь комбинированное ЦПУ является неотъемлемой частью вентильного электродвигателя и выполнено по блок-схеме такого вентильного электродвигателя [5.7], где вместо фотоэлектрических элементов установлены магнитоуправляемые датчики.

Рассмотрим возможности электрического поворота сигналов, например, трехфазного кода $A(a_1, a_2, a_3)$ относительно вала электродвигателя.

На рис. 5.15 приведены синусоидальные либо близкие к синусоидальному закону сигналы выходного напряжения микрогенератора, а также сигналы трехфазного кода $B(b_1, b_2, b_3)$ ЦПУ, жестко связанные с валом электродвигателя.

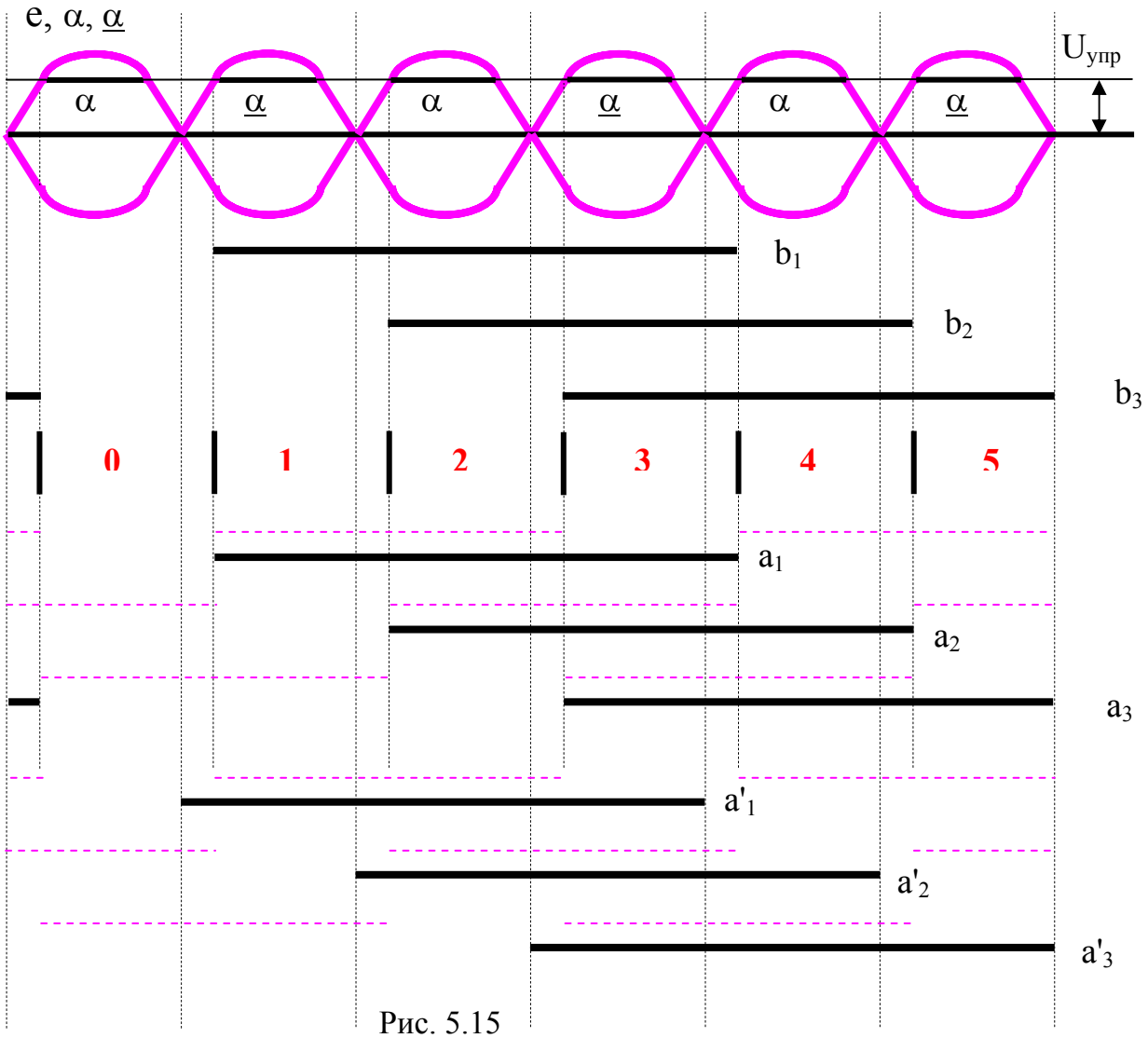


Рис. 5.15

Сигналы α, $\underline{\alpha}$, которые поступают на вход делителя-счетчика, могут расширяться либо сужаться, оставаясь при этом симметричными относительно сигналов e микрогенератора. Сигналы α, $\underline{\alpha}$ образуются на выходе двух компараторов, на первые входы которых поступают в противофазе сигналы напряжения микрогенератора, а на вторые входы – сигнал управления $U_{упр}$. При максимальном значении этого сигнала между импульсами α, $\underline{\alpha}$ будет пауза, а код $A(a_1, a_2, a_3)$ делителя-счетчика полностью совпадет с кодом $B(b_1, b_2, b_3)$. При уменьшении сигнала $U_{упр}$ импульсы α, $\underline{\alpha}$ расширяются и трехфазный код сигнала $A(a_1, a_2, a_3)$ сдвигается навстречу вращению вала электродвигателя. При $U_{упр}=0$ этот сдвиг достигнет максимального значения (трехфазный код $A'(a'_1, a'_2, a'_3)$). Для большей наглядности рядом с сигналами этих кодов штрихпунктирными линиями показаны импульсы сигналов ($\mathbf{0} \vee \mathbf{1}$), ($\mathbf{1} \vee \mathbf{2}$), ... ,($\mathbf{0} \vee \mathbf{5}$) "жесткой" синхронизации кода $B(b_1, b_2, b_3)$, поступающие на входы RS триггеров делителя-счетчика.

Из отмеченного следует, что импульсы синхронизации не мешают работе управляемого делителя-счетчика при любом угловом положении сигналов выходного кода относительно вала электродвигателя.

Аналогично может быть реализовано изменение углового положения кодов ЦПУ относительно вала вентильного электродвигателя и при большем числе фаз.

5.5. Цифровые преобразователи скорости

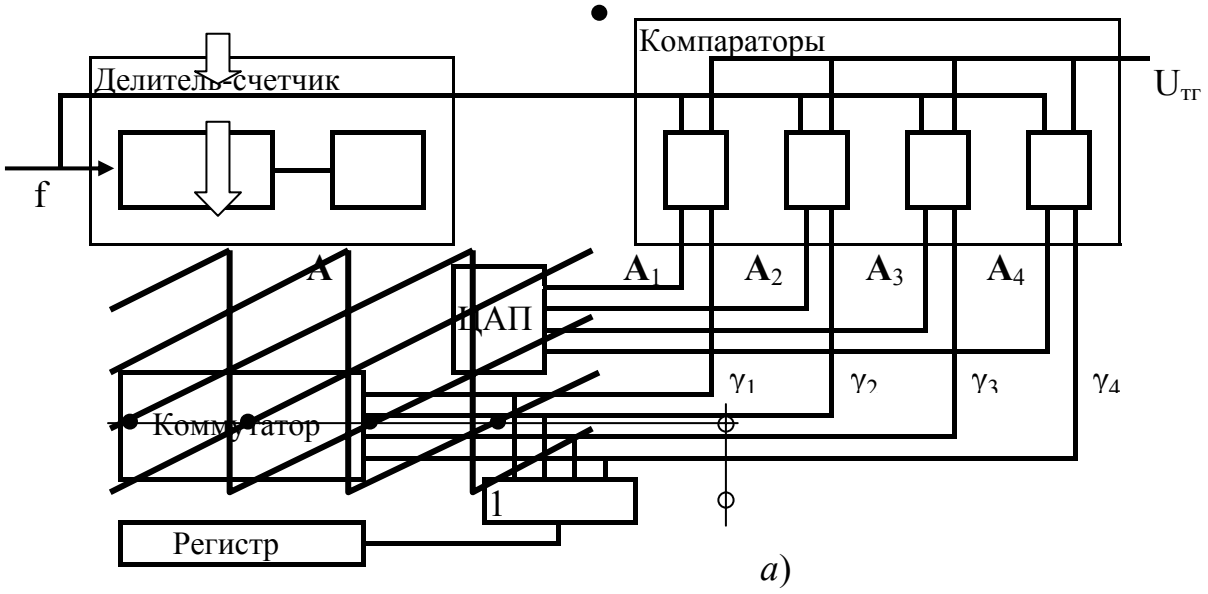
Любой электропривод достаточно высокой точности как постоянного, так и переменного токов не может обойтись без контура регулирования скорости. Наилучшим датчиком скорости является тахогенератор постоянного тока, где выходное напряжение пропорционально частоте вращения электродвигателя. Такие высокоточные тахогенераторы до недавнего времени строились только на базе коллекторной машины постоянного тока. С развитием теории вентильных электродвигателей появились бесконтактные тахогенераторы постоянного тока, которые содержат синхронную машину и датчик положения ротора, т.е. ЦПУ. По коду сигналов этого ЦПУ, обычно трехфазного, выполняется коммутация ключей преобразователя, осуществляющего выпрямление напряжений синхронной машины. При форме ЭДС синхронной машины с уплощенной вершиной [5.16] достигается довольно гладкое напряжение постоянного тока, пропорциональное скорости.

Сложность здесь заключается в необходимости установки на валу электродвигателя еще дополнительно двух приборов: синхронной машины и ее датчика положения. Если в электроприводе используется вентильный электродвигатель, например с цифровым управлением, то там уже есть ЦПУ, но его механическая установка не может удовлетворить одновременно двум электрическим машинам. С целью использования одного ЦПУ для решения этой задачи в [5.17]

предложено на одном из разветвлений выхода ЦПУ устанавливать сумматор с внешним входом цифрового поворота сигналов кода.

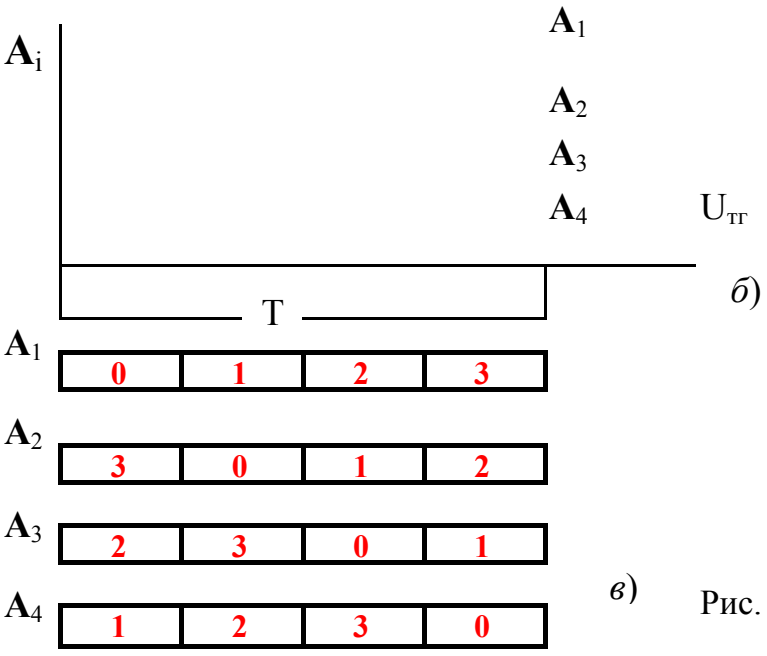
Простейшим видом цифрового преобразователя скорости (ЦПС) является обычный АЦП, преобразующий аналоговое напряжение тахогенератора в цифровой код требуемой разрядности. Имеющиеся серийные АЦП выполняются в неконтролеспособном двоичном коде, обладают невысоким быстродействием, плохими динамическими показателями и отличаются значительной сложностью. Вместе с тем способ "бегущей стробирующей метки" с его большими возможностями по повышению быстродействия и точности может быть использован и здесь.

На рис. 5.16, *а* приведена структурная схема ЦПС, где используется АЦП на выходе аналогового тахогенератора $U_{тг}$.



а)

Код скорости



б)

в)

Рис. 5.16

В схеме используется ЦАП с многофазным выходом развертывающегося аналогового сигнала. Код **А** делителя-счетчика, работающего в непрерывном подсчете импульсов высокой частоты f, где старший разряд выполнен в многофазном коде, например четырехфазном, преобразуется в четыре аналоговых сигнала $\mathbf{A}_1 - \mathbf{A}_4$ (рис. 5.16, *б*). Каждый из этих аналоговых сигналов за период изменения цифровых показаний делителя-счетчика проходит значения от нуля до максимального значения $\mathbf{A}_{мак}$. Начала изменений этих сигналов отстоят на равные промежутки времени T/2m.

Сигнал тахогенератора $U_{тг}$ сравнивается в компараторах с этими развертывающимися аналоговыми напряжениями, и вырабатываются четыре строб-импульса $\gamma_1 - \gamma_4$, синхронизированные входной частотой f. Каждый из строб-импульсов пропускает на выход коммутатора соответствующие коды, которые отличаются один от другого только сигналами старших разрядов (рис. 5.16, *в*). Поэтому схема коммутатора весьма проста

$$a'_1 = a_1\gamma_1 \vee a_2\gamma_2 \vee \underline{a}_1\gamma_3 \vee \underline{a}_1\gamma_4;$$

$$a'_2 = a_2\gamma_1 \vee \underline{a}_1\gamma_2 \vee \underline{a}_2\gamma_3 \vee a_1\gamma_4,$$

а младшие разряды делителя-счетчика соединены непосредственно с входными шинами регистра.

При любом из стробирующих импульсов $\gamma_1 - \gamma_4$ показания регистра воспринимают соответствующие коды $\mathbf{A}_1 - \mathbf{A}_4$ в моменты времени, когда они пропорциональны напряжению тахогенератора $U_{тг}$.

Быстродействие представленной схемы ЦПС определяется входной частотой f, которая ограничивается только частотными свойствами элементов и схемными возможностями построения младших разрядов. При построении младших разрядов делителя-счетчика также в многофазном коде частотные возможности возрастают. Многофазный принцип опроса показаний делителя-счетчика дополнительно увеличивает быстродействие в 2m раз.

В том случае, если тахогенератор постоянного тока отсутствует, цифровой сигнал скорости необходимо формировать с выхода ЦПУ. При этом возможен весьма прозрачный вариант, который заключается в измерении частоты смены стабильной цифры младшего разряда ЦПУ с последующим преобразованием этой частоты в аналоговый сигнал либо цифровой код.

Другим вариантом получения цифрового эквивалента угловой скорости может быть метод цифрового дифференцирования угла. Его реализация связана с определенными вычислениями, требующими временных затрат, что в быстродействующих электроприводах неприемлемо.

Наибольший интерес представляет метод непосредственной обработки сигналов фазовращателя, где разность частот входного и выходного напряжений прямо пропорциональна скорости перемещения его вала.

Частота вращения ротора фазовращателя определяется зависимостью

$$f_р = f_{вых} - f_п = np/60,$$

где $f_п$ – частота питающего фазовращатель напряжения; $f_{вых}$ – частота выходного напряжения фазовращателя; n – число оборотов вала фазовращателя в минуту; p – число пар полюсов фазовращателя.

Тогда число оборотов вала, выраженное через периоды питающего и выходного напряжений, может быть представлено в следующем виде:

$$n = \frac{60(T_п - T_{вых})}{pT_п T_{вых}}. \qquad (5.5.1)$$

Более простой метод определения скорости выходного вала фазовращателя, чем в выражении (5.5.1), предложен Н.М. Грачевым [5.18]. В нем скорость вала фазовращателя определяется путем заполнения высокочастотными импульсами временных интервалов полупериодов его напряжения питания и выходного напряжения с последующим сравнением их количества. Затем по их разности определяется величина частоты и направление вращения вала. При этом предполагается неизменность периода питающего фазовращатель напряжения.

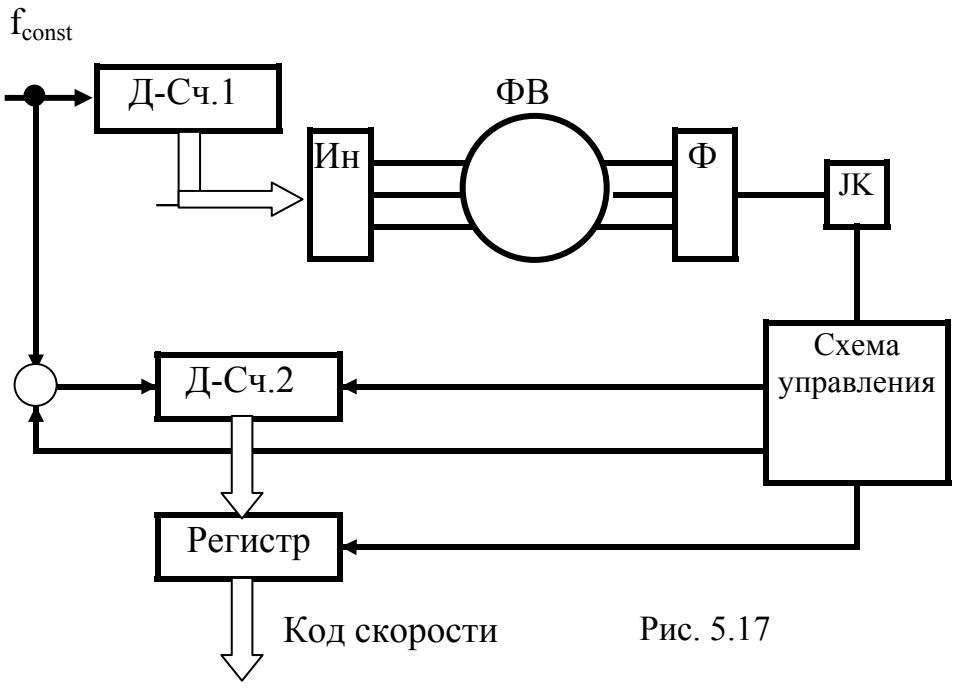


Рис. 5.17

Введем некоторую "поправку" для этого метода, которая не меняет его сущности, а несколько совершенствует: пусть это будут не полупериоды, а периоды соответствующих напряжений. Схема, реализующая этот метод, представлена на рис. 5.17. В этой схеме импульсы высокой стабильной частоты $f_{ст}$ вызывают циклическое переключение первого делителя-счетчика, цифровые сигналы которого формируют трехфазные напряжения питания фаз фазовращателя. Выходные напряжения фазовращателя проходят через формирователи прямоугольных напряжений, где одна из фаз этого прямоугольного напряжения поступает на счетный вход, например JK триггера.

Очевидно, что частота переключения сигналов этого триггера будет в два раза ниже частоты выходного напряжения фазовращателя. При логической единице на выходной шине этого триггера импульсы напряжения частоты $f_{ст}$ поступают на вход второго делителя-счетчика аналогичного первому, который работает в режиме вычитания этих импульсов. При появлении логического нуля на выходной шине JK триггера работа второго делителя-счетчика приостанавливается и его показания передаются в регистр. После передачи данных в регистр второй делитель-счетчик устанавливается в исходное нулевое состояние и готов к новому циклу измерения в момент поступления сигнала с JK триггера.

Из представленного следует, что показания регистра здесь будут соответствовать разности периодов входной и выходной частот фазовращателя $(T_п - T_{вых})$.

Принимая емкость делителей-счетчиков равной $К_д$, показания регистра X будут соответствовать разности периодов $\Delta T = XT_п/К_д$, а период выходного напряжения фазовращателя

$$T_{вых} = T_п \mp \Delta T = T_п (1 \mp X/К_д) . \qquad (5.5.2)$$

В этом выражении первый знак соответствует разноименному направлению вращения поля статора и ротора фазовращателя, а второй знак - одноименному направлению вращения.

Точная формула определения скорости вращения может быть записана в следующем виде:

$$n = \frac{60X}{pT_п(К_д \mp X)} , \qquad (5.5.3)$$

а в [5.18] предложено производить вычисление по несколько упрощенной зависимости

$$n = \frac{60X}{pT_п К_д} . \qquad (5.5.4)$$

Тогда из этих выражений найдем погрешность измерения скорости

$$\Delta_n = \frac{n\ p\ 10}{6\ f_п}\% . \qquad (5.5.5)$$

При низких скоростях вращения и высокой частоте питающего фазовращатель напряжения погрешность измерения скорости здесь мала, а простота схемы реализации способа очевидна. Однако для электроприводов, например, промышленных роботов, где применяются высокоскоростные электродвигатели

в соединении с редукторами, погрешности измерений могут быть значительными. Например, для электродвигателя с номинальной скоростью $n=10^3$ об/мин и фазовращателя с числом пар полюсов p=2 при частоте питающего его напряжения f=400 Гц погрешность составит 83,3%. Именно такое сравнение было представлено в заявке на изобретение [5.19], где отмечено: "Недостатком этого способа является его низкая точность. Устройство достоверно выдает только сигнал знака скорости …" и предложена схема реализации точной формулы (5.5.3) определения скорости вращения. К сожалению, эти критические высказывания в адрес метода [5.18] были неправильно поняты и необоснованно использованы в [5.20] по отношению к низкоскоростному электроприводу, где метод имеет высокие точностные показатели. Необходимо исправить эту несправедливость.

С развитием теории многомерных цифровых множеств и многофазного принципа обработки сигналов фазовращателей появилась возможность совершенствования предложенного в [5.18] метода измерения скорости.

В самом деле, частота передачи цифровых показаний скорости в регистр при многофазном выходном сигнале фазовращателя может быть увеличена в 2m раз. Это достигается соответствующим увеличением отсчетной части схемы, где для каждой полуволны выходного напряжения фазовращателя устанавливаются: делитель-счетчик, JK триггер схема формирования управляющих импульсов. При этом регистр является общим для данных схем.

Одновременно возможно расширение масштаба цифрового отсчета скорости, например увеличением емкости второго делителя-счетчика. Это сопровождается увеличением коэффициента деления выходной частоты фазовращателя, что равноценно сравнению двух, четырех и т.д. периодов напряжения питания и выходного напряжения фазовращателя. При этом возможна корректировка цифрового значения скорости и сведение погрешности измерения до единицы младшего разряда. Это достигается тем, что отличие измеренного цифрового значения от действительного на основании выражений (5.5.3) и (5.5.4) абсолютно стабильно и равно $К_д$ / $К_д$ $\mp$ X , что позволяет легко скорректировать это значение и получить линейную либо другую требуемую зависимость между цифровым кодом и скоростью вращения вала фазовращателя.

5.6. Умножители частоты

Использование высокой частоты, пропорциональной скорости вращения вала электродвигателя, позволяет строить высокоточные электроприводы постоянного и переменного тока. Однако получение больших соотношений между скоростью вращения электродвигателя и частотой, пропорциональной этой скорости, вызывает значительные затруднения в реализации. Применение высокоточных преобразователей угол-код для этих целей позволяет получить требуемые по динамике электропривода соотношения, но на такое кардинальное решение необходимы большие материальные затраты и при этом всегда возни-

кает желание решить данную проблему простым умножением частоты вращения вала электродвигателя, например вентильного.

Умножители частоты достаточно широко используются в радиотехнических устройствах, но все они имеют плохие динамические характеристики, высокую входную частоту и практически непригодны для применения в электроприводах, где требуется "жесткое" умножение входной достаточно низкой частоты. В связи с этим представляет определенный интерес рассмотреть возможности применения устройств, решающих подобную задачу с применением статического умножителя частоты с вращающимся магнитным полем [5.21]. В таких умножителях используется трансформатор специальной формы, где в пазы, например, шихтованного магнитопровода укладываются распределенные двух- или трехфазные обмотки, аналогичные обмоткам электрической машины и предназначенные для создания вращающегося магнитного поля. На стержнях магнитопровода, сечение которых выбрано с таким расчетом, чтобы они находились в режиме насыщения, накладываются вторичные обмотки, соединенные последовательно в открытый многоугольник.

Равномерно вращающаяся синусоидальная волна намагничивающей силы в нелинейной насыщенной системе создает уплощенную волну результирующего магнитного поля. Вследствие сильного насыщения стержней магнитопровода вращение магнитного поля не вызывает в них существенного изменения величины магнитной индукции в течение большей части периода. Только в момент прохождения через стержни нейтрали вращающегося магнитного поля в стержне происходит резкое изменение магнитного состояния и в расположенной на нем катушке индуктируется кратковременный импульс напряжения. Последовательное соединение в открытый многоугольник всех **k** катушек позволяет при нечетном их числе получить на выходе импульсы напряжения, частота которых в **k** раз превышает частоту питающего напряжения.

Несмотря на простоту описания, устройство содержит большое количество обмоток, предполагает в реализации большие габариты, значительную мощность потребления и технологически трудоемко. Применение здесь микросхем на основе эффекта Холла, например типа К1113 КП11, позволяет более просто решить задачу умножения входной частоты устройством с вращающимся магнитным полем.

На рис. 5.18 приведена структурная схема такого умножителя частоты, когда на ее вход поступает, например, прямоугольное напряжение, частота которого для вентильного электродвигателя определяется выражением $f_p = (mnp)/60$, где m – число фаз обмоток электродвигателя; n – число оборотов вала в минуту, p – число пар полюсов электродвигателя.

Прямоугольное напряжение U_f частоты f_p на выходе фильтра Ф превращается в синусоидальное напряжение, которое подается на две обмотки фаз А, В , а третья фаза С устройства получает прямоугольное напряжение, например, без гармонических составляющих, кратных трем, от инвертора напряжения Ин.

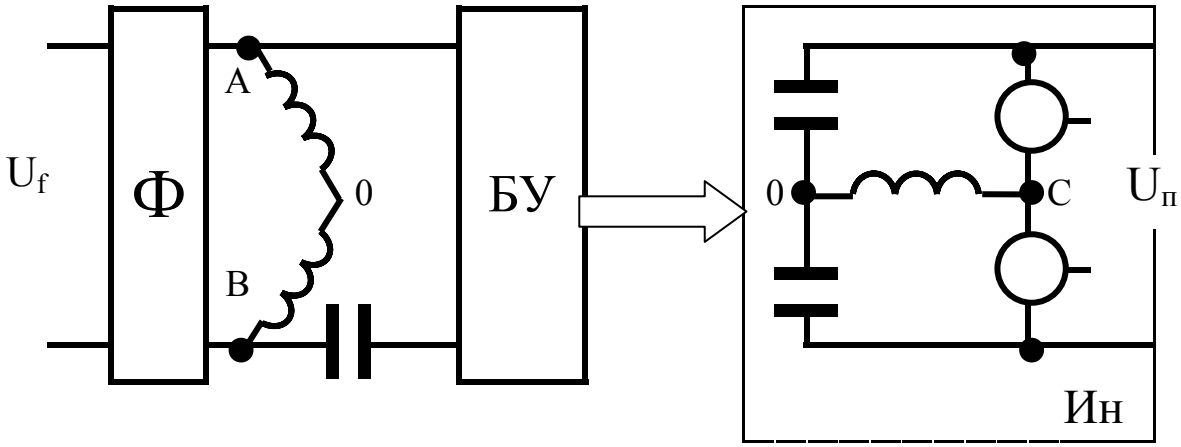


Рис. 5.18

Напряжение фазы С имеет сдвиг в 90 эл.град. относительно выходного напряжения фильтра. Величина напряжения питания инвертора устанавливается из расчета равенства первых гармонических составляющих напряжения на всех обмотках фаз умножителя, чем обеспечивается необходимое приближение к круговому вращающемуся полю в его магнитопроводе.

В зазорах статора над **k** зубцами устройства устанавливаются элементы Холла, которые формируют на своих выходных шинах **k**-фазные прямоугольные сигналы напряжения, поступающие на k-входовую схему "ИСКЛЮЧАЮЩЕЕ ИЛИ", выходной сигнал которой и определяет выходную частоту умножителя частоты $f = (mnpк)/30$.

* * *

Технические возможности аналого-цифровых преобразователей зависят в первую очередь от развития микроэлектроники и цифровых методов обработки информации. Поэтому естественно, что использование для их синтеза универсального метода многомерных цифровых множеств совместно с применением многофазных кодов, например в устройствах питания преобразователей, а также во всех узлах обработки и хранения цифровой информации, позволяет повысить их точность и быстродействие. При этом благодаря применению в них контролеспособных кодов, какими являются многофазные коды, весьма просто решаются задачи самоконтроля этих устройств в режиме реального времени. Также становится возможным объединить получение в одном приборе нескольких параметров, например перемещения, скорости и ускорения.

Мощь числа проявляется не только в деяниях демонов и богов, но и в помыслах людей.

Филолай

Глава 6

ЦИФРОВЫЕ СИСТЕМЫ УПРАВЛЕНИЯ КОНВЕРТОРАМИ НАПРЯЖЕНИЯ

6.1. Цифро-аналоговые преобразователи с многофазным выходным напряжением

Амплитудный способ управления выходным напряжением инвертора предусматривает использование регулируемых преобразователей из постоянного напряжения одного значения в постоянное напряжение другого значения – конверторов напряжения. Известны три основные схемы [6.1] конверторов напряжения: с последовательным транзистором и последовательным дросселем (рис. 6.1, *а*), с последовательным дросселем и параллельным транзистором (рис. 6.1, *б*) и последовательным транзистором и параллельным дросселем (рис. 6.1, *в*).

В первой схеме выполняется условие ($U_{пит} \geq U_{вых}$),во второй схеме это условие ($U_{вых} > U_{пит}$), а в третьей схеме $U_{вых}$ может быть как больше, так и меньше $U_{пит}$.

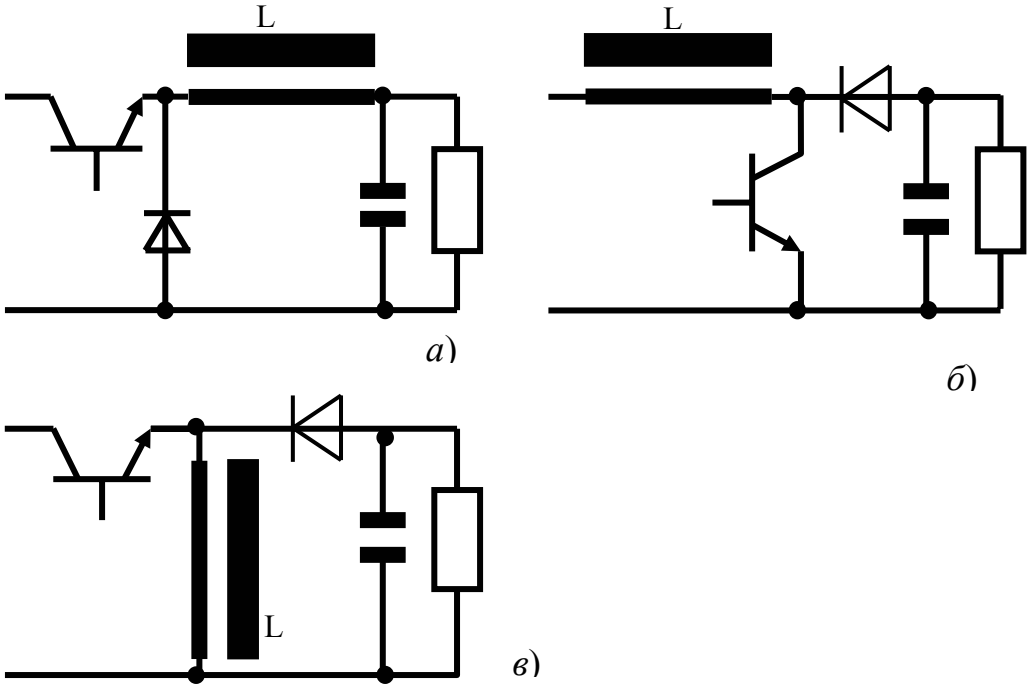


Рис. 6.1

В конверторе (рис. 6.1, *а*), который применяется в качестве понижающего трансформатора постоянного тока с достаточно высоким КПД, выходное напряжение всегда меньше входного. Сигнал ШИМ управляет здесь длительностью замкнутого и разомкнутого состояний силового транзистора. Когда транзистор открыт, ток протекает через дроссель в нагрузку и выходной конденсатор. Когда транзистор закрывается, запасенная в дросселе энергия реверсирует полярность напряжения на нем, ток протекает через диод в конденсатор и нагрузку, а напряжение на выходе поддерживается конденсатором. Когда вся энергия, запасенная в дросселе, использована, конденсатор разряжается через нагрузку и выходное напряжение на конденсаторе и нагрузке уменьшается.

В повышающем конверторе (рис. 6.1, *б*) выходное напряжение всегда выше, чем входное. Когда транзистор открыт, ток протекает через дроссель, в котором запасается энергия, а конденсатор в это время разряжается через нагрузку и выходное напряжение на конденсаторе и нагрузке уменьшается. Когда транзистор закрывается, энергия, запасенная в дросселе, уменьшается и изменяет полярность напряжения на нем таким образом, что напряжение на дросселе складывается с входным напряжением питания. Таким образом, напряжение на дросселе и входное напряжение заряжают выходной конденсатор до напряжения большего, чем входное напряжение. Необходимо заметить, что в момент накопления энергии в дросселе конденсатор может разрядиться до напряжения меньше входного и даже до нуля. Для устранения этого необходимо соединить входное напряжение и нагрузку дополнительным диодом, который не позволит уменьшить напряжение на нагрузке меньше входного напряжения питания.

В конверторе с изменением полярности (рис. 6.1, *в*) возможно повышение и понижение выходного напряжения относительно входного. Когда силовой транзистор открыт, дроссель запасает энергию. Когда транзистор закрывается, запасенная энергия, спадая, вызывает изменение полярности напряжения на дросселе. Тем самым обеспечивается протекание тока через нагрузку и конденсатор, а полярность выходного напряжения оказывается противоположной полярности входного напряжения. Для выполнения предназначенных ему функций этот конвертор должен позволять запасать такую величину энергии в дросселе, которая должна покрывать потребности нагрузки. В противном случае напряжение на нагрузке может не только не увеличиваться, но и уменьшаться вплоть до нуля.

Достаточно подробное исследование рассмотренных выше схем конверторов и их регулировочных характеристик приведено в [6.11]. Из этих схем только первая схема используется для питания инверторов напряжения, поскольку две другие не имеют стабильных характеристик вход-выход при изменении параметров нагрузки.

Использование многофазного принципа ШИМ силовых элементов конвертора [6.2] позволяет теоретически получить неограниченную выходную мощность таких устройств с высокими динамическими характеристиками и малыми пульсациями выходного напряжения. Структурная схема такого конвертора приведена на рис. 6.2.

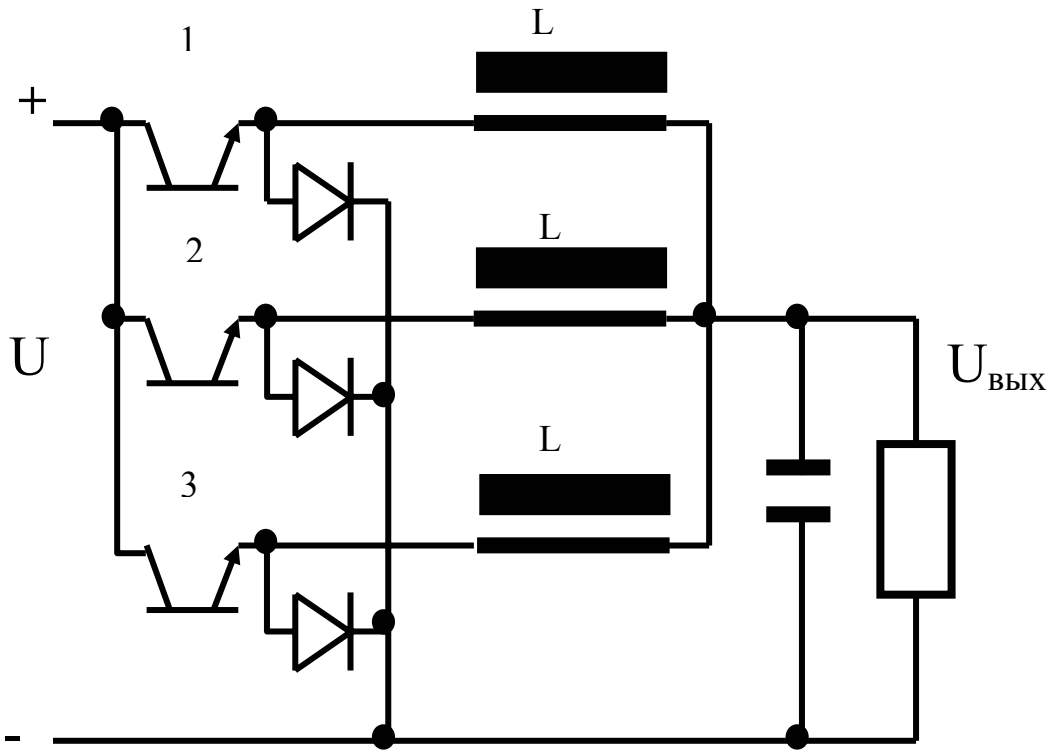


Рис. 6.2

Основные сложности практической реализации таких многофазных конверторов возникали из-за несовершенства аналоговых систем управления, которые не давали гарантии стабильности и равенства многофазных сигналов, управляющих переключением силовых элементов конвертора. Только применение цифровых методов формирования многофазных сигналов ШИМ позволило в [6.3], [6.4], [6.6] решить эту задачу.

Остановимся на одном конкретном варианте построения ЦАП с многофазным выходным сигналом напряжения [6.4]. Структурная схема этого ЦАП приведена на рис. 6.3.

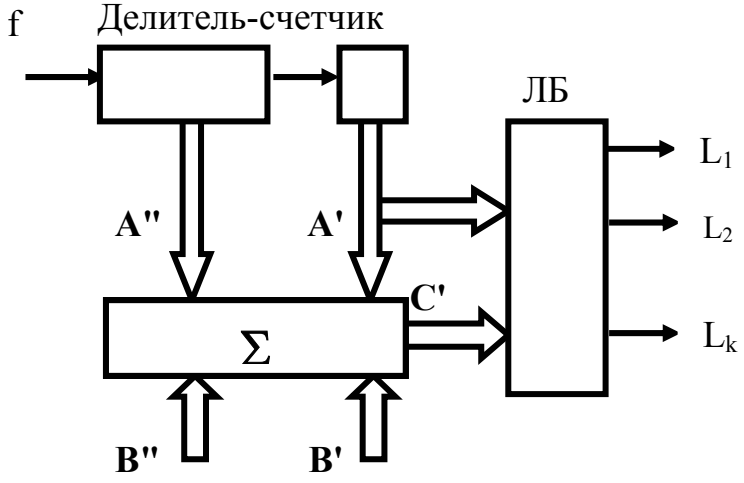


Рис. 6.3

Схема включает делитель-счетчик, работающий в непрерывном подсчете импульсов высокой частоты f, в котором выделены младшие разряды **A"** кода **A** и старший разряд этого кода **A'**. Число фаз сигналов старшего в два раза меньше числа фаз выходных сигналов преобразователя.

Входные цифровые сигналы преобразователя имеют аналогичную структуру кода **B (B"**, **B')**.

Сигналы делителя-счетчика **A** и входные сигналы **B** суммируются в блоке **Σ**, где выходные шины сумматора содержат только сигналы старшего разряда **C'** результата сложения. Сигналы старшего разряда кода **A'** и старшего разряда **C'** формируют в логическом блоке ЛБ k сигналов многофазной ШИМ **L (**L_1, ... , L_k**)**.

При регулировании сдвигом переднего фронта импульсов логическая схема для первой выходной фазы ЦАП определяется выражением

$$L_1 = b_m a_m \vee \underline{c}_m b_m \vee \underline{c}_m a_m,$$

а логические зависимости для последующих фаз получаются циклическим сдвигом выходных сигналов **A'**, **C'** из рядов

$$a_1 \to a_2 \to a_3 \to \ldots \to a_m \to \underline{a}_1 \to \underline{a}_2 \to \underline{a}_3 \to \ldots \to \underline{a}_m \to a_1,$$

$$c_1 \to c_2 \to c_3 \to \ldots \to c_m \to \underline{c}_1 \to \underline{c}_2 \to \underline{c}_3 \to \ldots \to \underline{c}_m \to c_1.$$

Тогда для второй выходной фазы $L_2 = b_m a_{m-1} \vee \underline{c}_{m-1} b_m \vee \underline{c}_{m-1} a_{m-1}$ и т.д.

При регулировании сдвигом заднего фронта импульсов необходимо выходные сигналы делителя-счетчика и сумматора подавать в эти выражения в обратном коде.

Для трехфазного варианта (m = 3) выполнения старших разрядов делителя-счетчика и сумматора k = 2m = 6, а логический блок определяется следующими зависимостями:

$$\begin{aligned} L_1 &= b_3 a_3 \vee \underline{c}_3 b_3 \vee \underline{c}_3 a_3; \\ L_2 &= b_3 a_2 \vee \underline{c}_2 b_3 \vee \underline{c}_2 a_2; \\ &\vdots \\ L_6 &= b_3 \underline{a}_1 \vee c_1 b_3 \vee c_1 \underline{a}_1. \end{aligned} \qquad (6.1.1)$$

При нулевом значении входного сигнала **(B = 0)** сигналы фаз старшего разряда счетчика передаются на выходные шины сумматора без изменения **A' = C'**.

При увеличении входного сигнала **B**, например на единицу младшего разряда, все выходные сигналы фаз **C'** будут сдвинуты на единицу относительно сигналов фаз **A'** влево (рис. 6.4, *б*) и т.д. вплоть до максимального значения входного сигнала $B_{макс}$, когда они снова совпадут со значениями сигналов фаз **A'**.

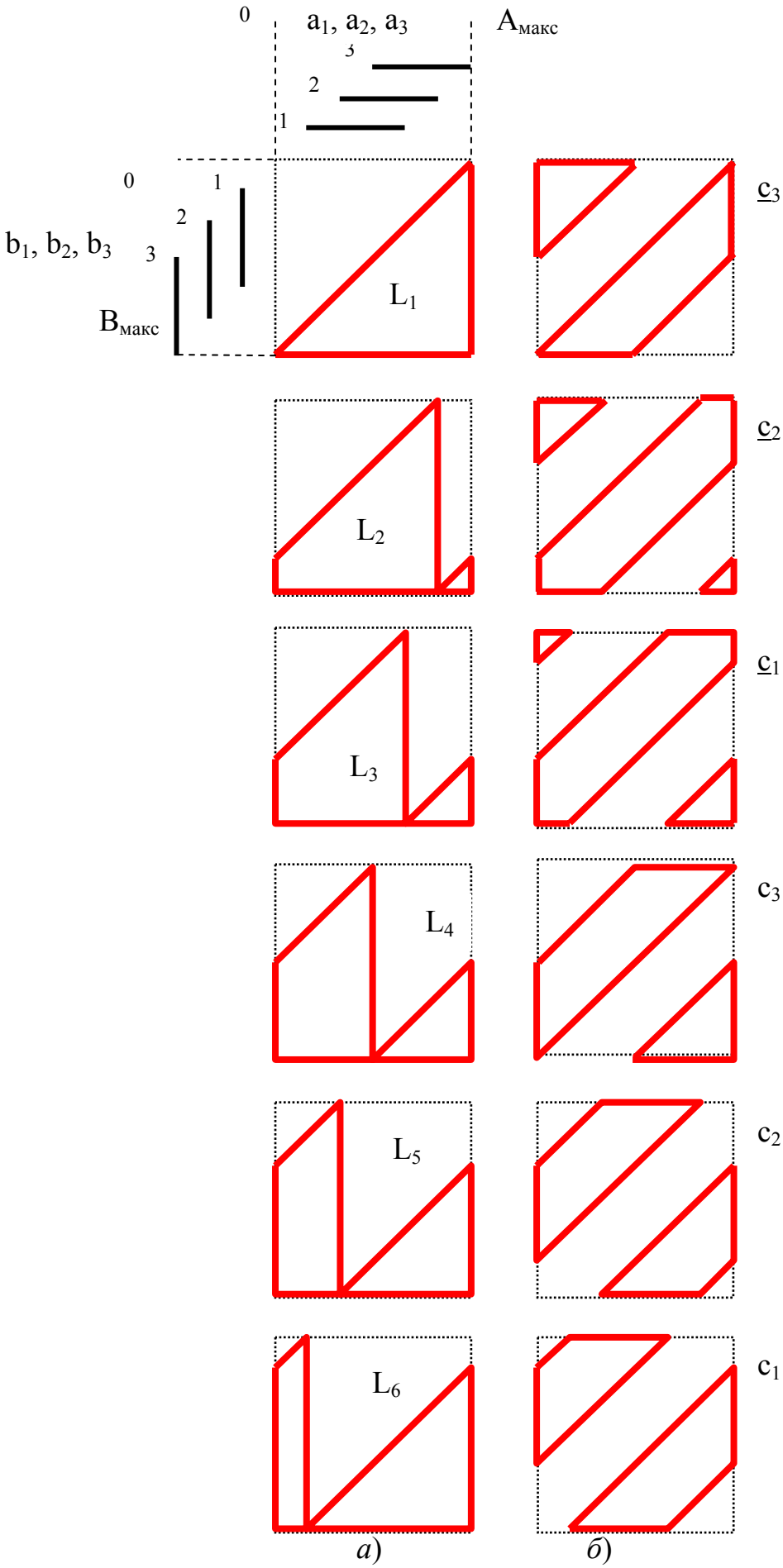

0
a1, a2, a3
Aмакс
3
2
1
0
1
2
b1, b2, b3
3
Bмакс
L1
L2
L3
L4
L5
L6
c3
c2
c1
c3
c2
c1
а)
б)

Рис. 6.4

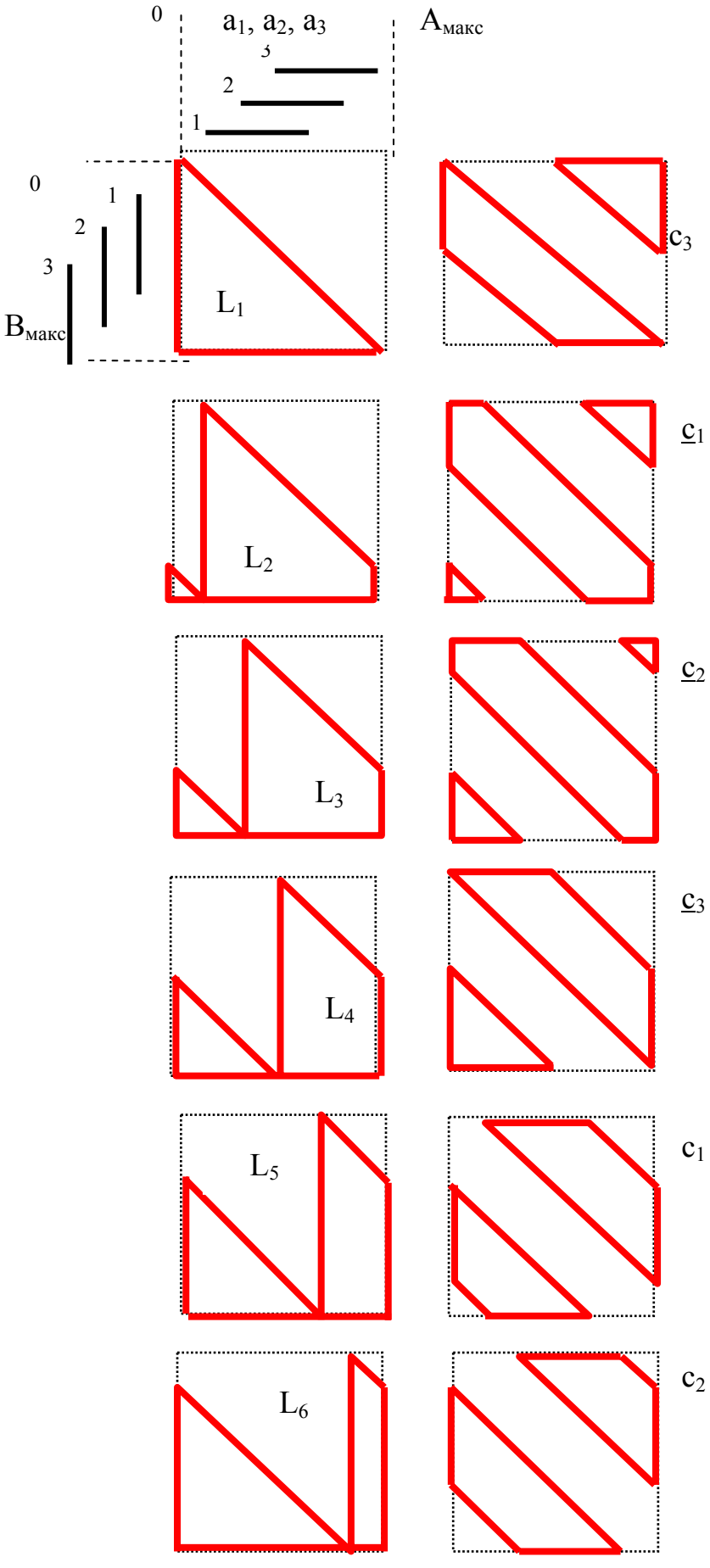

0
a1, a2, a3
Aмакс
3
2
1
0
1
2
3
Bмакс
L1
c3
L2
c1
L3
c2
L4
c3
L5
c1
L6
c2
а)
б)

Рис. 6.5

На рис. 6.4, который представляет собой развертку поверхности тора, показано изменение прямых и инверсных выходных сигналов фаз c_1, c_2, c_3 старшего разряда сумматора в функции сигналов входного кода **B**. Так как выходные сигналы фаз L_1 – L_6 на поверхности тора представляют собой прямоугольный треугольник (рис. 6.4, *а*), где по мере увеличения сигналов входного кода от нуля до $\mathbf{B}_{макс}$ скважность выходных сигналов изменяется от 0 до 1, то логические выражения (6.1.1) полностью покрывают "площади" этих треугольников через выходные сигналы старших разрядов **A'** делителя-счетчика , сигналов **C'** сумматора и сигналов **B'** входного кода **B** [6.5].

При регулировании сдвигом заднего фронта импульсов выражения, определяющие построение логического блока, запишутся следующим образом:

$$\begin{aligned} L_1 &= b_3\underline{a}_3 \vee c_3b_3 \vee c_3\underline{a}_3; \\ L_2 &= b_3a_1 \vee \underline{c}_1b_3 \vee \underline{c}_1a_1; \\ &\vdots \\ L_6 &= b_3\underline{a}_2 \vee c_2b_3 \vee c_2\underline{a}_2. \end{aligned} \qquad (6.1.2)$$

Так как при этом на первый вход сумматора сигналы **A(A"**,**A')** подаются в обратном коде, на его выходе будет выдаваться результат вычитания **(A – B)**, когда при увеличении входного сигнала **B(B"**,**B)**, например на единицу младшего разряда, все выходные сигналы фаз **C'**(c_1,c_2,c_3) будут сдвинуты на единицу младшего разряда относительно трехфазных сигналов **A'** вправо (рис. 6.4, *б*) и т.д. вплоть до максимального значения входного сигнала $\mathbf{B}_{макс}$, когда они снова совпадут со значением сигналов **A'**.

Аналогично рассмотренному выше регулированию сдвигом переднего фронта импульсов выходных сигналов фаз L_1 – L_6, которые на развертке поверхности тора представляют здесь также "площади" (рис. 6.5, *а*) соответствующих прямоугольных треугольников, полностью определяются логическими выражениями (6.1.2). Наличие одного цифрового входа в этих устройствах ограничивает возможности их использования в системах электропривода постоянного и переменного токов, где необходимо осуществлять воздействия от внешних либо внутренних сигналов привода. Эти сигналы являются аналоговыми, и их превращение в цифровые потребует увеличения аппаратурных затрат и приведет к снижению быстродействия системы регулирования.

Рассматриваемое ниже устройство, кроме известных входных воздействий, воздействует на величину тока в нагрузке, что позволяет его использовать непосредственно в электроприводах с частотно-токовым управлением. Устройство представляется вариантом реализации применительно к совершенствованию устройств, представленных выше. Однако оно может быть использовано для совершенствования любого устройства, в котором имеется шина частоты на входе делителя-счётчика и блок формирования многофазных сигналов ШИМ, использующий многофазные выходные сигналы этого делителя-счётчика.

Рассмотрим устройство на примере выполнения его для конкретной фазности, когда делитель-счётчик выполнен в трёхфазном коде (m = 3) и число фаз сигналов ШИМ равно 2m = 6.

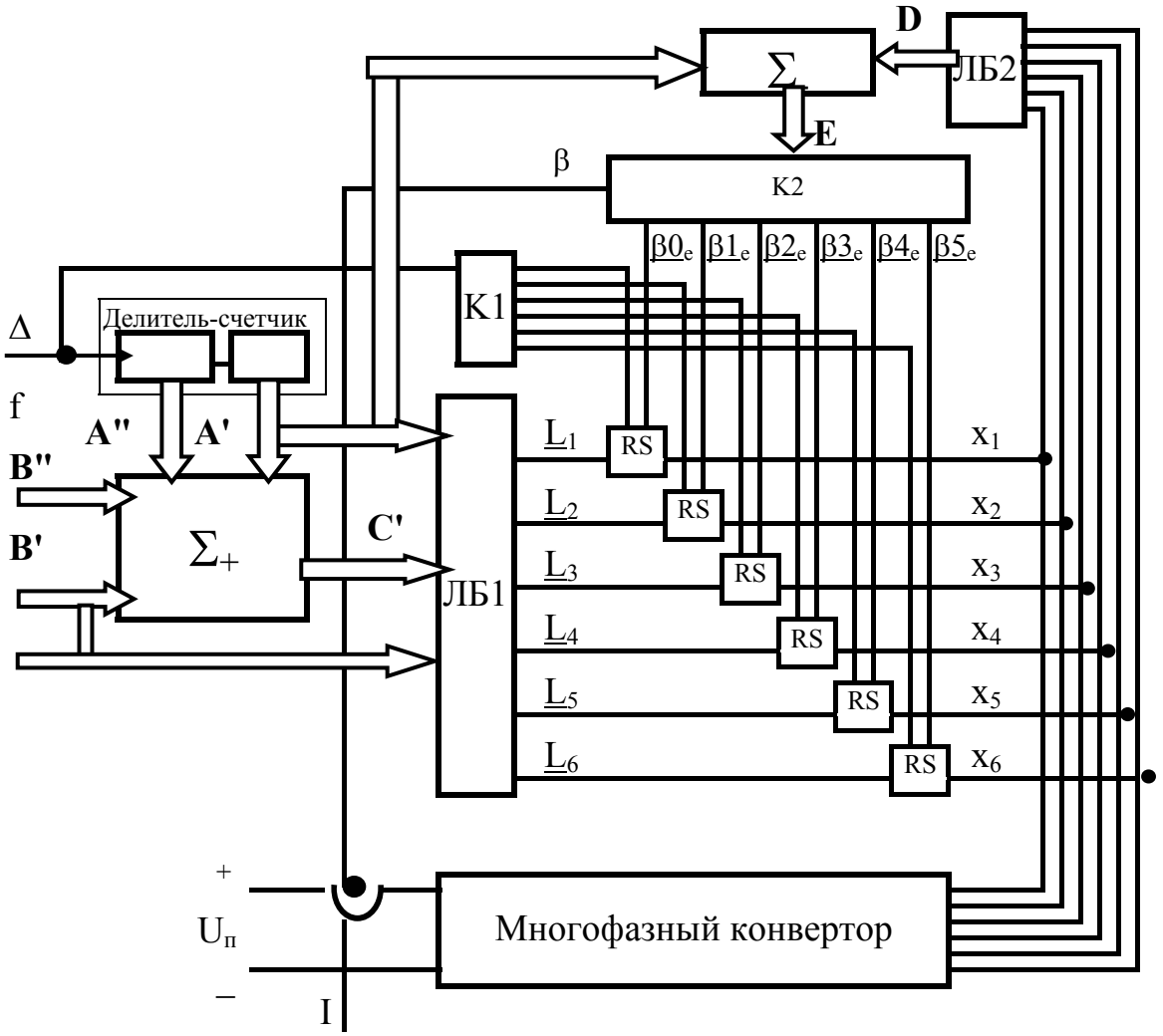


Рис. 6.6

На рис. 6.6 приведена структурная схема управления многофазным конвертором с цифровым входом **B (B"**, **B')** и аналоговым входом I, управляющим ограничением тока в силовых элементах многофазного конвертора. Схема содержит рассмотренный выше ЦАП с выходными сигналами $\underline{L}_1 - \underline{L}_6$ (рис. 6.3), скважность которых определяется входным сигналом **B**, и многофазный конвертор напряжения (рис. 6.2). В одной из питающих шин этого конвертора либо шине нагрузки установлен управляемый пороговый датчик тока, имеющий выходной логический сигнал β. При токе в силовой шине этого порогового датчика меньше заданной величины I на входной аналоговой шине β = 0*, а при превышении заданного значения тока β = 1*.

Выходные сигналы $\underline{L}_1 - \underline{L}_6$ ЦАП осуществляют блокировку соответствующего этому выходу RS триггера. В моменты снятия блокировок на установоч-

ные (set) входы RS триггеров подаются соответствующие сигналы с выходных шин первого коммутатора К1 короткими импульсами длительностью Δ входной частоты: на первую фазу сигнал $\Delta\mathbf{0}_a$, на вторую фазу – $\Delta\mathbf{1}_a$ и т.д. вплоть до шестой фазы, когда на установочный вход подается сигнал $\Delta\mathbf{5}_a$.

Выключение конкретного RS триггера происходит в момент достижения тока ограничения в силовой цепи конвертора. Это выключение осуществляется подачей логического нуля на вход reset соответствующего RS триггера с выходных шин второго коммутатора К2 порогового датчика тока ДТ. При этом код числа $\mathbf{A}(a_1, a_2, a_3)$, который существует в момент появления сигнала β, всегда определяет фазу конвертора, где произошло последнее по времени выключение силового элемента этой фазы.

На рис. 6.7 приведена принципиальная схема такого RS триггера, созданного на основе аналогового таймера, например типа М1006, в соединении с силовым элементом (транзистором) конвертора, а на рис. 6.8 показан вариант конструкции порогового датчика тока.

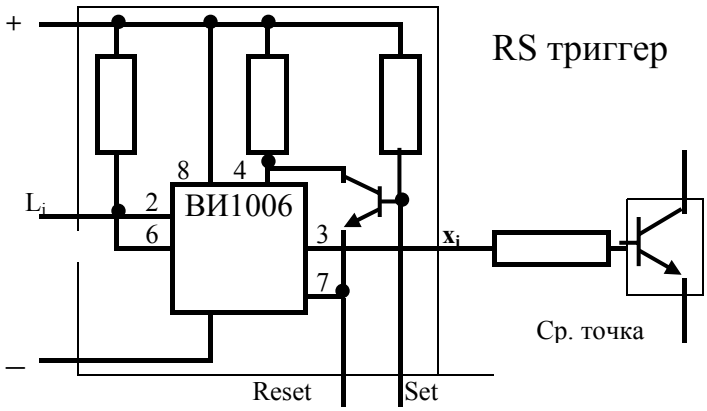


Рис. 6.7

Этот датчик состоит из двух ферритовых сердечников с воздушными зазорами, в одном из которых установлена магнитоуправляемая микросхема, работающая на эффекте Холла, например К1116 КП3. Сердечники охватываются одним либо несколькими витками силовой (измерительной) обмотки, а на каждом сердечнике при этом располагается многовитковая обмотка управления. При одинаковых значениях величины воздушных зазоров в сердечниках и равных значениях числа витков их обмоток управления, которые включены последовательно и встречно, исключается передача переменных сигналов напряжения с силовой обмотки в объединенную управляющую обмотку. Таким путем обеспечивается линейность и стабильность работы представленного компаратора тока с полной гальванической развязкой силовой и управляющей частей.

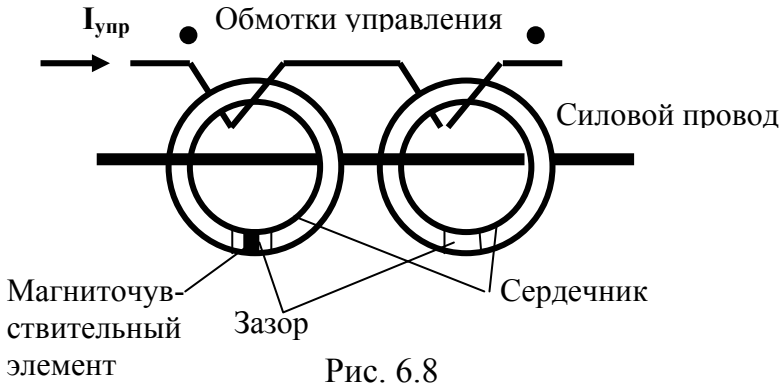


Рис. 6.8

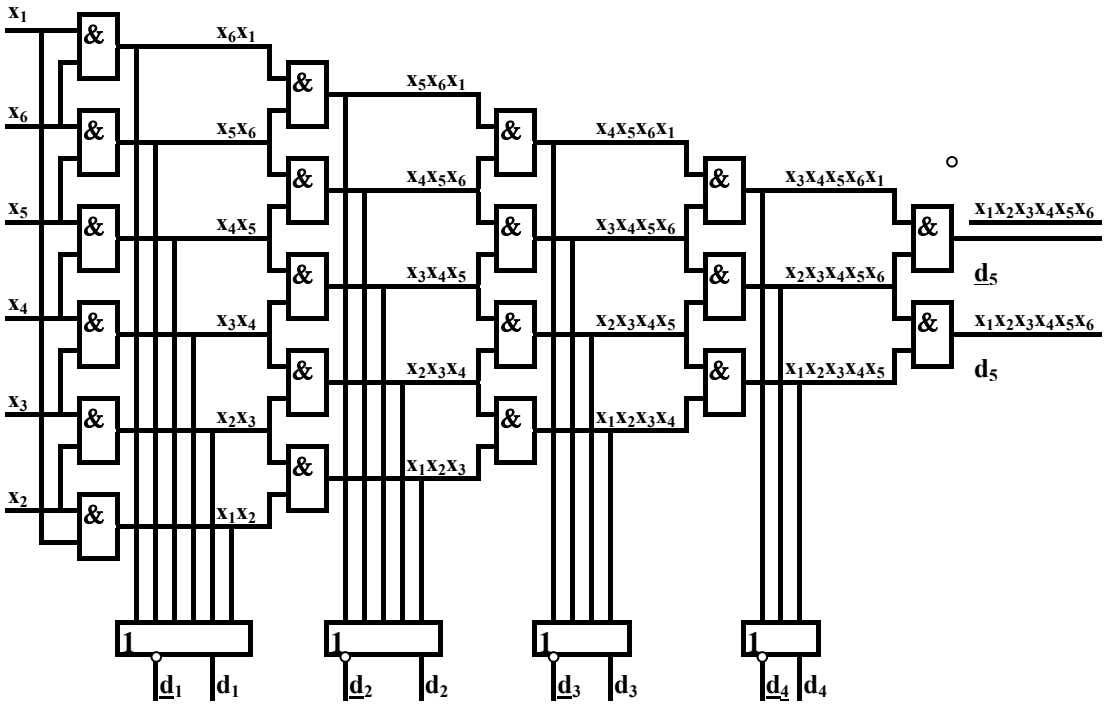


Рис. 6.9

Для пояснения работы структурной схемы конвертора напряжения на рис. 6.9 приведена принципиальная схема второго логического блока ЛБ2. На рис. 6.10 изображены в двухмерном пространстве цифровые множества, определяющие трехфазные сигналы **E**(e_1, e_2, e_3) на выходных шинах вычитающего блока **Σ**- в зависимости от трехфазных сигналов **A'**(a_1,a_2,a_3) старшего разряда делителя-счетчика и сигнала "интегрального" кода **D**(d_1 – d_5), которые являются следующими цифровыми множествами:

$$d_1 = \mathbf{1_d} \vee \ldots \vee \mathbf{5_d};\ d_2 = \mathbf{2_d} \vee \ldots \vee \mathbf{5_d};\ d_3 = \mathbf{3_d} \vee \ldots \vee \mathbf{5_d};\ d_4 = \mathbf{4_d} \vee \mathbf{5_d};\ d_5 = \mathbf{5_d}.$$

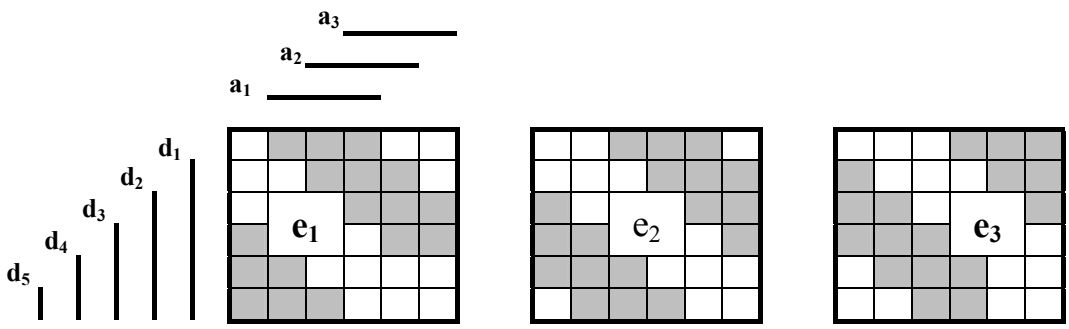


Рис. 6.10

При этом выполнение блока вычитания **E = (A – D)** определяется множествами рис. 6.10, например по логическим зависимостям:

$$e_1 = \underline{d}_1 a_1 \vee d_1 \underline{d}_2 a_2 \vee d_2 \underline{d}_3 a_3 \vee d_3 \underline{d}_4 a_1 \vee d_4 \underline{d}_5 a_2 \vee d_5 \underline{a}_3;$$

$$e_2 = \underline{d}_1 a_2 \vee d_1 \underline{d}_2 a_3 \vee d_2 \underline{d}_3 a_1 \vee d_3 \underline{d}_4 a_2 \vee d_4 \underline{d}_5 a_3 \vee d_5 a_1;$$

$$e_3 = \underline{d}_1 a_3 \vee d_1 \underline{d}_2 a_1 \vee d_2 \underline{d}_3 a_2 \vee d_3 \underline{d}_4 a_3 \vee d_4 \underline{d}_5 a_1 \vee d_5 a_2.$$

Второй коммутатор представляется зависимостями:

$\beta \mathbf{0}_e = \beta \underline{e}_1 \underline{e}_3$, $\beta \mathbf{1}_e = \beta e_1 \underline{e}_2$, $\beta \mathbf{2}_e = \beta e_2 \underline{e}_3$, $\beta \mathbf{3}_e = \beta e_1 e_3$, $\beta \mathbf{4}_e = \beta \underline{e}_1 e_2$, $\beta \mathbf{5}_e = \beta \underline{e}_2 e_3$.

Если в момент появления сигнала β во включенном состоянии находится только один силовой элемент конвертора, то он и будет выключен. Это произойдет в связи с тем, что при одиночном включении силового элемента код числа на выходе второго логического блока равен цифре $\mathbf{0}_d$. Следовательно, вычитающий блок пропустит код числа **A'** на выходные шины без изменения и будет выключен необходимый силовой элемент конвертора.

Если во время возникновения сигнала β во включенном состоянии находятся два силовых элемента конвертора, то код числа **D** на выходных шинах второго логического блока равен цифре $\mathbf{1}_d$. При этом код числа **A'**, передаваемый на выход вычитающего блока, уменьшится на единицу, следовательно, сигнал β будет подан на выключение того элемента из двух, который был включен раньше.

В случае появления сигнала β, когда во включенном состоянии находятся три силовых элемента конвертора, то код числа **D** на выходных шинах второго логического блока равен цифре $\mathbf{2}_d$. При этом код числа **A'**, передаваемый на выход вычитающего блока, уменьшится на две единицы, следовательно, сигнал β будет подан на выключение того элемента из трех, который был включен раньше и т.д. вплоть до состояния, когда будут открыты силовые элементы всех фаз конвертора. При этом код числа **A'**, передаваемый на выход вычитающего блока, уменьшится на пять единиц, поэтому сигнал β будет подан на выключение того элемента из шести, который был включен раньше.

Рассмотренная схема управления конвертором напряжения с многофазной ШИМ выходных сигналов позволяет не только изменять его выходное напря-

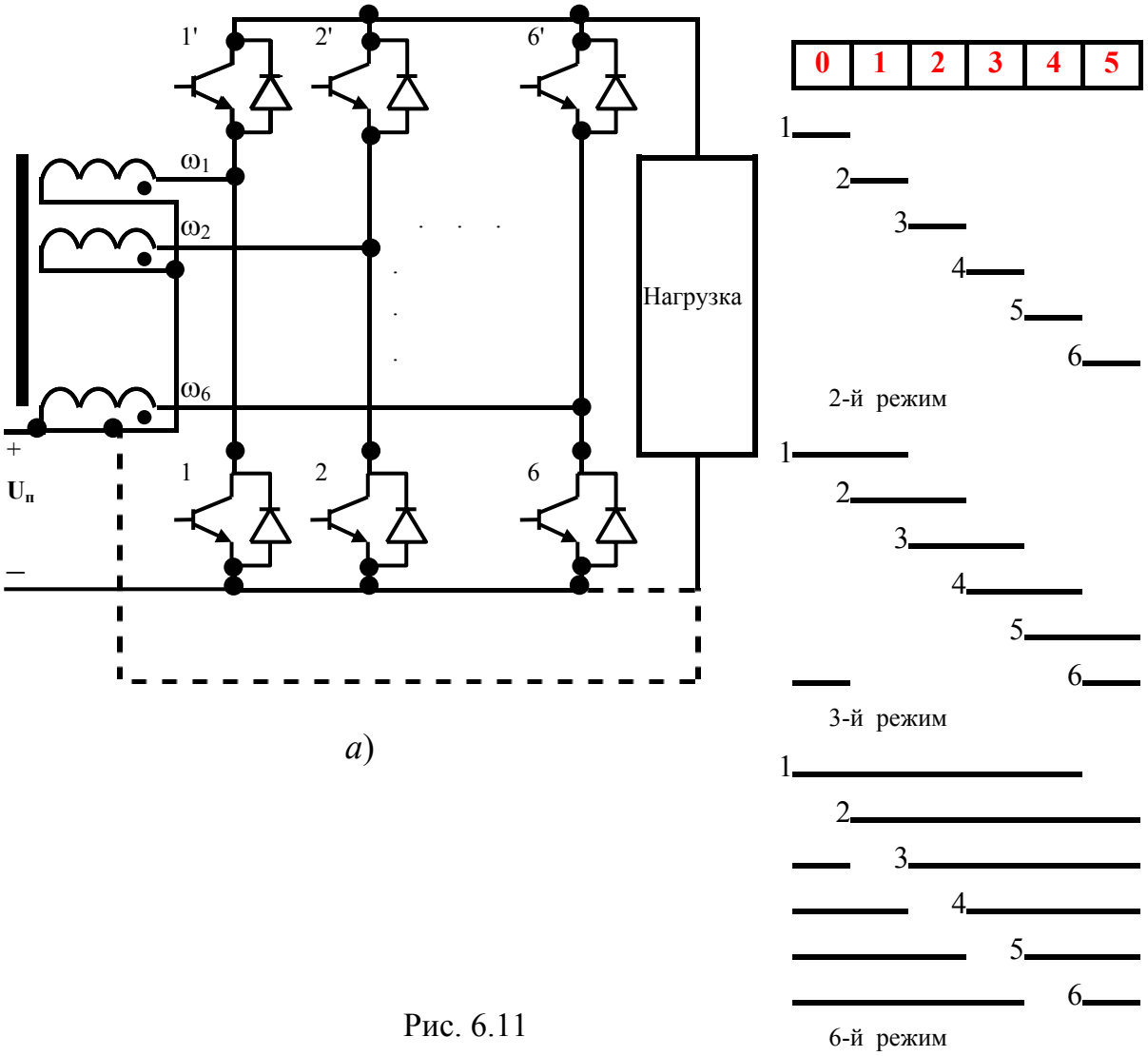
жение цифровым способом, но и ограничивает при этом токи в его силовых элементах по сигналу только одного управляемого порогового датчика тока в силовой цепи конвертора.

6.2. Конверторы с регулируемым выходным напряжением переключением магнитных потоков в магнитопроводе

Вопросы улучшения энергетики, повышения КПД всегда имели и будут иметь большое значение. Использование генераторного режима электродвигателей, когда при торможении энергия рекуперации отдается в питающую сеть, достаточно просто и прозрачно решается только в асинхронных электроприводах, где это осуществляется изменением знака абсолютного скольжения электродвигателя. В остальных типах электроприводов торможение осуществляется большей частью противовключением либо динамическим торможением, что не способствует улучшению энергетических показателей электропривода и при этом "лишняя" энергия рассеивается в силовых элементах электропривода либо сбрасывается в балластное сопротивление.

Решение задачи рекуперации энергии в питающую сеть, согласование работы многокоординатных электроприводов, например промышленных роботов, где используются электродвигатели координат с различным питающим напряжением, можно реализовать при создании регулируемого и обратимого (пропускающего энергию в обоих направлениях) преобразователя постоянного тока в постоянный ток иного значения, т.е. регулируемого конвертора. Особенно остро эта задача поставлена перед создателями силового привода электромобилей, где в настоящее время применяется преимущественно асинхронный электропривод, имеющий не лучшие массогабаритные показатели и КПД в сравнении с вентильными электродвигателями с возбуждением от постоянных магнитов, но обладающий простым способом рекуперации энергии при торможении.

Такой конвертор позволил бы также использовать электродвигатели с напряжением питания, превышающим напряжение первичного источника, что особенно важно для автономных подвижных объектов. В этих объектах основной источник питания – аккумуляторные батареи, состоящие из большого числа последовательно соединенных аккумуляторов, с ограниченным энергоресурсом и нестабильностью соотношений напряжений между частями батареи при несимметричном потреблении энергии от различных аккумуляторов в процессе эксплуатации. Устранить отмеченный недостаток и увеличить срок службы аккумуляторной батареи можно, используя обратимые преобразователи, где электроприводы с электродвигателями различных напряжений питания имеют единую питающую сеть.



а)

б)

Рис. 6.11

Принципиальная схема такого многофазного конвертора, предложенная нами в [6.7], изображена на рис. 6.11, *а*. Она содержит по числу фаз многостержневой, лучше всего симметричный, магнитопровод, конструкция которого может быть пояснена на примере трехстержневого магнитопровода (рис. 6.12).

На стержнях магнитопровода, изготовленного, например, из феррита, размещаются одинаковые обмотки фаз $\omega_1 - \omega_6$ (в нашем примере k = 6), подключенные концами либо началами к положительному потенциалу первичного источника питания. Свободные концы обмоток соединяются со средними точками k транзисторных стоек, шунтированных в обратном направлении диодами. Эмиттеры транзисторов 1 – 6 соединены с отрицательным потенциалом первичного источника питания, а нагрузка положительным потенциалом соединена с коллекторами транзисторов 1' – 6'. Второй конец нагрузки в первом варианте подключается к отрицательному потенциалу источника питания, а во втором варианте включения – к положительному потенциалу этого источника (на схеме второй вариант подключения показан пунктирными линиями). Если нагрузка носит пассивный характер, то в схеме могут отсутствовать транзисторы

1' – 6'. При этом группы транзисторов 1 – 6 и 1' – 6' переключаются в противофазе.

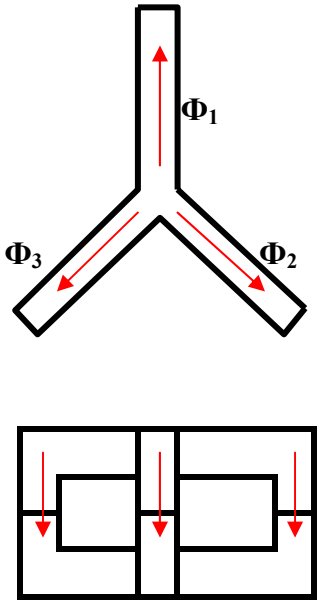


Рис. 6.12

Схема предусматривает k режимов работы.

В первом режиме все транзисторы 1 – k закрыты, а транзисторы 1' – k ', если они установлены, открыты. Напряжение $U_п$ в первом варианте подключения через параллельные цепи всех обмоток трансформатора поступает непосредственно в нагрузку $U_{нагр} = U_п$. Во втором варианте подключения напряжение на нагрузке равно нулю.

Во втором режиме, когда в любой момент времени цикла переключения транзисторов 1 – k открыт только один из них (рис. 6.11, *б*), к источнику питания подключается только одна из обмоток на время T/k. На других (k – 1) обмотках будут наводиться напряжения $U_п/(k – 1)$, которые через (k – 1) параллельных цепей будут соответствующим образом подключаться к нагрузке. В первом варианте подключения в нагрузку будет передано напряжение холостого хода $U_{нагр} = U_п + U_п/(k – 1)$, во втором варианте подключения – это напряжение $U_{нагр} = U_п/(k – 1)$.

В третьем режиме, когда в любой момент времени цикла переключения транзисторов 1 – 6 открыты только два из них, к источнику питания подключаются две обмотки многостержневого трансформатора на время 2T/k. На других (k – 2) обмотках будут наводиться напряжения $2U_п/(k – 2)$, которые через (k – 2) параллельных цепей будут соответствующим образом подключаться к нагрузке. В первом варианте подключения в нагрузку будет подано напряжение холостого хода $U_{нагр} = U_п + 2U_п/(k – 2)$, во втором варианте подключения – это напряжение $U_{нагр} = 2U_п/(k – 1)$ и т.д.

В k-м режиме, когда в любой момент времени цикла переключения транзисторов 1 – k открыты (k – 1) из них, к источнику питания подключаются всегда (k – 1) обмоток многостержневого трансформатора на время (k – 1)T/k. На свободной обмотке, подключенной через выпрямительную цепь к нагрузке, будет наводиться напряжение $U_{нагр} = (k – 1)U_п$. В первом варианте подключения в нагрузку будет подано напряжение холостого хода $U_{нагр} = k\ U_п$, во втором варианте подключения – это напряжение $U_{нагр} = (k – 1)U_п$.

Выходное напряжение холостого хода для первого варианта подключения нагрузки определяется выражением

$$U_{нагр} = U_п \left| \sum_{i=0}^{i=k-1} \frac{k}{k-i} \right., \qquad (6.2.1)$$

а для второго варианта подключения нагрузки – выражением

$$U_{нагр} = U_п \left| \begin{matrix} i = k-1 \\ \\ i=0 \end{matrix} \right. \frac{i}{k-i} \quad . \qquad (6.2.2)$$

Если нагрузка имеет активный характер, т.е. сама является в определенные моменты времени источником ЭДС, то для передачи энергии в сеть постоянного тока необходимо выполнить условие $U_e > U_п$.

Для цепей с рекуперацией энергии наиболее приемлем второй вариант подключения нагрузки. В этом случае напряжение U_e, которое должно превышать напряжение питания, находим из выражения

$$U_e = e \left| \begin{matrix} i = k-1 \\ \\ i=0 \end{matrix} \right. \frac{i}{k-i} \quad . \qquad (6.2.3)$$

Здесь режимы работы схемы определяются временами переключения не транзисторов 1 – k, а транзисторов 1' – k'.

Если в электроприводе используется электродвигатель постоянного тока коллекторный либо бесконтактный, где его напряжение согласовано с питающей сетью, т.е. $U_д < U_п$, то использование представленного выше конвертора в первом варианте подключения позволяет создать генераторный режим с максимальным КПД. В этом случае необходимо поменять местами вход-выход прибора: на месте нагрузки подключить напряжение питания $U_п$, а на месте сети – электропривод.

В двигательном режиме все транзисторы 1 – k закрыты, а транзисторы 1' – k' открыты и напряжение питания поступает на электропривод, где соответствующим образом осуществляется регулирование параметров системы. В генераторном же режиме работы включаются транзисторы конвертора способами, описанными выше, и обеспечивается необходимое соотношение

$$e \left| \begin{matrix} i = k-1 \\ \\ i=0 \end{matrix} \right. \frac{k}{k-i} > U_п \quad . \qquad (6.2.4)$$

Представленный конвертор напряжения позволяет "умножать" значение питающего напряжения либо ЭДС электродвигателя до максимального значения в k либо (k – 1) раз в зависимости от способа подключения нагрузки и обладает следующими достоинствами: некритичность к значению индуктивности L_s обмоток многофазного трансформатора, поскольку энергия, накопленная в этих обмотках, всегда "перекачивается" в нагрузку либо в источник питания; имеет минимальное количество обмоток в фазе (одну); обладает большой перегрузочной способностью при первом варианте подключения нагрузки. Очевидно, что здесь может быть использована схема (рис. 6.3), которая рассматривалась в предыдущем разделе. Причем в данном применении может быть реали-

зовано некоторое упрощение схемы, где нет необходимости иметь элементы, формирующие сигналы младших разрядов **A"** в делителе-счетчике, а также элементы в сумматоре, которые соответствуют сложению младших разрядов цифровых сигналов (**A"+ B")**.

Схемы управления силовыми элементами конверторов с регулируемым выходным напряжением путем переключения магнитных потоков в их магнитопроводах являются полностью цифровыми. Они строятся по многофазным принципам, где число фаз выбирается исходя из необходимости наращивания выходной мощности, числа выходных уровней напряжений, а также требований по контролеспособности системы. Несмотря на то, что многофазная ШИМ может рассматриваться как аналоговая, решение задачи ее контролеспособности заключается в использовании цифровых многофазных сигналов.

В самом деле, каждый сигнал этой ШИМ представляет собой фактически сигнал переноса двухвходовой операции суммирования (**A+ B)** и образуется из сигналов фаз многофазного кода входного и выходного операнд этой операции по известному (6.1.1) логическому выражению

$$L_1 = b_m a_i \vee \underline{c}_i b_m \vee \underline{c}_i a_i,$$

где b_m – управляющий входной сигнал старшей фазы старшего разряда многофазного кода;

a_i – сигнал фазы второго операнда;

$\underline{c}_i$ – сигнал фазы результата суммирования.

Сигналы a_i, $\underline{c}_i$ в этом выражении получаются циклическим круговым сдвигом из рядов

$$a_1 \to a_2 \to a_3 \to \ldots \to a_m \to \underline{a}_1 \to \underline{a}_2 \to \underline{a}_3 \to \ldots \to \underline{a}_m \to a_1,$$
$$c_1 \to c_2 \to c_3 \to \ldots \to c_m \to \underline{c}_1 \to \underline{c}_2 \to \underline{c}_3 \to \ldots \to \underline{c}_m \to c_1.$$

Следовательно, при высокой контролеспособности многофазных сигналов операнд **A**, **B** и выходного сигнала **C** операции суммирования, когда эта операция используется для формирования многофазной ШИМ, также просто решается проблема контролеспособности многофазной ШИМ. Чем больше число фаз в этой системе, тем выше возможности по обнаружению и исправлению ошибок. При этом применяемая здесь операция по исправлению ошибок обладает максимально возможным предельным быстродействием. Такое быстродействие возможно реализовать только потому, что процедура исправления ошибок не использует какие-либо математические вычислительные процедуры, а производится только анализом непрерывности двух непрерывных множеств нулей (0*) и единиц (1*), которые имеются в многофазных кодах при их записи в представлении Либау-Крейга. Это можно сравнить с периодической сменой дня и ночи, когда появление днем темноты, что происходит при солнечном затмении, может рассматриваться как ошибка.

6.3. Варианты построения конверторов с регулируемым выходным напряжением

Для более компактного представления графического материала в дальнейшем введем условные графические обозначения структурных элементов схемы (рис. 6.13), где группу из k одинаковых элементов (транзисторы, диоды, обмотки трансформаторов) будем представлять одним элементом, изображенным в прямоугольнике, рядом с которым записано число этих элементов k.

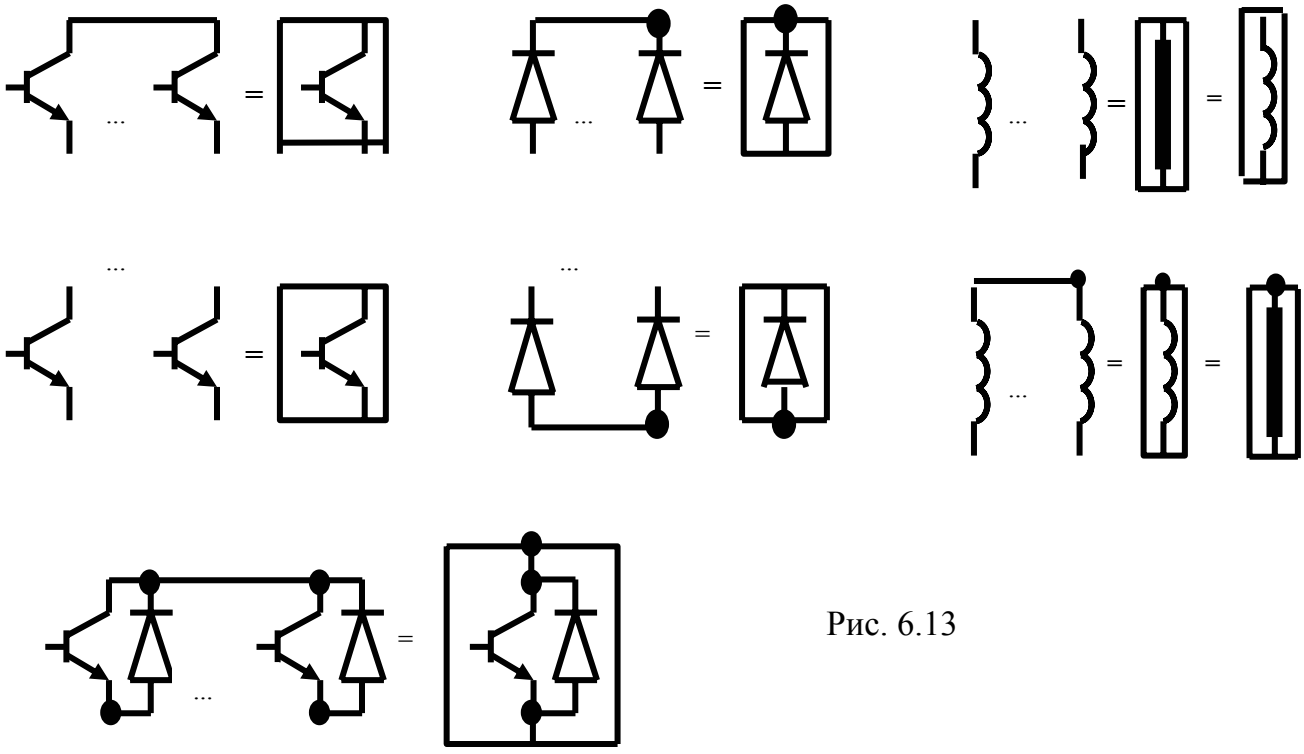


Рис. 6.13

Если элементы имеют общую точку соединения, то условно изобразим ее на одной из сторон прямоугольника, где расположены объединенные выводы элементов. Если k обмоток расположено на одном симметричном k-стержневом магнитопроводе, то на обмотке будет проставлена жирная поперечная черта, а если каждая обмотка располагается на своем однофазном сердечнике, то эта черта проставляется вдоль каждой обмотки.

Тогда рассмотренные в предыдущем разделе принципиальные схемы k-фазных конверторов напряжения без рекуперации энергии от нагрузки и с рекуперацией энергии будут соответственно изображены в более простом виде (рис. 6.14, *а*, *б*).

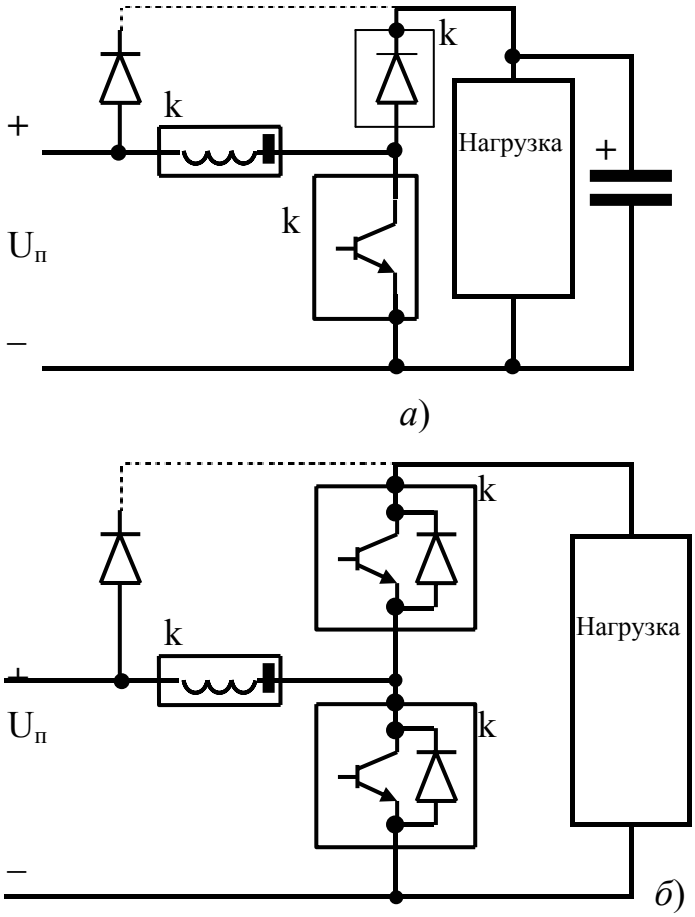


Рис. 6.14

На этих схемах пунктиром показано подключение силового диода, которого может и не быть и который позволяет в момент подключения к источнику питания сразу подать его напряжение в нагрузку. В других режимах этот диод постоянно закрыт.

Необходимость соединения нескольких конверторов напряжения может возникнуть в тех случаях, если требуются более высокие коэффициенты "умножения" первичного напряжения, чем имеют одиночные приборы, и если необходимы более емкие или более дробные шкалы выходных напряжений, а также большая мощность, отдаваемая в нагрузку. При этом параллельное соединение двух и более конверторов напряжения с целью увеличения выходной мощности одинаковой фазности при их синхронном управлении величиной выходного напряжения, очевидно, и не требует каких-либо пояснений.

На рис. 6.15, *а*, *б* приведены принципиальные схемы каскадного (последовательного) включения двух конверторов фазности: k_1 и k_2. Причем если свободный конец нагрузки подключен к точке «α» схемы, то схема рис. 6.15, *а* имеет с нагрузкой общую точку с плюсом источника питания, а схема рис. 6.15, *б* – общую точку с минусом источника питания. Энергетические характеристики этих схем абсолютно идентичны.

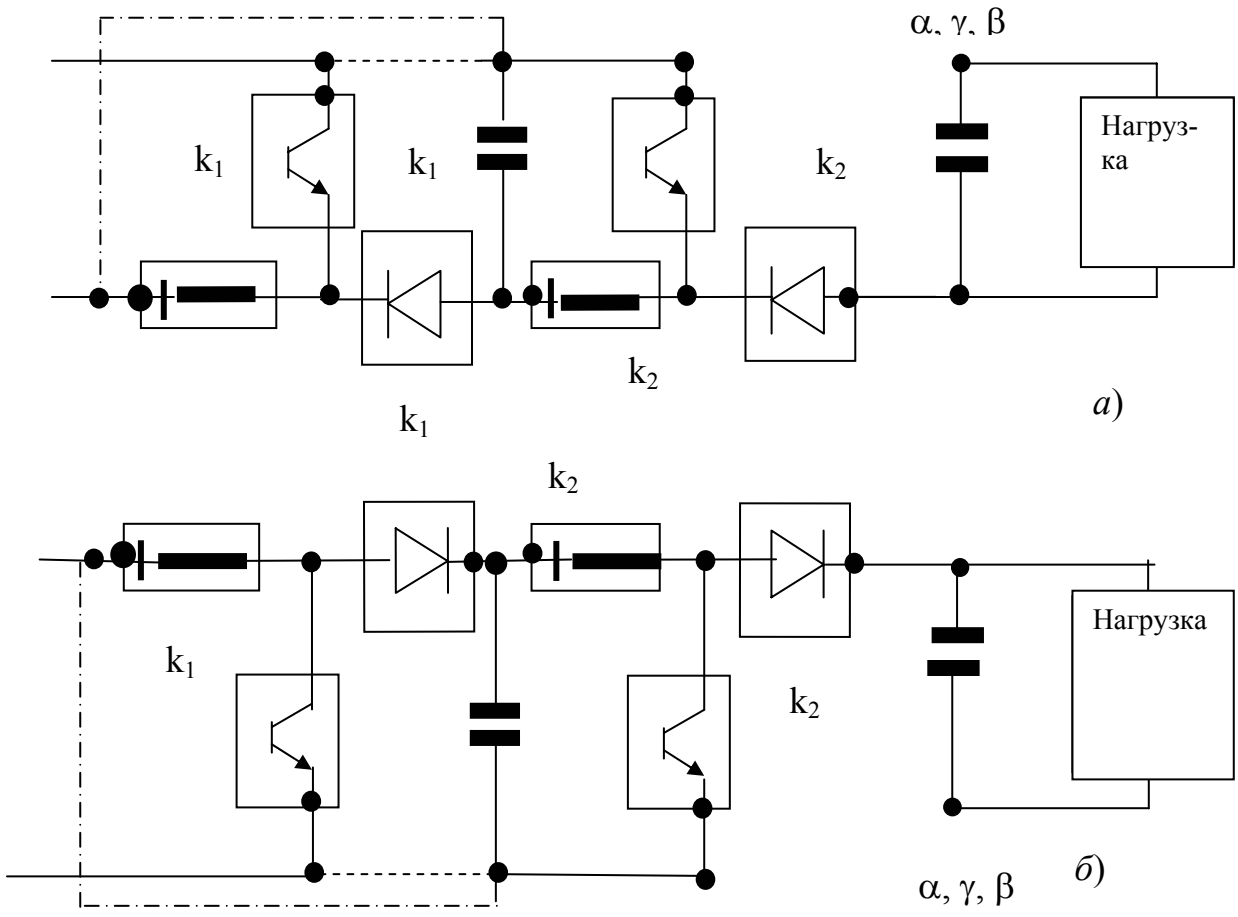


Рис. 6.15

При этом относительное значение напряжения холостого хода на нагрузке равно

$$U^*_{нагр} = \left(\prod_{i=0}^{i=k_1-1} \frac{k_1}{k_1 - i}\right)\left(\prod_{i=0}^{i=k_2-1} \frac{k_2}{k_2 - i}\right) . \qquad (6.3.1)$$

Подключение свободного конца нагрузки к точке «γ» создает напряжение холостого хода, определяемое по выражению

$$U^*_{нагр} = \left(\prod_{i=0}^{i=k_1-1} \frac{k_1}{k_1 - i}\right)\left(\prod_{i=0}^{i=k_2-1} \frac{i}{k_2 - i}\right), \qquad (6.3.2)$$

а подключение конца нагрузки к точке «β» – по выражению

$$U^*_{нагр} = \left(\prod_{i=0}^{i=k_1-1} \frac{i}{k_1 - i} + \prod_{i=0}^{i=k_1-1} \frac{k_1}{k_1 - i}\right)\left(\prod_{i=0}^{i=k_2-1} \frac{i}{k_2 - i}\right) . \qquad (6.3.3)$$

При каскадном соединении конверторов, когда первый из них будет соединен по второму варианту, выражения (6.3.2) и (6.3.3) будут представлены в следующем виде:

$$U^*_{\text{нагр}} = \left(\prod_{i=0}^{i=k_1-1} \frac{i}{k_1 - i}\right)\left(\prod_{i=0}^{i=k_2-1} \frac{i}{k_2 - i}\right); \qquad (6.3.4)$$

$$U^*_{\text{нагр}} = \prod_{i=0}^{i=k_1-1} \frac{i}{k_1 - i} + \prod_{i=0}^{i=k_2-1} \frac{i}{k_2 - i}. \qquad (6.3.5)$$

Выбор конкретной схемы каскадного включения конвертов напряжения определяется только необходимостью получения больших коэффициентов «умножения» входного питающего напряжения при сохранении высоких энергетических показателей. При этом очевидно, что одна многофазная схема конвертора, использующая многостержневой симметричный магнитопровод, будет всегда иметь максимально возможный КПД. Однако отсутствие выпускаемых промышленностью таких многостержневых магнитопроводов еще не означает, что необходимо переходить на многокаскадное включение конверторов с малым числом стержней в магнитопроводе. Всегда имеется возможность построения таких систем с использованием однофазных сердечников, где необходимая магнитная симметрия получается соответствующим соединением их вторичных обмоток [6.12]. Только после того, когда невозможно создать однокаскадную схему конвертора с необходимым коэффициентом «умножения», следует рассматривать многокаскадные схемы конверторов напряжения.

Таблица 6.3.1

i_2/i_1	0	1	2	3	4	5
0	1	1,2	1,5	2	3	6
1	1,2	1,44	1,8	2,4	3,6	7,2
2	1,5	1,8	2,25	3	4,5	9
3	2	2,4	3	4	6	12
4	3	3,6	4,6	6	9	18
5	6	7,2	9	12	18	36

Таблица 6.3.2

i_2/i_1	0	1	2	3	4	5
0	0	0	0	0	0	0
1	0,2	0,24	0,3	0,4	0,6	1,2
2	0,5	0,6	0,75	1	1,5	3
3	1	1,2	1,5	2	3	6
4	2	2,4	3	4	6	12
5	5	6	7,5	10	15	30

Таблица 6.3.3

i_2/i_1	0	1	2	3	4	5
0	0	0,2	0,5	1	2	5
1	0,2	0,44	0,8	1,4	2,6	6,2
2	0,5	0,8	1,25	2	3,5	8
3	1	1,4	2	3	5	11
4	2	2,6	3,5	5	8	17
5	5	6,2	8	11	17	35

Таблица 6.3.4

i_2/i_1	0	1	2	3	4	5
0	0	0	0	0	0	0
1	0	0,04	0,10,	0,2	0,4	1
2	0	0,1	0,25	0,5	1	2,5
3	0	0,2	0,5	1	2	5
4	0	0,4	1	2	4	10
5	0	1	2,5	5	10	25

Возможности каскадного включения рассмотрим на примере соединения двух одинаковых конверторов напряжения при $k_1=k_2=6$. Расчет относительных значений выходных напряжений холостого хода такого синтезированного конвертора дан в табл. 6.3.1 – 6.3.4.

На рис. 6.16 приведен еще один вариант каскадного включения двух конверторов напряжения.

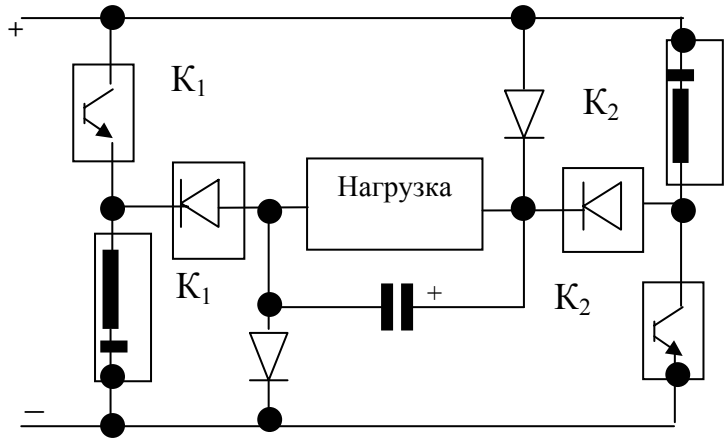


Рис. 6.16

При закрытых многофазных ключевых элементах схемы k_1 и k_2 к нагрузке будет приложено напряжение питания $U_п$, а при управлении переключением элементов по законам, представленным выше, относительное значение выходного напряжения холостого хода будет определяться выражением

$$U^*_{нагр.} = 1 + \left| \sum_{i=0}^{i=k_1-1} \frac{i}{k_1 - i} \right| \left| \sum_{i=0}^{i=k_2-1} \frac{i}{k_2 - i} \right| . \qquad (6.3.6)$$

Результат такого "умножения" и "суммирования" напряжения $U_п$ представлен табл. 6.3.5.

Таблица 6.3.5

i_2/i_1	0	1	2	3	4	5
0	1	1,2	1,5	2	3	6
1	1,2	1,4	1,7	2,2	3,2	6,2
2	1,5	1,7	2	2,5	3,5	6,5
3	2	2,2	2,5	3	4	7
4	3	3,2	3,5	4	5	8
5	6	6,2	6,5	7	8	11

Из табл. 6.3.1 – 6.3.5 следует, что при изменении вариантов подключения нагрузки к конверторам и режимов их работы (параметр i) каскадная схема из двух шестифазных конверторов позволят получить 50 относительных значений выходных напряжений. При этом одинаковые значения выходного напряжения могут быть получены при различных вариантах подключения нагрузки и

режимов работы. При одинаковом выходном напряжении преимущество должно быть отдано варианту, имеющему меньшее внутреннее сопротивление конвертора, что обеспечивает более высокий КПД.

6.4. Синтез инверторов напряжения на базе конверторов, использующих запасенную энергию дросселей

Предлагаемый ниже материал не имеет аналогов в патентных и литературных источниках, а его анализ основывается на рассмотренных выше устройствах многофазного кода. В частности, это устройства умножения, деления, суммирования, схемы ЦАП с многофазными выходными сигналами ШИМ, а также устройства управления многофазными инверторами напряжения с квазисинусоидальной ШИМ. Однако в отличие от гл. 5, где не используются фильтры между инвертором и электродвигателем, а функции фильтра выполняют сами обмотки электродвигателя, здесь имеются такие фильтры. Причем влияние фильтров на характеристики электродвигателя сводится к минимуму, поскольку используется ШИМ на высоких частотах до сотен килогерц при многофазном принципе формирования гладких напряжений инверторов напряжения, что еще в k раз эквивалентно повышению частоты ШИМ. Это позволяет использовать электродвигатели с малыми значениями индуктивностей обмоток, что благоприятно сказывается на энергетических и регулировочных характеристиках электроприводов.

Следующей задачей синтеза является амплитудное регулирование напряжения питания электродвигателей с возможностью рекуперации энергии в питающую сеть в генераторном режиме для любых типов электродвигателей. Эту задачу обычно решают установкой регулируемого дополнительного источника питания между сетью и многофазным инвертором напряжения, питающим электродвигатель [6.8]. Несмотря на двойную устанавливаемую мощность оборудования, решить здесь одновременно задачу амплитудного регулирования и рекуперацию энергии удается только для асинхронных электроприводов, а для других типов электроприводов решается только первая из них.

Рассмотренные в гл. 5 схемы управления инверторами с выходными напряжениями, изменяемыми по квазисинусоидальному закону ШИМ, которые основаны на цифровых принципах выделения разности многофазных сигналов частот двух делителей-счетчиков либо выделения разности частот входных и выходных многофазных напряжений фазовращателя, позволяют также непосредственно управлять инверторами напряжения, создаваемыми на базе конверторов напряжения.

На рис. 6.17, *а*, *б* приведены соответственно структурные блок схемы таких управляющих устройств, а на рис. 6.17, *в* – силовая часть такого инвертора напряжения. В первой управляющей схеме задающие частоты f_1, f_2

могут достигать сотен килогерц, а во второй схеме высокочастотные составляющие управляющих сигналов ограничены частотными возможностями фазовращателя.

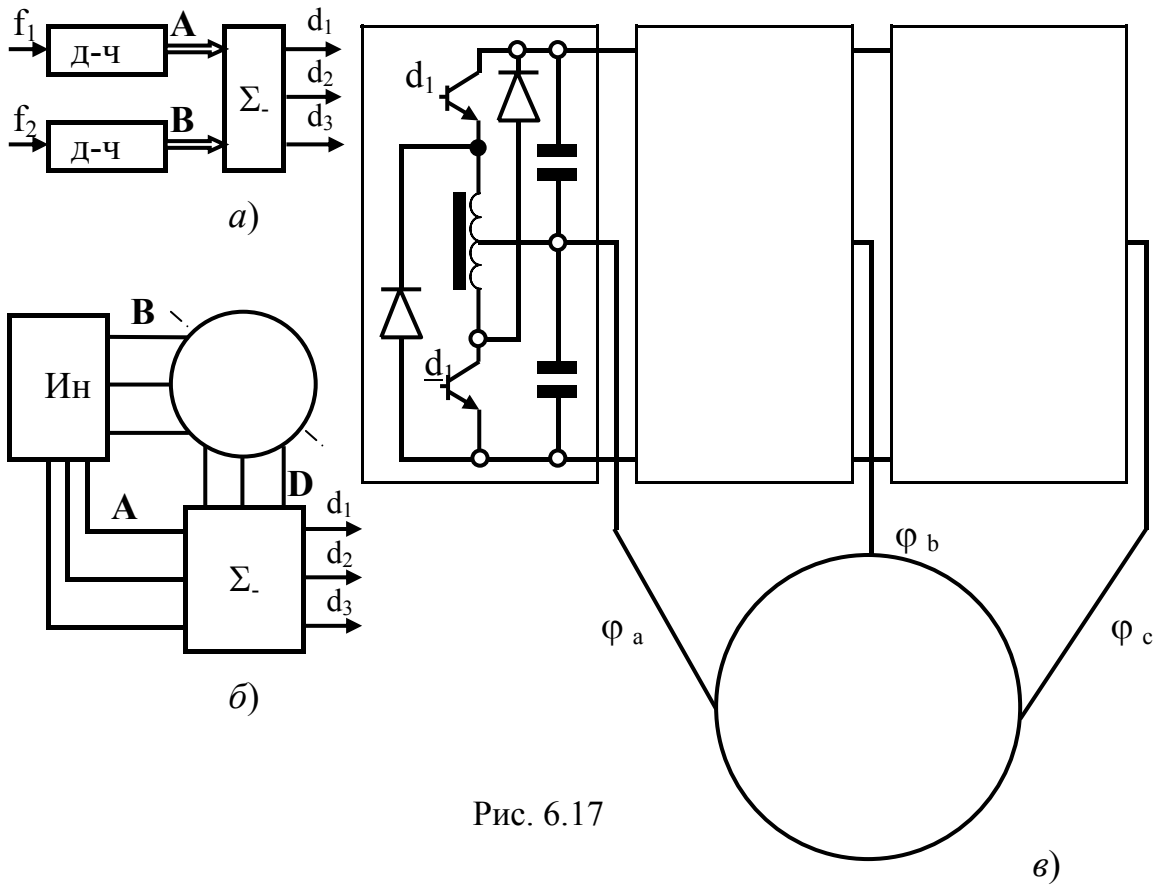


Рис. 6.17

Для трехфазных инверторов напряжения управляющие сигналы **D** (d_1, d_2, d_2) создают низкочастотную трехфазную составляющую напряжения на его выходных шинах **D'**, эквивалентную цифрам обычного кода **0** – **5**. Эти выходные сигналы каждой фазы содержат три составляющие: широтно-импульсную нарастающую на 1/6 периода, постоянную на 1/3 периода и широтно-импульсную спадающую на 1/6 периода.

Каждый сигнал выходной фазы устройства управляет в противофазе транзисторами соответствующей стойки трехфазного мостового инвертора напряжения. Стойка инвертора представляет собой в данном случае однофазный конвертор напряжения, предназначенный для преобразования потенциалов напряжения источника питания соответственно в гладкие потенциалы φ_a, φ_b, φ_c ее выходной точки, изменяющиеся по законам, описанным выше.

Рассмотрим, например, изменение потенциала точки φ_a первой фазы инвертора (рис. 6.18) при изменении цифровых сигналов **D'** от **0** до **5**.

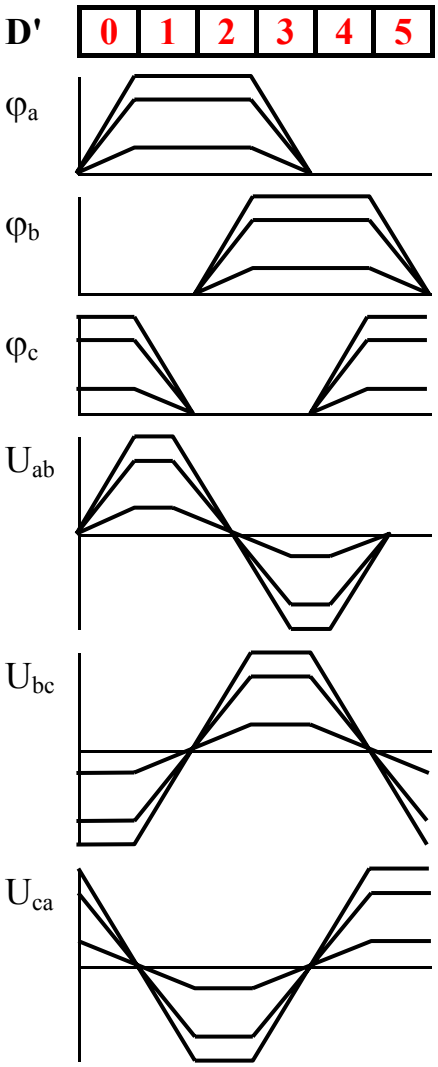


Рис. 6.18

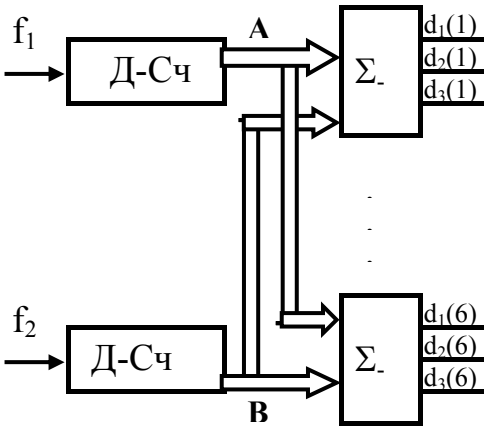


Рис. 6.19

В начальный момент времени верхний транзистор этой стойки закрыт, а нижний транзистор открыт – потенциал $\varphi_a = -U_п$. При дальнейшем движении время открытия нижнего транзистора уменьшается, а верхнего транзистора увеличивается ($+U_п > \varphi_a > -U_п$). Эти переключения происходят на высокой частоте ШИМ. При достижении эквивалентной цифры **1** верхний транзистор полностью открывается, а нижний транзистор закрывается ($\varphi_a = +U_п$). Такое состояние транзисторов стойки сохраняется все время при цифрах **1** и **2**. При достижении цифры **3** и дальнейшем движении время открытия верхнего транзистора начнет уменьшаться, а нижнего транзистора увеличиваться вплоть до цифры **4**, когда верхний транзистор будет полностью открыт, а нижний транзистор будет закрыт ($\varphi_a = -U_п$). Это состояние транзисторов сохраняется вплоть до появления цифры **0** и т.д.

Потенциалы точек двух других стоек φ_b, φ_c имеют аналогичный вид со сдвигом между ними в 120 эл. град. При этом гладкий вид выходных потенциалов стоек инвертора напряжения обеспечивается соответствующими LC фильтрами.

Выходные напряжения инвертора $U_{ab} = \varphi_a - \varphi_b$, $U_{bc} = \varphi_b - \varphi_c$, $U_{ca} = \varphi_c - \varphi_c$ будут также гладкими с высоким приближением к синусоидальной форме и соответствовать максимальному значению выходного напряжения инвертора напряжения. Дальнейшее повышение качества систем управления состоит в повышении эквивалентной частоты переключения силовых элементов конверторов путем использования многофазного принципа ШИМ.

На рис. 6.19 приведена структурная схема управления многофазной стойкой инвертора напряжения с таким принципом ШИМ, а сама стойка мостового инвертора приведена на рис. 6.20, *а*.

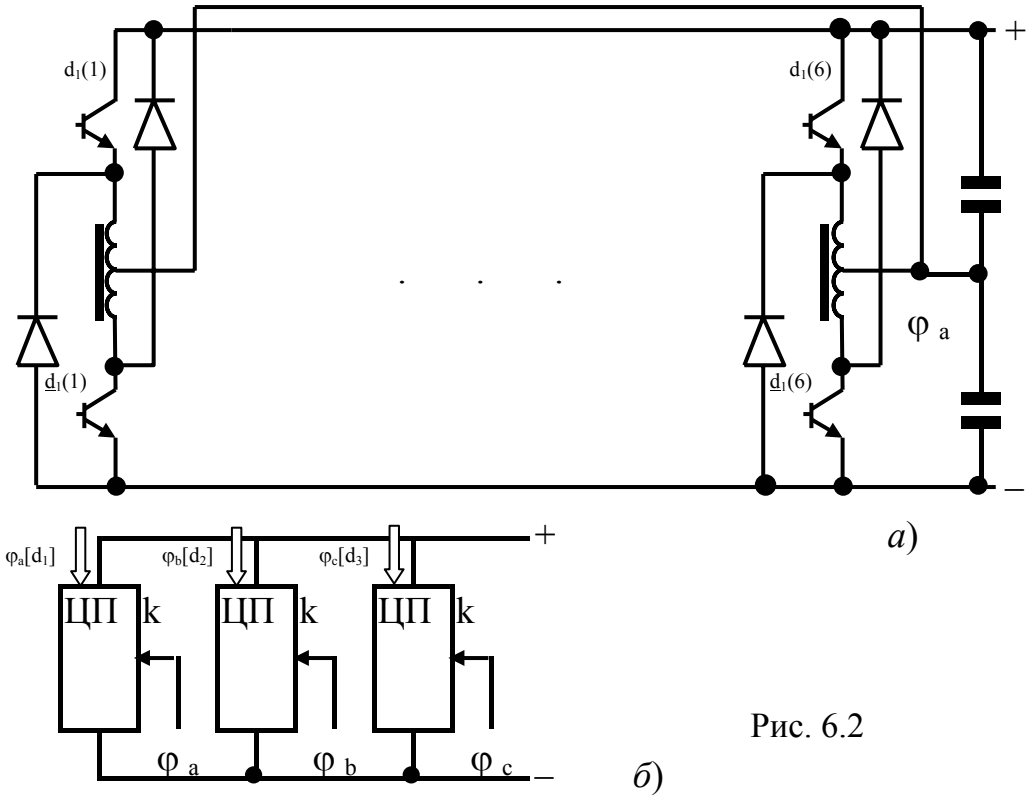


Рис. 6.2

В схеме управления установлено k = 2m = 6 трехфазных сумматоров, в которых формируется цифровая разность трехфазных выходных сигналов кодов **A** и **B** двух делителей-счетчиков, причем входные сигналы каждого последующего сумматора сдвигаются синхронно относительно предыдущего по следующему циклу:

$$\underline{a}_3 \rightarrow a_1 \rightarrow a_2 \rightarrow a_3 \rightarrow \underline{a}_1 \rightarrow \underline{a}_2 \rightarrow \underline{a}_3 ;$$
$$\underline{b}_3 \rightarrow b_1 \rightarrow b_2 \rightarrow b_3 \rightarrow \underline{b}_1 \rightarrow \underline{b}_2 \rightarrow \underline{b}_3 .$$

Таким сдвигом достигается получение шести трехфазных сигналов $\mathbf{D_1}[d_1(1), d_2(1), d_3(1)]$, ... , $\mathbf{D_6}[d_1(6), d_2(6), d_3(6)]$, где сигналы одноименных фаз, например, $d_1(i)$ синхронизированы между собой и высокочастотные составляющие шимированных сигналов имеют между собой сдвиг в 1/6 периода этой высокой частоты. Управление этими сигналами шестью конверторами напряжения, образующими одну стойку мостового инвертора напряжения (рис. 6.20, *а*), позволяет иметь хорошее сглаживание выходных напряжений инвертора при малых постоянных времени фильтров. При этом также увеличивается выходная мощность инвертора напряжения в шесть раз относительно выполнения однофазной схемы стойки.

Стойка мостового инвертора в данном случае может быть представлена, как цифровой потенциометр ЦП (рис. 6.20, *б*). Из трех таких цифровых потенциометров состоит трехфазный мостовой инвертор напряжения. Рядом с каждым цифровым потенциометром записано число k (в нашем примере k = 6) , что означает использование k-фазных ШИМ управления этим цифровым потенциометром.

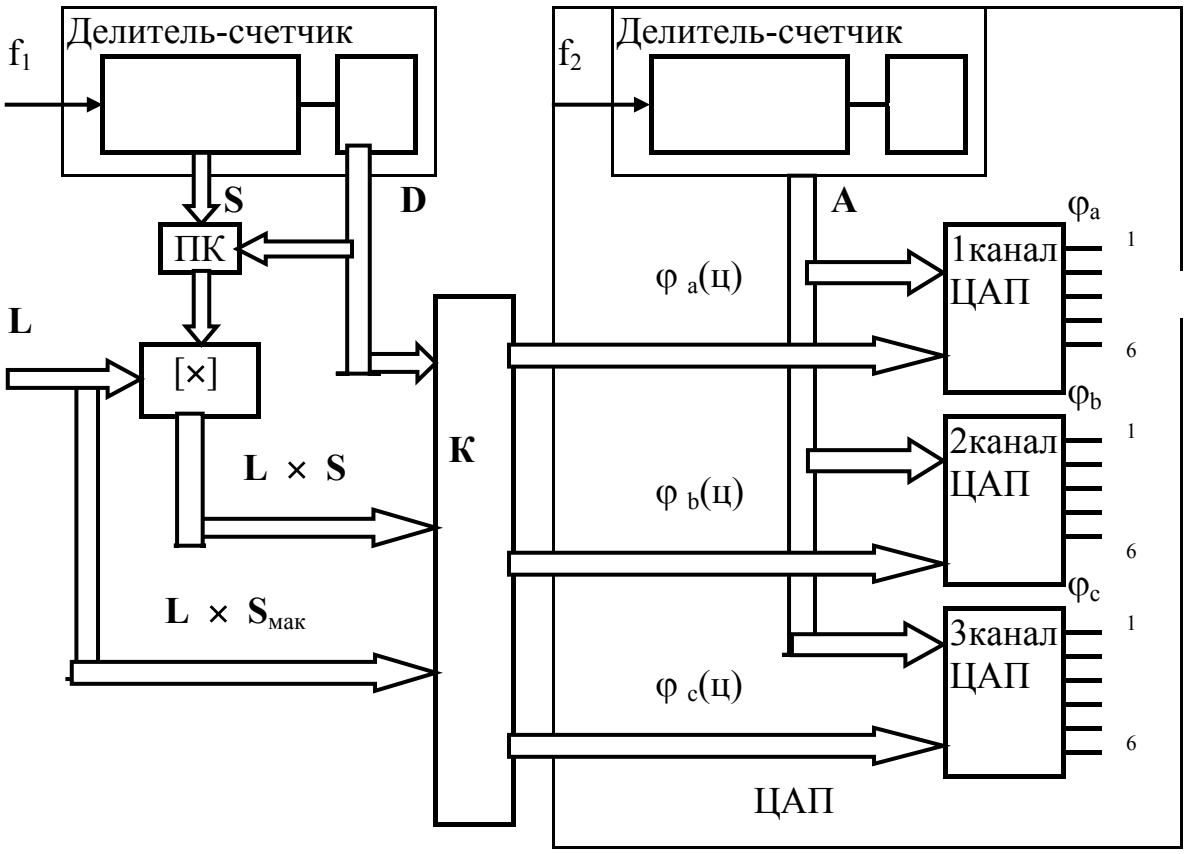


Рис. 6.21

Для дальнейшего увеличения числа k необходимо в делителях-счетчиках рис. 6.17, *а* применять старшие разряды в многофазном коде, кратном трем, m =6, 9, 12, ... Тогда в трехфазных сигналах, которые управляют стойками инвертора напряжения, имеются такие же синхронные сигналы, где составляющие ШИМ имеют между собой сдвиг в 1/2m периода высокой частоты.

Рассмотренные выше схемы инверторов не имеют возможности регулировки выходных напряжений. На рис. 6.21 приведена схема управления инвертором напряжения, состоящего из трех цифровых потенциометров, которая позволяет регулировать его выходные напряжения.

Сущность работы приведенной схемы заключается в промежуточном получении цифровых сигналов $\varphi_a(ц)$, $\varphi_b(ц)$, $\varphi_c(ц)$, которые полностью соответствуют по форме аналоговым сигналам потенциалов напряжений φ_a, φ_b, φ_c (рис. 6.18), но здесь имеется возможность изменения их величин по внешнему цифровому сигналу **L**. Затем эти цифровые сигналы поступают на трехканальный ЦАП с многофазным (в нашем примере шестифазным) выходом в каждом канале соответственно сигналами $\varphi_a[d_1(i)]$, $\varphi_b[d_2(i)]$, $\varphi_c[d_3(i)]$. Эти сигналы осуществляют управление соответственно тремя конверторами напряжения, представленными выше как цифровые потенциометры. Принципиальная схема такого потенциометра приведена на рис. 6.20, *а*, а структурная схема соединения этих трех потенциометров, образующих инвертор напряжения, – на рис. 6.20, *б*.

Выполнение одноканального ЦАП с многофазными выходными сигналами ШИМ было рассмотрено выше в подразд. 6.1 (рис. 6.3). Трехканальный ЦАП, показанный на рис. 6.21, содержит три таких одноканальных устройства, где имеется один общий для всех каналов делитель-счетчик, на вход которого поступает сигнал высокой частоты f_2.

Остановимся более детально на формировании цифровых сигналов управления $\varphi_a(ц)$, $\varphi_b(ц)$, $\varphi_c(ц)$. Сигналы **S** младших разрядов делителя счетчика и сигнал **D** его старшего разряда, представленного в трехфазном коде, являются образующими для выходных сигналов инвертора напряжения. Очевидно, что вместо делителя-счетчика в схеме может использоваться ЦПУ, который имеет аналогичную структуру цифровых разрядов. Сигналы младших разрядов **S** при этом проходят через преобразователь кодов ПК, который при четных цифрах трехфазного кода **D** пропускает их на выходные шины без изменения, а при нечетных цифрах они передаются на выходные шины ПК в обратном коде.

В блоке **[×]** осуществляется операция умножения входного цифрового сигнала на цифровой сигнал с выхода преобразователя кодов. Цифровые сигналы **(L × S)** и **(L × $S_{макс}$)**, последний из которых получается простым сдвигом сигнала **L** на число младших разрядов делителя-счетчика, где $S_{макс}$ – емкость его младших разрядов, подаются на входные шины цифрового коммутатора К. На управляющий вход этого коммутатора поступают трехфазные сигналы **D**.

Работа цифрового коммутатора определяется следующими логическими зависимостями:

$$\varphi_a(ц) = [\,L \times S\,]\,(\,0 \vee 3\,)_d \vee [\,L \times S_{макс}\,]\,(\,1 \vee 2\,)_d;$$
$$\varphi_b(ц) = [\,L \times S\,]\,(\,2 \vee 5\,)_d \vee [\,L \times S_{макс}\,]\,(\,3 \vee 4\,)_d;$$
$$\varphi_c(ц) = [\,L \times S\,]\,(\,1 \vee 4\,)_d \vee [\,L \times S_{макс}\,]\,(\,0 \vee 5\,)_d,$$

либо, используя трехфазные сигналы кода **D**, в иной форме записи

$$\varphi_a(ц) = [\,L \times S\,]\,(d_1 \oplus d_3) \vee [\,L \times S_{макс}\,]\,(d_1\underline{d_3});$$
$$\varphi_b(ц) = [\,L \times S\,]\,(d_2 \oplus d_3) \vee [\,L \times S_{макс}\,]\,(d_2 d_3);$$
$$\varphi_c(ц) = [\,L \times S\,]\,(d_1 \oplus d_2) \vee [\,L \times S_{макс}\,]\,(\underline{d_1}\underline{d_2}).$$

При этом емкость делителя-счетчика трехканального ЦАП должна быть равна произведению $[\,L_{макс} \times S_{макс}\,]$, где $L_{макс}$ – максимальное значение входного сигнала **L**. Тогда цифровые сигналы $\varphi_a(ц)$, $\varphi_b(ц)$, $\varphi_c(ц)$ полностью соответствуют по форме своего изменения аналоговым сигналам φ_a, φ_b, φ_c (рис. 6.18) и позволяют изменять величину этих сигналов по внешнему цифровому сигналу **L**, начиная с нулевого значения до максимального.

Следует также отметить, что использование в структурной схеме (рис. 6.21) в качестве младших разрядов делителя-счетчика, имеющего одновременно выходные сигналы двоичного кода и кода Грея, позволяет не применять блок пре-

образование кодов. Это возможно реализовать благодаря тому, что при неучете в коде Грея сигнала, являющегося общим для двоичного кода и кода Грея, он имеет за первую половину полного цикла переключения младших разрядов делителя-счетчика линейно нарастающие эквивалентные цифровые сигналы, а во второй половине цикла содержит линейно убывающие цифровые сигналы. Поэтому если переключение в старшем разряде делителя-счетчика будет осуществляться каждый раз после прохождения половины цикла переключения его младших разрядов, то линейно нарастающие сигналы усеченного кода Грея будут совпадать по времени существования с четными эквивалентными цифрами кода **D**, а при нечетных эквивалентных цифрах этого кода будет совпадение с линейно убывающими сигналами усеченного кода Грея, что необходимо для правильной работы схемы рис. 6.21.

Поясним отмеченное выше на примере формирования линейно изменяющихся участков сигналов $\varphi_a(ц)$, $\varphi_b(ц)$, $\varphi_c(ц)$, состоящих, например, из шестнадцати ступенек, считая и нулевую. В этом случае емкость младших разрядов делителя-счетчика будет соответствовать эквивалентным цифрам от **0** до **31**.

На рис. 6.22 показаны двоичные сигналы $a_0 – a_4$ и сигналы кода Грея $q_1 – q_5$ такого делителя-счетчика, причем сигнал a_4 является общим для этих типов кодов $a_4 = q_5$.

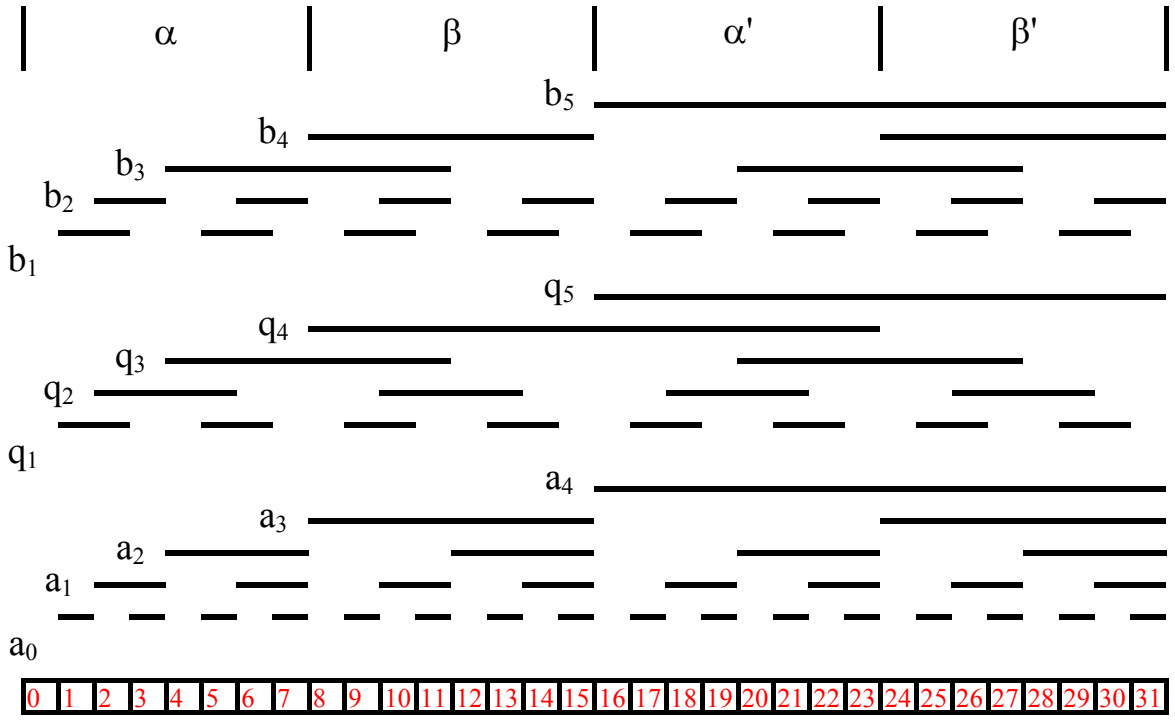


Рис. 6.22

Из этих сигналов могут быть сформированы также младшие разряды делителя-счетчика, состоящего из разрядов систем счисления основания четыре, каждый из которых представлен в двухфазном коде. Первый разряд такого кода будет состоять из сигналов b_1, b_2; второй разряд – b_3, b_4; третий не полный разряд – $b_5 = a_4 = q_5$.

Поскольку наиболее общим случаем является реверсивный вариант структурной схемы рис. 6.21, рассмотрим этот вариант.

На вход старшего разряда **D**, выполненного в трехфазном коде, подаются в соответствующие кольца сигналы α, α' на суммирование, а сигналы β, β' – на вычитание. Эти сигналы могут формироваться как с двоичных выходных шин младших разрядов делителя-счетчика $\alpha = \underline{a_3}\underline{a_4}$; $\beta = a_3\underline{a_4}$; $\alpha' = \underline{a_3}a_4$; $\beta' = a_3a_4$, так и сигналов кода Грея – $\alpha = \underline{q_4}\underline{q_5}$; $\beta = q_4\underline{q_5}$; $\alpha' = q_4q_5$; $\beta' = \underline{q_4}q_5$.

Как известно из предыдущего рассмотрения, при следовании импульсов в последовательности α , β , α', β' весь делитель-счетчик работает в режиме суммирования импульсов частоты f_1, а при обратном следовании этих импульсов – в режиме вычитания.

Цифровые эквиваленты сигналов $q_1 - q_4$ кода Грея при суммировании за первую половину цикла переключения младших разрядов делителя-счетчика, когда они линейно возрастают, будут соответствовать четным цифрам кода **D**, а во вторую половину цикла переключения, когда они линейно убывают, будут соответствовать нечетным цифрам кода **D**.

В режиме вычитания, когда все эквивалентные цифры изменяются в обратном порядке, также происходит соответствующее изменение линейно нарастающих и линейно убывающих цифровых сигналов $q_1 - q_4$ кода Грея.

Именно такие изменения сигналов $q_1 - q_4$ кода Грея необходимы для правильной работы структурной схемы при формировании сигналов $\varphi_a(ц)$, $\varphi_b(ц)$, $\varphi_c(ц)$. Однако при этом требуется построение блока умножения [×] в таком виде, когда операнд **S** подается на один из ее входов в коде Грея $s_1 = q_1$, $s_2 = q_2$, $s_3 = q_3$, $s_4 = q_4$, а другой операнд **L** – в коде, принятом в данной структуре. Такое выполнение блока умножения реально выполнимо и рассматривалось выше.

Если в структурной схеме будет использоваться стандартный блок умножения в двоичном коде, то сигналы кода Грея должны быть преобразованы в двоичный код по следующим логическим выражениям: $s_0 = q_1 \oplus q_2 \oplus q_3 \oplus q_4$, $s_1 = q_2 \oplus q_3 \oplus q_4$, $s_2 = q_3 \oplus q_4$, $s_3 = q_4$.

Наиболее просты логические выражения, преобразующие сигналы кода Грея в сигналы, использующие системы счисления основания четыре двоичного кода. Это следующие элементарные логические зависимости: $s_1 = b_1 = q_1$, $s_2 = b_2 \oplus b_3 = a_1 \oplus q_3$, $s_3 = q_3$, $s_4 = q_4$. Принципы построения блоков умножения, работающих в двоичном коде, также рассматривались в соответствующем разделе.

Отмеченные выше цифровые потенциометры позволяют создавать не только инверторы напряжения, предназначенные для питания электродвигателей переменного тока, но и системы электроприводов с коллекторными двигателями постоянного тока.

На рис. 6.23, *а* приведена структурная схема питания двух мотор-колес, электрически соединенных последовательно между собой и источником питания, а распределение напряжения источника питания между ними осуществляется при помощи цифрового потенциометра.

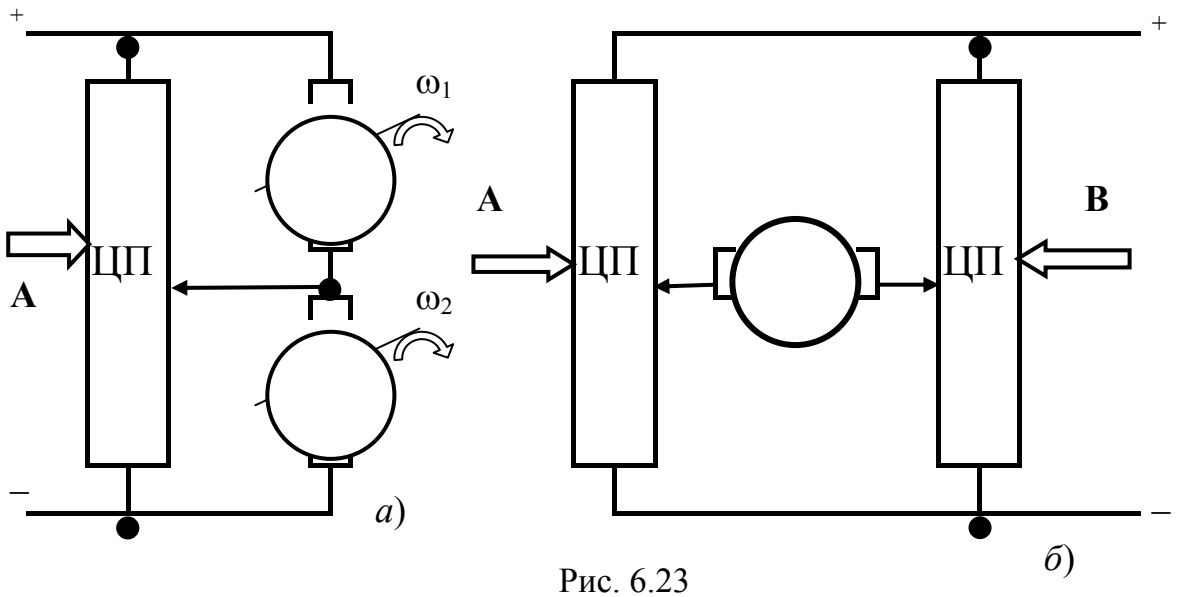


Рис. 6.23

При равном напряжении на электродвигателях их скорости равны – подвижной объект будет двигаться прямолинейно. При изменении соотношения напряжений между электродвигателями, что определяется управляющим цифровым сигналом **A** , происходит изменение скоростей вращения и, как результат, соответствующий разворот подвижного объекта. В отличие от обычного потенциометра из-за отсутствия здесь собственного потребления холостого хода схема имеет высокий КПД.

На рис. 6.23, *б* приведена структурная схема реверсивного электропривода с коллекторным электродвигателем постоянного тока, состоящая из двух цифровых потенциометров, управляемых соответственно цифровыми сигналами **A** и **B**. Изменяя положение “движков ” потенциометров, по соотношениям этих сигналов можно управлять как скоростью, так и направлением вращения двигателя. Поскольку выходное напряжение, питающее электродвигатель, является гладким, то здесь нет необходимости устанавливать дополнительные индуктивности при использовании малоиндуктивных электродвигателей.

Получение гладких выходных инверторов напряжений, питающих электродвигатели приводов, позволяет достигнуть высоких показателей по плавности их вращения, диапазонам регулирования скоростей и виброшумовым показателям приборов. Подобные решения дают возможность также использовать более высокие частоты переключения силовых элементов, например до сотен килогерц, поскольку в этих приборах могут применяться такие материалы, как пермалои и ферриты, использование которых непосредственно в электродвигателях не представляется возможным.

Во всех рассмотренных в этом разделе цифровых инверторах и конверторах напряжения применяются достаточно сложные цифровые блоки и узлы, которые используют контролеспособные коды – многофазные и код реверсивного делителя-счетчика, являющийся синтезом двоичного кода и кода Грея. По этой причине, как показано в предыдущих разделах, имеется принципиальная воз-

можность синтеза инверторов и конверторов, обладающих необходимой контролеспособностью, т.е. способных обнаруживать и исправлять заданный класс ошибок. Однако систематически исследовать данную проблему здесь невозможно, так как изложение ее довольно емко.

6.5. Конверторы с регулируемым выходным напряжением путем переключения магнитных потоков в многостержневом магнитопроводе

Конверторы с регулируемым выходным напряжением путем переключения магнитных потоков в многостержневом магнитопроводе позволяют синтезировать мостовые многофазные инверторы с многоступенчатой формой выходного напряжения методом амплитудно-импульсной модуляции.

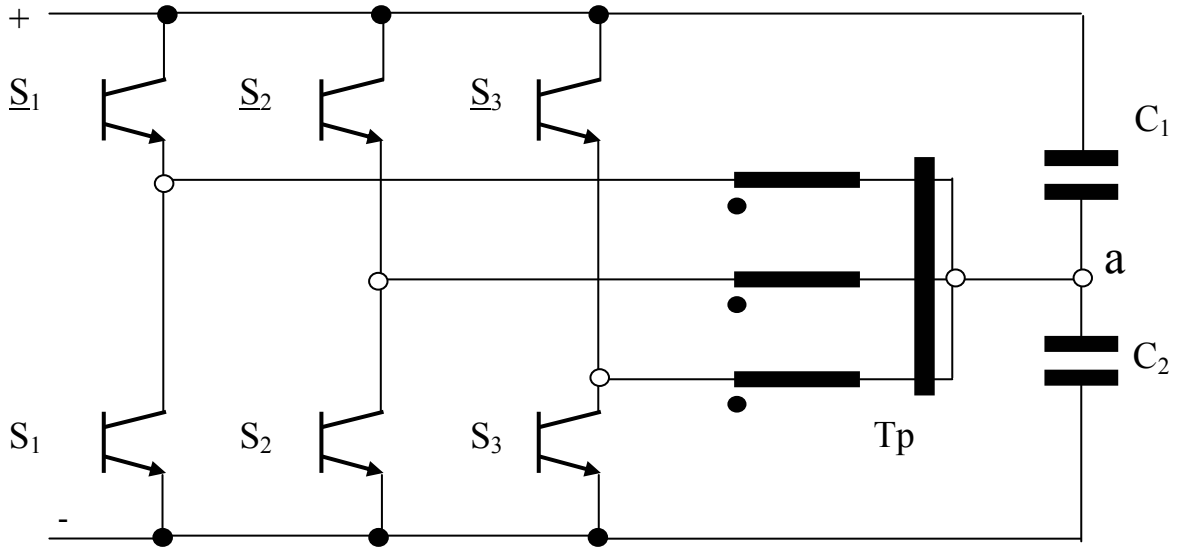


Рис. 6.24

Схема такого конвертора напряжения, например на трехстержневом магнитопроводе (рис. 6.11), может выполнять функцию стойки многофазного мостового инвертора напряжения при несколько ином соединении с питающим постоянным напряжением и установленных на шинах питания последовательно включенными конденсаторами, средняя точка соединения которых является выходной шиной потенциала напряжения φ_a (рис. 6.24).

Транзисторы эмиттерной и коллекторной групп такого конвертора напряжения управляются сигналами s_1, s_2 , s_3 в противофазе. При $s_1 = s_2 = s_3 = 1$* потенциал φ_a точки «а» будет равным отрицательному потенциалу напряжения питания, а при $s_1 = s_2 = s_3 = 0$* потенциал этой точки станет равным положительному потенциалу напряжения питания. Поскольку ток нагрузки в этих режимах протекает во всех обмотках в одинаковом направлении (от начала обмотки к концу либо наоборот), то магнитное состояние сердечников в магнитопроводе не изменяется.

При высокочастотном переключении силовых транзисторов конвертора, когда в каждый такт переключения открыты два транзистора эмиттерной группы и открыт один транзистор коллекторной группы, изменяющиеся магнитные потоки в двух стержнях магнитопровода, обмотки которых подключены к двум открытым транзисторам, суммируются на третьем стержне трансформатора. Поэтому напряжение на конденсаторе C_1 будет в два раза выше, чем на конденсаторе C_2, т.е. потенциал станет равным 1/3 положительного потенциала напряжения питания.

На рис. 6.25 приведена структурная схема трехфазного инвертора напряжения, состоящая из трех конверторов (рис. 6.24), к выходным шинам φ_a, φ_b, φ_c которых подключен, например, электродвигатель переменного тока.

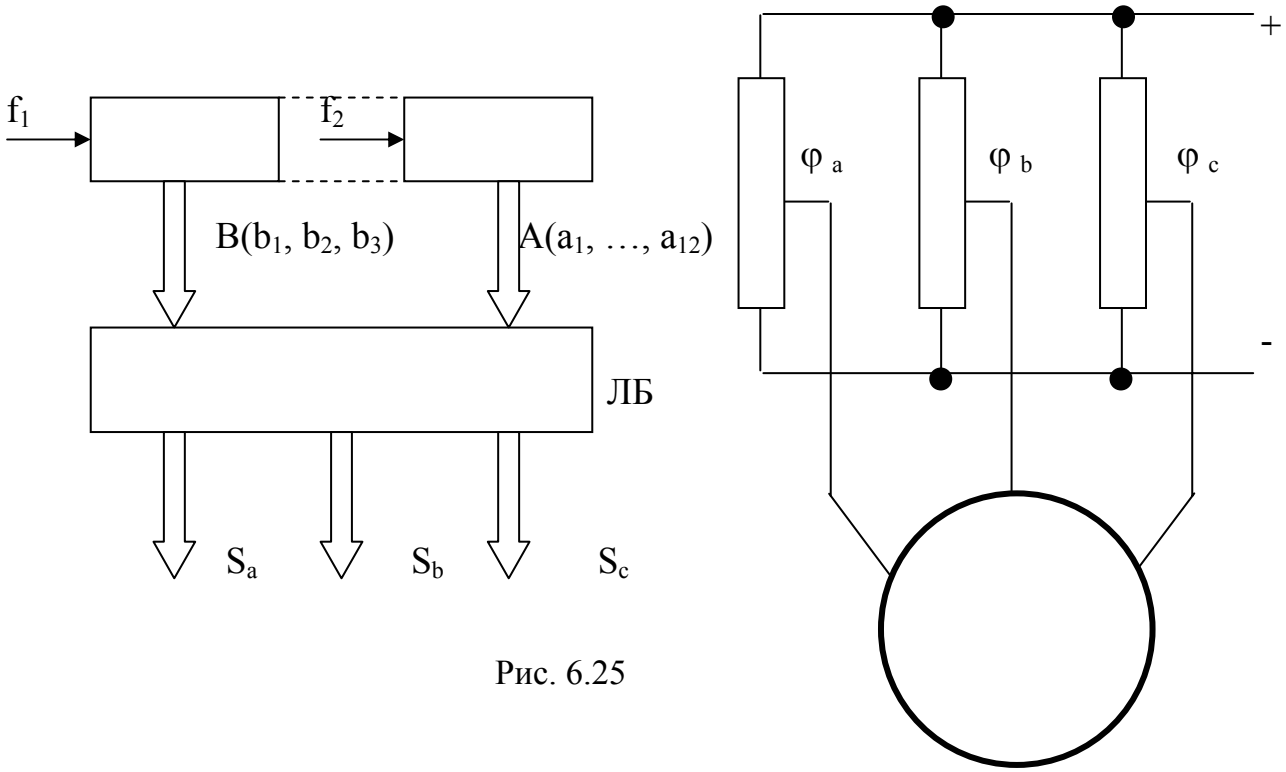


Рис. 6.25

В схеме имеются два генератора многофазных сигналов: генератор двенадцатифазных (рис. 6.26а) сигналов $A(a_1, \dots, a_{12})$ и высокочастотный генератор трехфазных (рис. 6.26б) сигналов $B(b_1, b_2, b_3)$. Эти генераторы могут быть и частями единого делителя-счетчика, где младший разряд основания системы счисления n=6 является генератором кода B, а старший разряд основания системы счисления n=24 – генератором кода A. В логическом блоке из этих многофазных сигналов формируются сигналы $S_a(s_1, s_2, s_3)$, $S_b(s_1, s_2, s_3)$, $S_c(s_1, s_2, s_3)$, управляющие соответственно конверторами с выходными аналоговыми сигналами потенциалов напряжений φ_a, φ_b, φ_c.

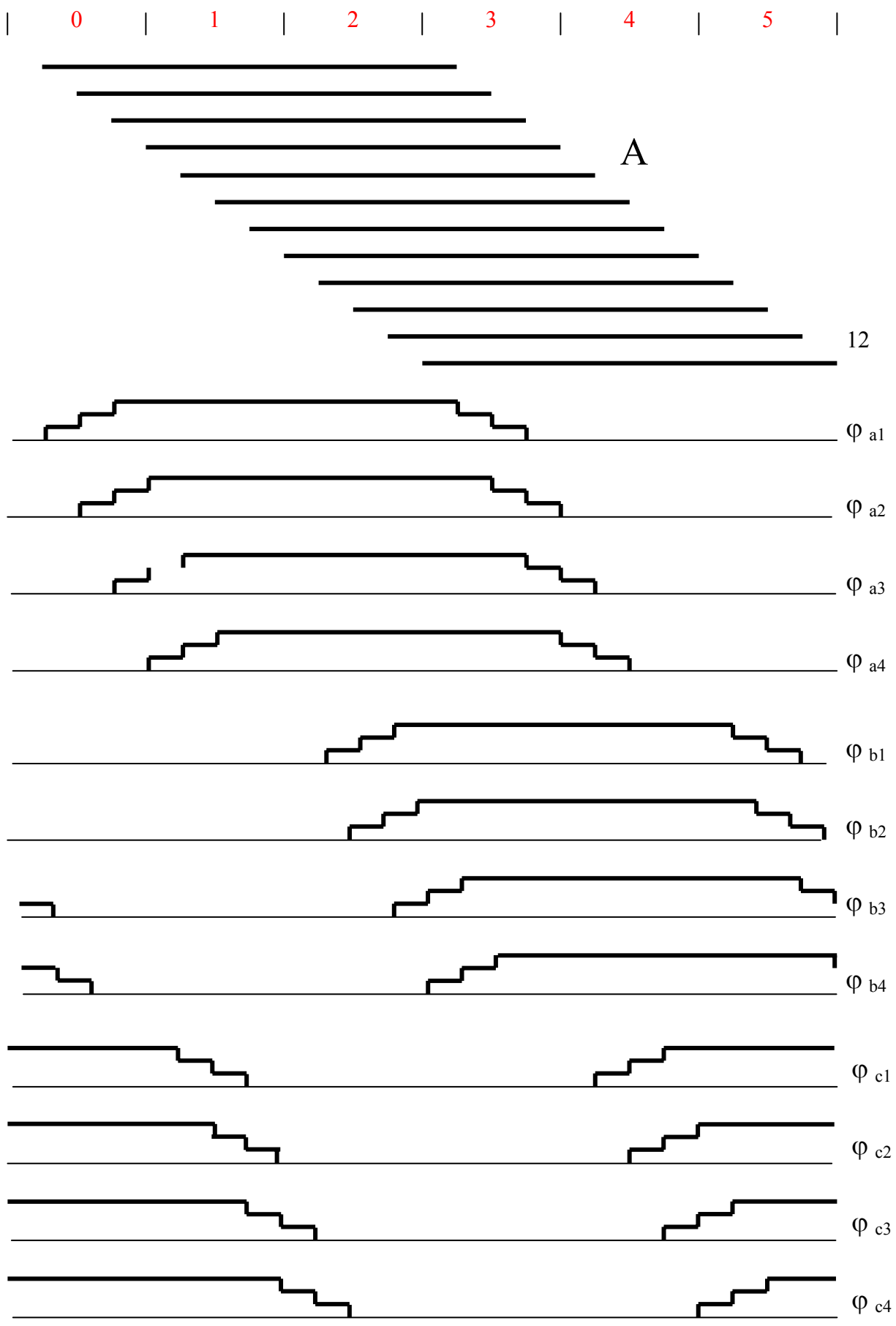


Рис. 6.26а

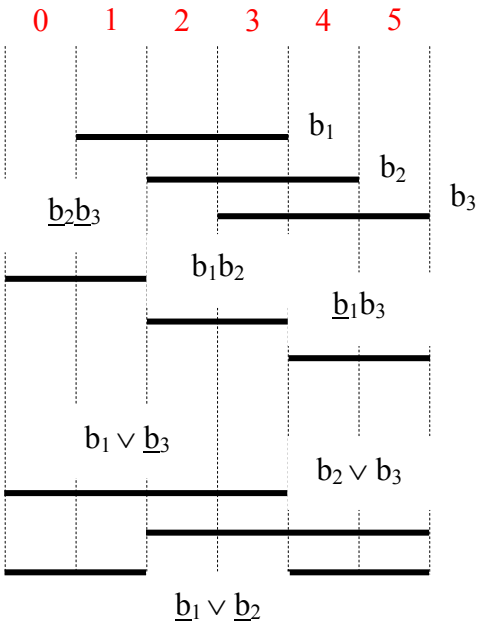


Рис. 6.26б

Откуда несложно определить логическую зависимость сигналов S_A, S_B, S_C в матричной форме записи

$$S_A = \begin{vmatrix} s_1 \\ s_2 \\ s_3 \end{vmatrix}_A = \begin{vmatrix} 1 & (b_1 \vee \underline{b}_3) & \underline{b}_2\underline{b}_3 \\ 1 & (b_2 \vee b_3) & b_1 b_2 \\ 1 & (\underline{b}_1 \vee \underline{b}_2) & \underline{b}_1 b_3 \end{vmatrix} \begin{vmatrix} a_1 a_3 \\ (a_2 \underline{a}_3 \vee \underline{a}_1 a_2) \\ (a_1 \underline{a}_2 \vee \underline{a}_2 a_3) \end{vmatrix},$$

$$S_B = \begin{vmatrix} s_1 \\ s_2 \\ s_3 \end{vmatrix}_B = \begin{vmatrix} 1 & (b_1 \vee \underline{b}_3) & \underline{b}_2\underline{b}_3 \\ 1 & (b_2 \vee b_3) & b_1 b_2 \\ 1 & (\underline{b}_1 \vee \underline{b}_2) & \underline{b}_1 b_3 \end{vmatrix} \begin{vmatrix} a_9 a_{11} \\ (a_{10} \underline{a}_{11} \vee \underline{a}_9 a_{10}) \\ (a_9 \underline{a}_{10} \vee \underline{a}_{10} a_{11}) \end{vmatrix},$$

$$S_C = \begin{vmatrix} s_1 \\ s_2 \\ s_3 \end{vmatrix}_C = \begin{vmatrix} 1 & (b_1 \vee \underline{b}_3) & \underline{b}_2\underline{b}_3 \\ 1 & (b_2 \vee b_3) & b_1 b_2 \\ 1 & (\underline{b}_1 \vee \underline{b}_2) & \underline{b}_1 b_3 \end{vmatrix} \begin{vmatrix} \underline{a}_5 \underline{a}_7 \\ (\underline{a}_6 a_7 \vee a_5 \underline{a}_6) \\ (\underline{a}_5 a_6 \vee \underline{a}_7 a_6) \end{vmatrix}. \quad (6.5.1)$$

В соответствии с выражениями (6.5.1) на рис. 6.27 приведены в двухмерном цифровом пространстве геометрические образы сигналов $S_a(s_1, s_2, s_3)$, $S_b(s_1, s_2, s_3)$, $S_c(s_1, s_2, s_3)$, которые позволяют представить эти зависимости в оптимальной и компактной форме записи

$$S_A = \begin{vmatrix} s_1 \\ s_2 \\ s_3 \end{vmatrix}_A = \begin{vmatrix} 1 & b_1 & \underline{b}_2\underline{b}_3 \\ 1 & b_3 & b_1 b_2 \\ 1 & \underline{b}_2 & \underline{b}_1 b_3 \end{vmatrix} \begin{vmatrix} a_1 a_3 \\ a_2 \\ (a_1 \vee a_2 \vee a_3) \end{vmatrix},$$

$$S_B = S_A \left| a_i \to a_{i+8} \right., \quad S_C = S_A \left| a_i \to \underline{a}_{i+4} \right.. \quad (6.5.2)$$

Очевидно, что наличие двенадцати фаз кода А позволяет управлять одновременно четырьмя трехфазными мостовыми инверторами напряжения.

Для реализации схемы управления вторым трехфазным мостовым инвертором напряжения необходимо во всех выражениях (6.5.2) сигналы фаз кода А увеличить на единицу, т.е. $a_i \to a_{i+1}$ и т.д. вплоть до схемы управления четвертым мостовым инвертором, где в этих выражениях должна быть осуществлена замена $a_i \to a_{i+3}$.

Следует отметить, что первая матрица произведения в правой части выражений (6.5.1), (6.5.2) может быть представлена только первой строкой, а последующие строки могут быть получены следующей заменой сигналов кода В: $b_1 \to b_3 \to \underline{b}_2 \to b_1$. Поэтому достаточно рассматривать только геометрический образ, например сигнала s_1 кода А, что и будет выполняться нами в дальнейшем.

Для увеличения числа ступенек в кривых потенциалов фаз φ_a, φ_b, φ_c и соответственно в выходных напряжениях U_{ab}, U_{bc}, U_{cb} инвертора необходимо применять большее число фаз сигналов А, В.

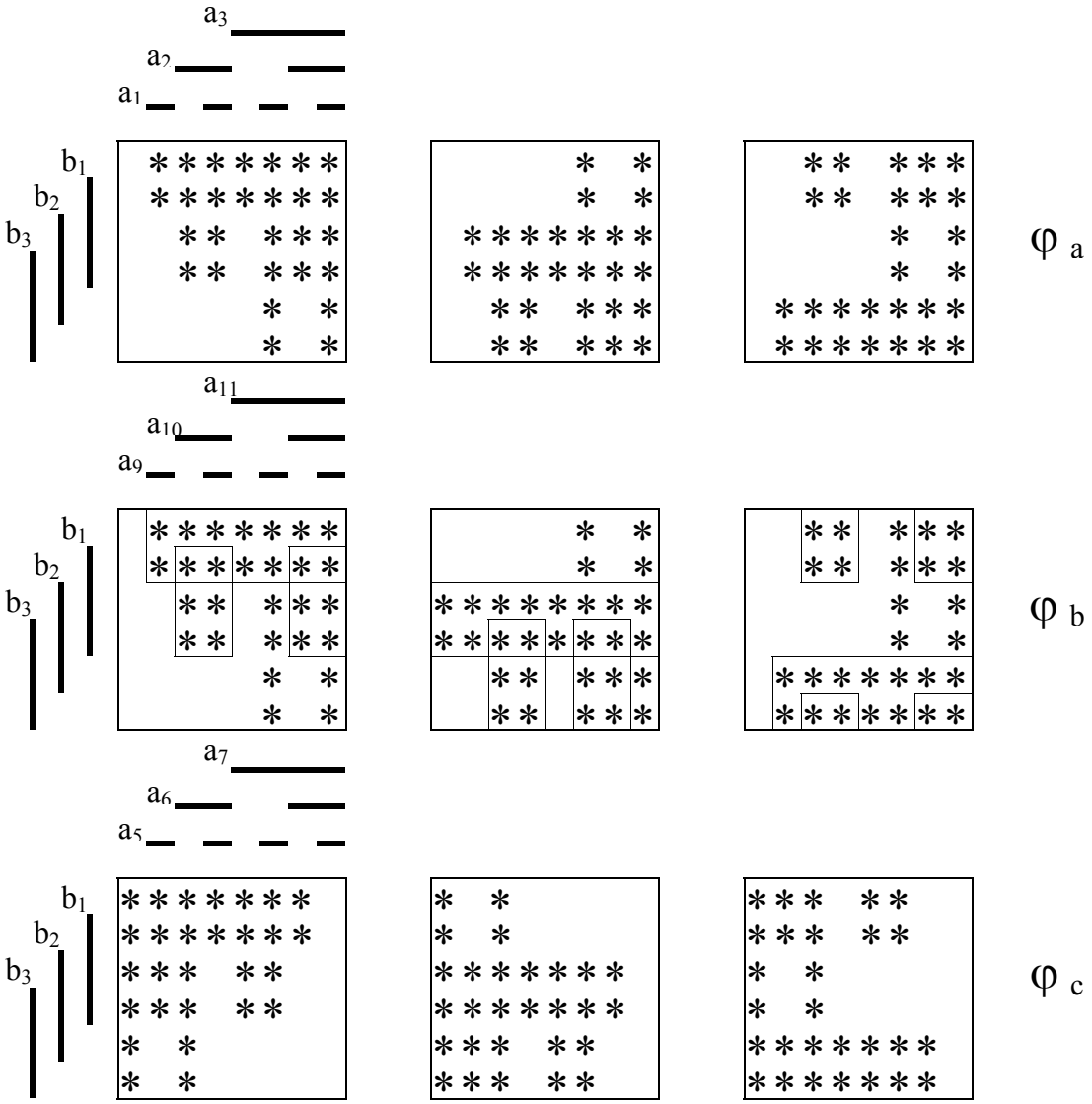


Рис. 6.27

Для пятнадцатифазного кода сигнала $A(a_1, \ldots, a_{15})$, представленного на рис. 6.28, необходимо использовать в качестве стойки мостового инвертора четырехстержневой конвертор напряжения. При этом число фаз сигнала В может быть меньше, чем в предыдущем варианте трехстержневого конвертора, и равно двум $B(b_1, b_2)$.

При высокочастотном переключении силовых транзисторов конвертора напряжения, когда в каждый такт переключения открыты три транзистора эмиттерной группы и соответственно один транзистор коллекторной группы, изменяющиеся по линейному закону магнитные потоки в стержнях магнитопровода, на которых расположены обмотки, подключенные к трем открытым транзисторам, суммируются на четвертом стержне трансформатора. Следова-

тельно, напряжение питания будет делиться на последовательно соединенных конденсаторах C_1, C_2 в пропорции 3/4 $U_п$ и 1/4 $U_п$.

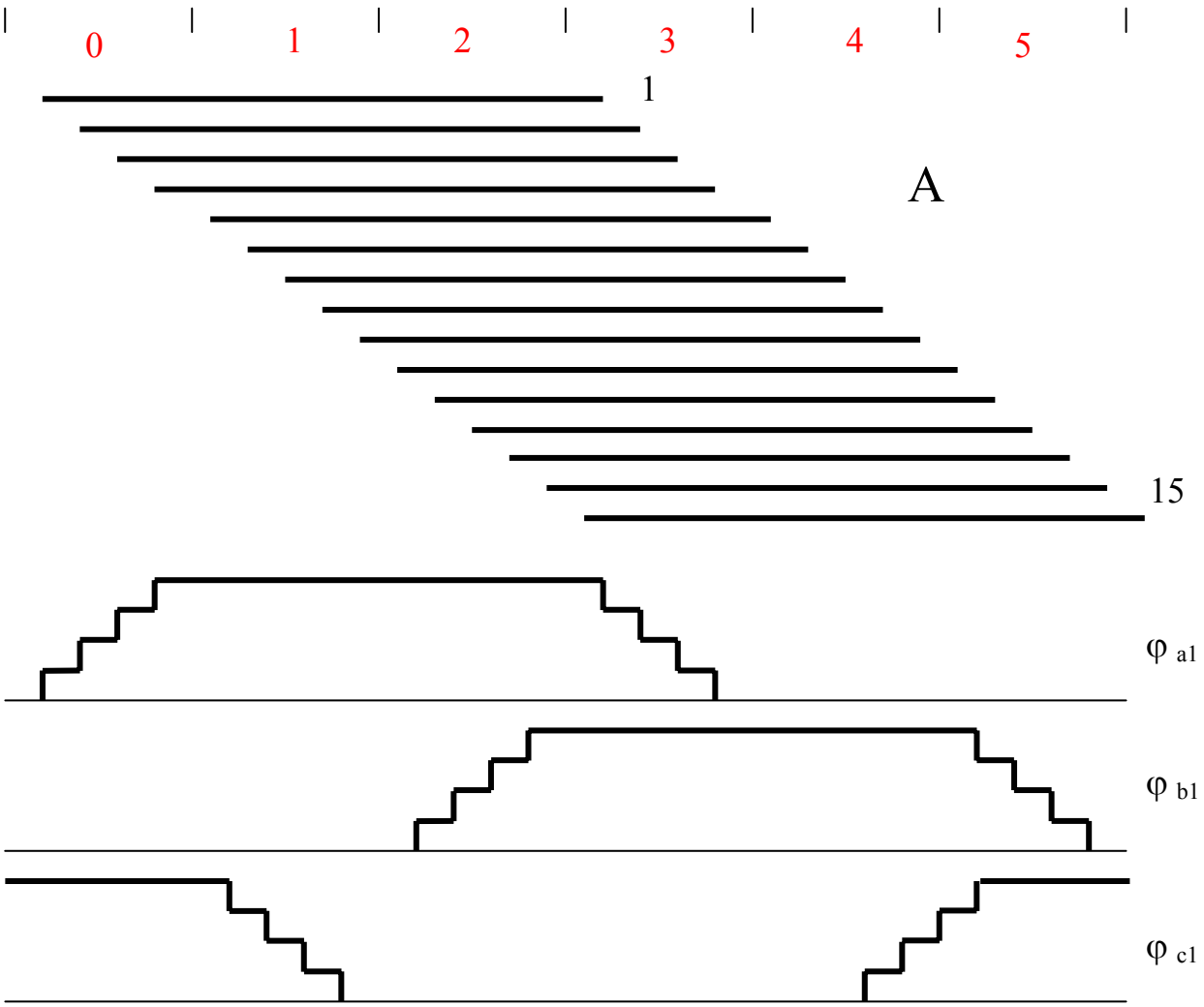
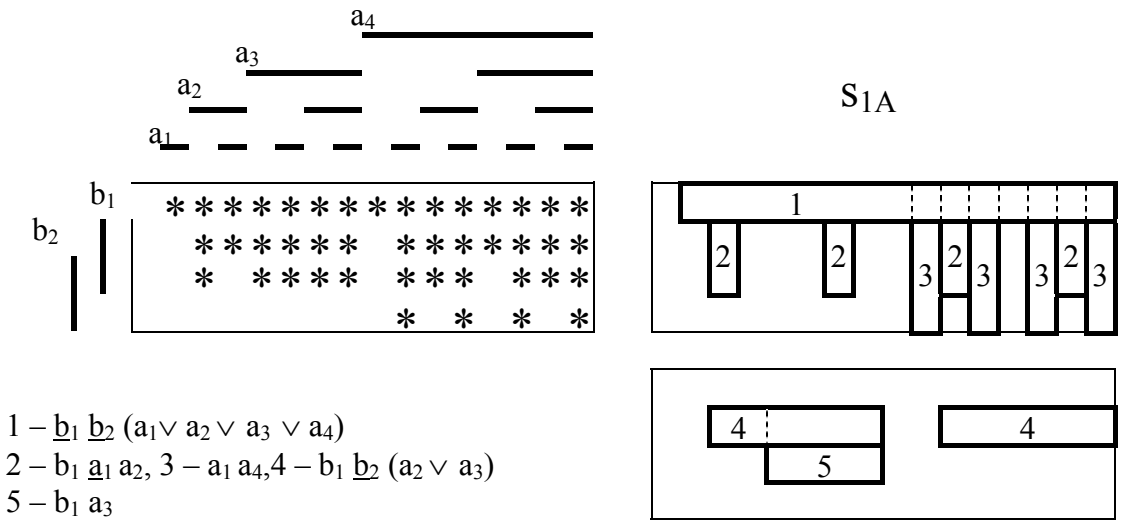


Рис. 6.28

В режиме, когда в каждый такт переключения число открытых транзисторов эмиттерной группы равно числу открытых транзисторов коллекторной группы (для нашего варианта это число два), напряжение на конденсаторах C_1, C_2 делится поровну.

В следующем режиме, когда в каждый такт переключения открыт один транзистор эмиттерной группы и соответственно три транзистора коллекторной группы, напряжение питания будет делиться на последовательно соединенных конденсаторах C_1, C_2 в пропорции 1/4 $U_п$ и 3/4 $U_п$.

Опустив промежуточные выкладки, аналогичные представленному выше, рассмотрим рис. 6.29, на котором приведены соответственно в двухмерном цифровом пространстве сигналов A(a_1, a_2, a_3, a_4), B(b_1, b_2) геометрический образ сигнала s_{1A} и компоненты его покрытия.



$1 - \underline{b}_1\,\underline{b}_2\,(a_1 \vee a_2 \vee a_3 \vee a_4)$
$2 - b_1\,\underline{a}_1\,a_2$, $3 - a_1\,a_4$, $4 - b_1\,\underline{b}_2\,(a_2 \vee a_3)$
$5 - b_1\,a_3$

Рис. 6.29

Геометрический образ сигнала S_A позволяет записать логические выражения, определяющие выполнение логического блока:

$$S_A = \left\| \begin{matrix} s_1 \\ s_2 \\ s_3 \\ s_4 \end{matrix} \right\|_A = \left\| \begin{matrix} 1 & b_1 & b_1\underline{b}_2 & \underline{b}_1\underline{b}_2 \\ 1 & b_2 & b_1 b_2 & b_1\underline{b}_2 \\ 1 & \underline{b}_1 & \underline{b}_1 b_2 & b_1 b_2 \\ 1 & \underline{b}_2 & \underline{b}_1\underline{b}_2 & \underline{b}_1 b_2 \end{matrix} \right\| \left\| \begin{matrix} a_1 a_4 \\ \underline{a}_1 a_2 \vee a_3 \\ a_2 \vee a_3 \\ (a_1 \vee a_2 \vee a_3 \vee a_4) \end{matrix} \right\|,$$

$$S_B = S_A \Big|_{a_i \to a_{i+10}}, \quad S_C = S_A \Big|_{a_i \to \underline{a}_{i+5}}. \qquad (6.5.3)$$

При записи выражения (6.5.3) применено представленное выше правило: в первой матрице правой части даны произведения этих выражений, вторая и последующие строки получаются из первой строки последовательной заменой $b_1 \to b_2 \to \underline{b}_1 \to \underline{b}_2 \to b_1$.

Наличие пятнадцати фаз кода А позволяет управлять одновременно пятью трехфазными мостовыми инверторами напряжения, где для управления следующими мостовыми инверторами в (6.5.3) необходимо сигналы фаз кода увеличивать на единицу вплоть до пятого мостового инвертора, где осуществлена замена сигналов фаз $a_i \to a_{i+1}$.

Для восемнадцатифазного сигнала кода $A(a_1, \ldots, a_{18})$ (рис. 6.30) необходимо применять в стойке мостового инвертора пятистержневой конвертор. При этом для четных оснований систем счисления число фаз младшего разряда делителя-счетчика должно быть равно пяти $B(b_1, \ldots, b_5)$.

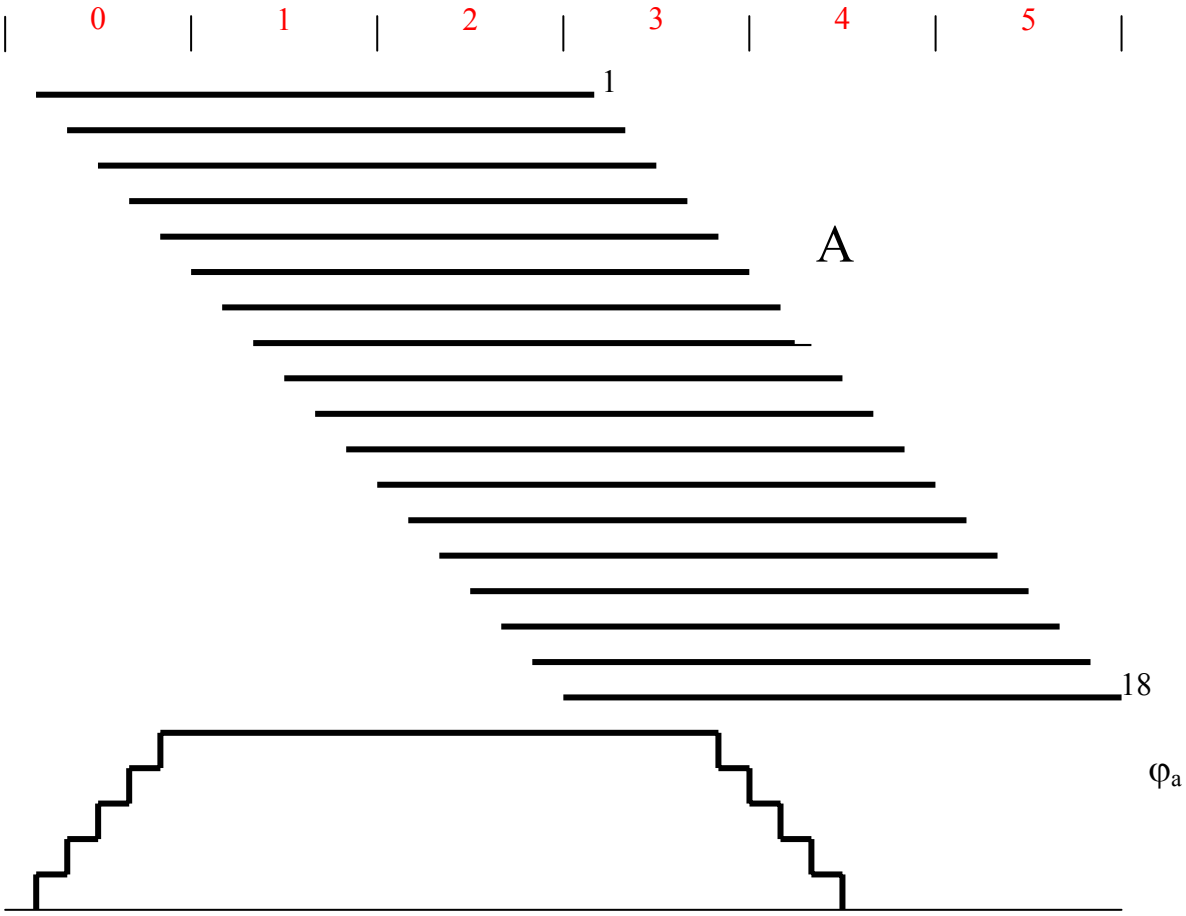


Рис. 6.30

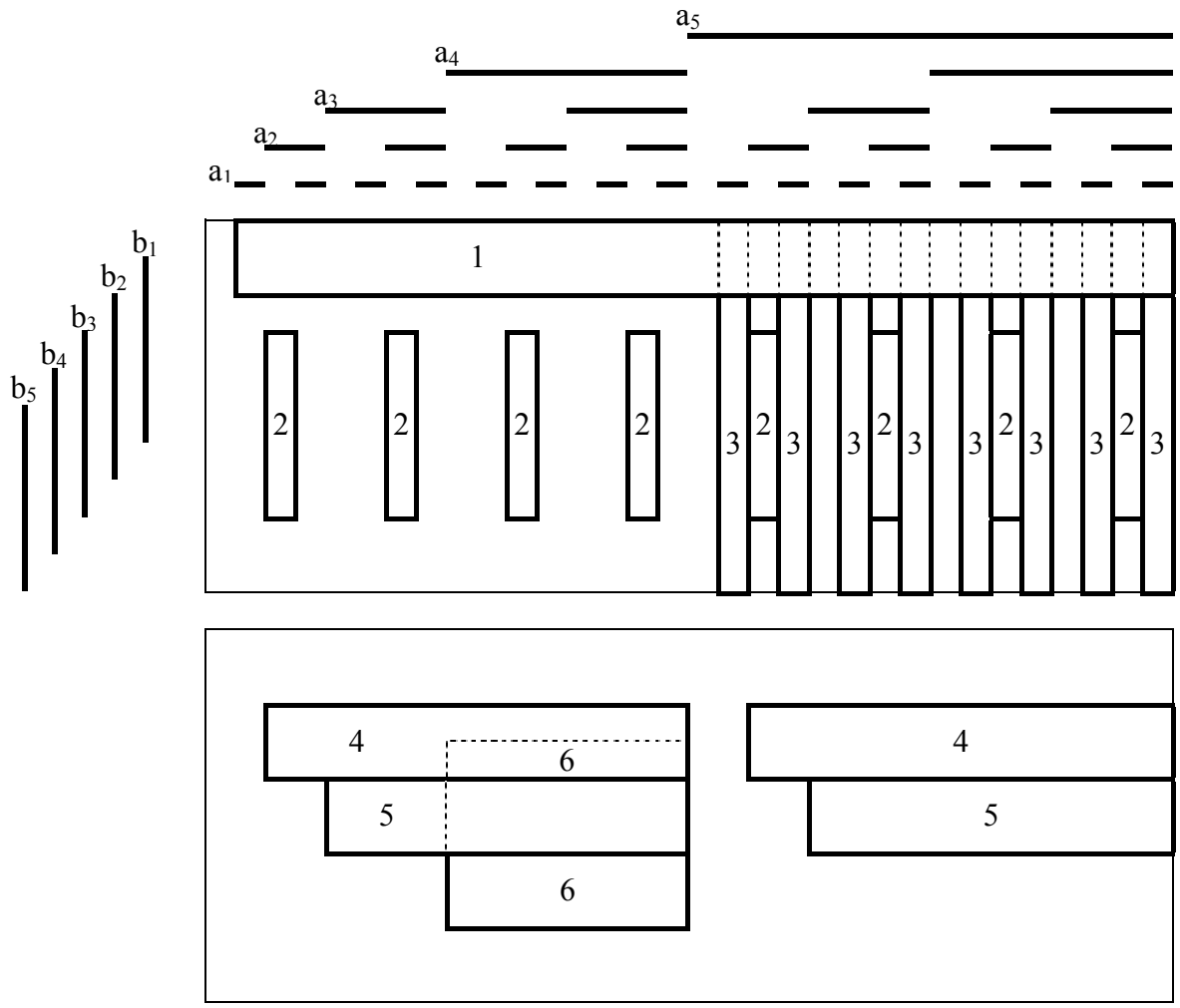
На рис. 6.31 приведены соответственно в двухмерном цифровом пространстве сигналов $A(a_1, \dots, a_{18})$, $B(b_1, \dots, b_5)$ геометрический образ сигнала s_{1A} и компоненты его покрытия.

Геометрический образ сигнала S_A позволяет представить выражения, определяющие работу логического блока:

$$S_A = \begin{vmatrix} s_1 \\ s_2 \\ s_3 \\ \\ s_4 \end{vmatrix}_A = \begin{vmatrix} 1 & b_3 & b_4\underline{b}_1 & b_2\underline{b}_4 & \underline{b}_5\underline{b}_2 \\ 1 & b_5 & \underline{b}_1 b_3 & b_4\underline{b}_1 & b_2\underline{b}_4 \\ 1 & \underline{b}_2 & b_3 b_5 & \underline{b}_1 b_3 & b_4\underline{b}_1 \\ 1 & \underline{b}_4 & \underline{b}_5\underline{b}_2 & b_3 b_5 & \underline{b}_1 b_3 \\ 1 & b_1 & b_2\underline{b}_4 & \underline{b}_5\underline{b}_2 & \underline{b}_3 b_5 \end{vmatrix} \begin{vmatrix} a_1 a_5 \\ \underline{a}_1 a_2 \vee a_5 \\ a_3 \vee a_4 \\ a_2 \vee a_3 \vee a_4 \\ a_1 \vee a_2 \vee a_3 \vee a_4 \vee a_5 \end{vmatrix},$$

$$S_B = S_A \big|_{a_i \to a_{i+12}}, \qquad S_C = S_A \big|_{a_i \to \underline{a}_{i+6}}. \tag{6.5.4}$$

В первой матрице правой части произведения этих выражений вторая и последующие строки получаются из первой строки последовательной заменой $b_1 \to b_3 \to \underline{b}_5 \to \underline{b}_2 \to \underline{b}_4 \to b_1$.



$1 - \underline{b_2}\,\underline{b_5}\,(a_1 \vee a_2 \vee a_3 \vee a_4 \vee a_5)$; $2 - b_3\,\underline{a_1}\,a_2$; $3 - a_1\,a_5$;
$4 - b_2\,b_4\,(a_2 \vee a_3 \vee a_4)$; $5 - b_4\,b_1\,(a_3 \vee a_4)$; $6 - b_3\,a_4$

Рис. 6.31

Использование кода с восемнадцатью фазами позволит создать схему, управляющую одновременно шестью трехфазными мостовыми инверторами напряжения и т.д.

Выражения (6.5.2) – (6.5.4) просты в реализации, поскольку являются простыми коммутаторами сигналов интегрального кода В, переключаемыми на выходные шины по сигналам многофазного кода А.

Для устранения возможности появления сквозных токов в стойках конвертора, например рис. 6.24, можно последовательно с транзисторами установить накопительные дроссели, и тогда будет синтезирована комбинированная схема конвертора, исполняющего роль стойки мостового инвертора напряжения. Такая схема конвертора приведена на рис. 6.32, где совмещены две схемы: многофазная трансформаторная схема конвертора рис. 6.24 и схема с накоплением энергии в дросселях с многофазным принципом накопления и передачи этой энергии в нагрузку.

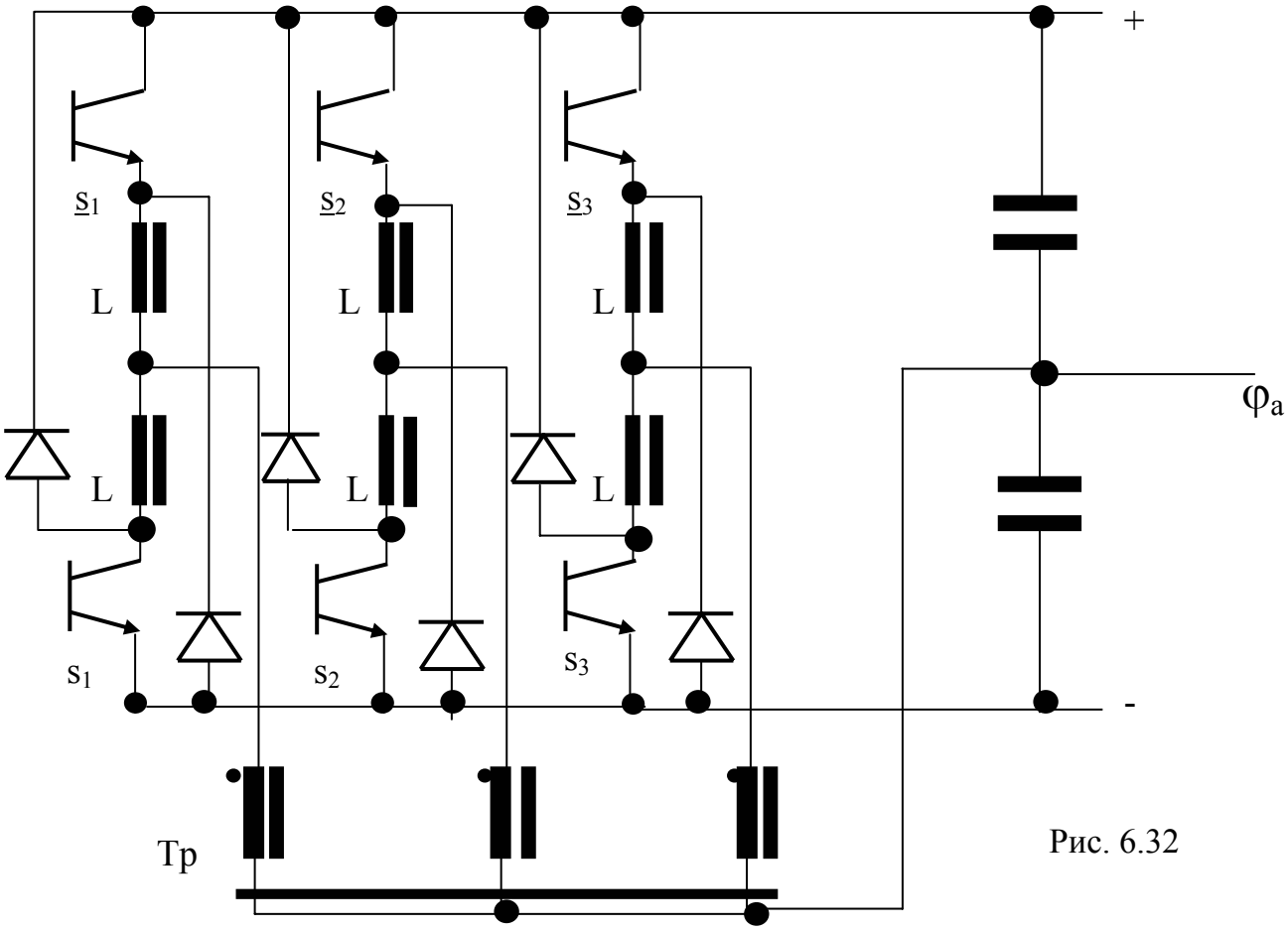


Рис. 6.32

Из-за отсутствия выпускаемых промышленностью многостержневых сердечников (при их числе более трех) возможно заменить их в представленных выше схемах однофазными сердечниками, например тороидальными. В этом варианте на каждом сердечнике будут размещаться две обмотки, где первичные обмотки используются по прямому назначению, а вторые обмотки соединяются между собой в треугольник. При этом число витков вторичных обмоток может иметь любое значение, начиная с одного витка, если их значение не определяется по каким-либо другим причинам. Тем самым обеспечивается необходимое состояние магнитных потоков в сердечниках, эквивалентное одному многостержневому трансформатору.

6.6. Конверторы напряжения в системах ограниченного энергопотребления

Имеются объекты с ограниченной возможностью энергопотребления от собственного автономного источника питания. Вместе с тем на таких объектах нередко устанавливаются нерегулируемые значительной мощности источники питания, в которых напряжение меняется в широких пределах, например от ну-

левого значения до величины, превосходящей необходимое напряжение, и поэтому не могут использоваться для питания различных устройств.

В качестве примера такого объекта может быть приведена космическая тросовая система в момент развертывания троса [6.9], [6.10], где "лишняя" энергия во время выпуска троса рассеивается в балластных сопротивлениях. Задаче, как использовать эту энергию для питания стабилизированных цепей управления, посвящен настоящий раздел.

Первоначально рассмотрим применение для этих целей однофазного конвертора напряжения, схема которого приведена на рис. 6.33.

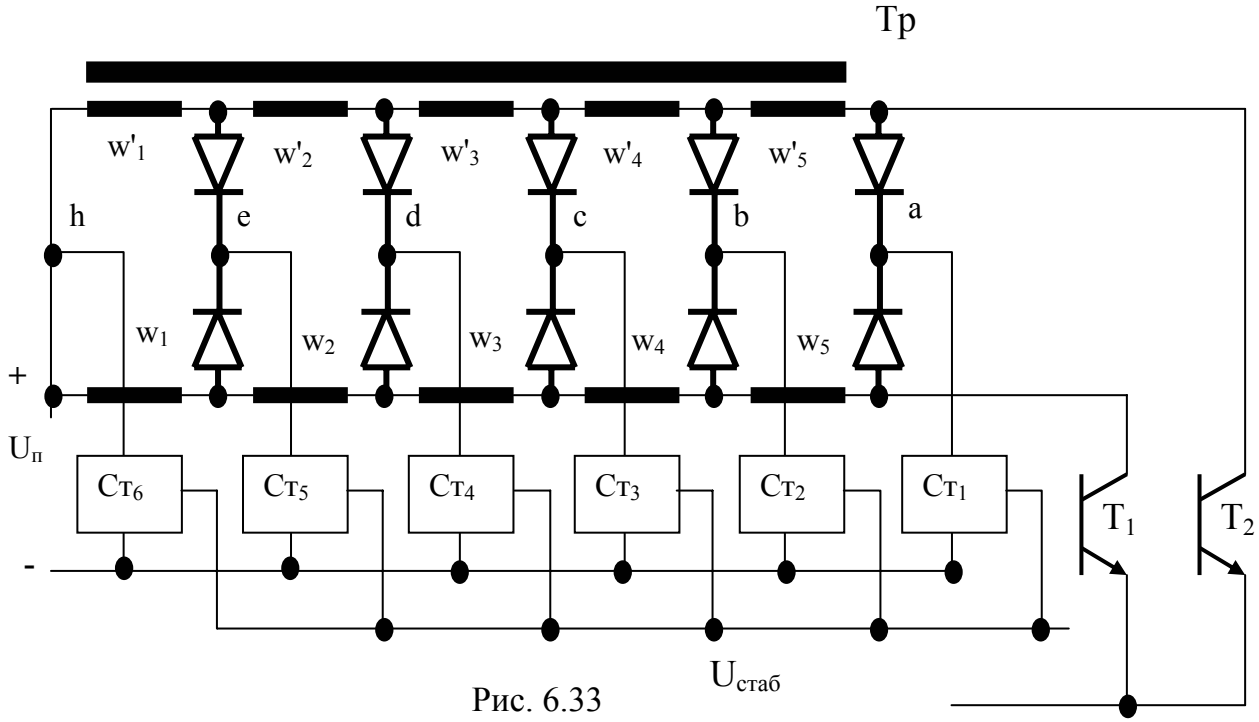


Рис. 6.33

Схема предусматривает возможность получения стабилизированного напряжения $U_{стаб}$ при более чем двукратном изменении входного постоянного напряжения питания $U_п$.

Высокочастотное переключение внешними прямоугольными импульсами транзисторов T_1, T_2 приводит к появлению постоянного напряжения в точке «a», которое равно двойному напряжению питания – 2,0 $U_п$, а в точке «h» это всегда будет напряжение питания $U_п$. В промежуточных точках «b», «c», «d», «e» (при равномерном распределении отпаек от обмоток трансформатора w_1, ... , w_5) это соответственно будут напряжения 1,8 $U_п$; 1,6$U_п$; 1,4 $U_п$; 1,0 $U_п$.
На рис. 6.34 показано изменение напряжений на входах шести однотипных стабилизаторов напряжений при изменении питающего напряжения от 0 до U_{max}.

Выходные шины всех стабилизаторов объединены и подключены к выходной шине этого комбинированного стабилизатора напряжения.

При изменении напряжения питания от 0 до U_{max} ни один из стабилизаторов напряжения не может обеспечить на выходе необходимого значения вы-

ходного напряжения $U_{стаб}$. При достижении в точке «a» напряжения, равного или больше $U_{ст.1}$, начинает выполнять функции по стабилизации напряжения стабилизатор $Ст_1$, вход которого подключен к этой точке.

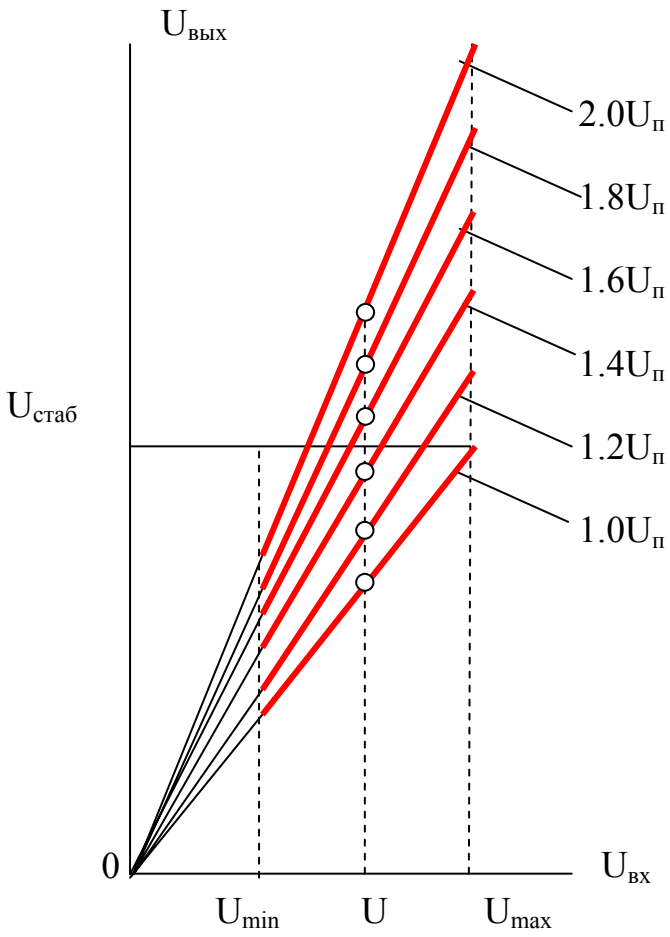


Рис. 6.34

При дальнейшем повышении напряжения питания оно достигает своего значения, равного или больше $U_{ст.2}$, в точке «b» и начинает выполнять свои функции по стабилизации напряжения следующий стабилизатор $Ст_2$ и т.д. вплоть до момента, когда напряжение питания станет больше напряжения стабилизации ($U_п \geq U_{ст.6}$). С этого момента при дальнейшем увеличении напряжения питания будет выполнять свои функции только один стабилизатор $Ст_6$, вход которого подключен к точке «h».

Подключение следующего по порядку стабилизатора и отключение предыдущего происходит потому, что их выходные напряжения стабилизации выбраны из следующих соотношений: $U_{ст.6} > U_{ст.5} > U_{ст.4} > U_{ст.3} > U_{ст.2} > U_{ст.1}$. Последующее напряжение стабилизации отличается от предыдущего в этих стабилизаторах на весьма малую величину напряжения ($\Delta U \approx 0{,}05$ В).

Расширение диапазона рабочих значений напряжений питания может быть реализовано использованием большой шкалы напряжений, которые поступают на стабилизатор $Ст_1$. Этот стабилизатор также подключается к точке «a», которая по мере увеличения общего напряжения питания конвертора будет должна подключаться к меньшим по значению шкалам напряжения. Это можно реализовать путем соответствующих переключений в схеме, где имеется более широкая линейка «умноженных» напряжений питания.

Вариант выполнения такой схемы приведен на рис. 6.35, где на трансформаторе располагаются дополнительные обмотки $w_6 - w_9$ и соответственно им имеются выпрямительные цепи, что позволяет получить «умножение» напряжений, например на 4, 6, 8, 10. Подключение этих дополнительных напряжений к входу первого стабилизатора производится при помощи транзисторов

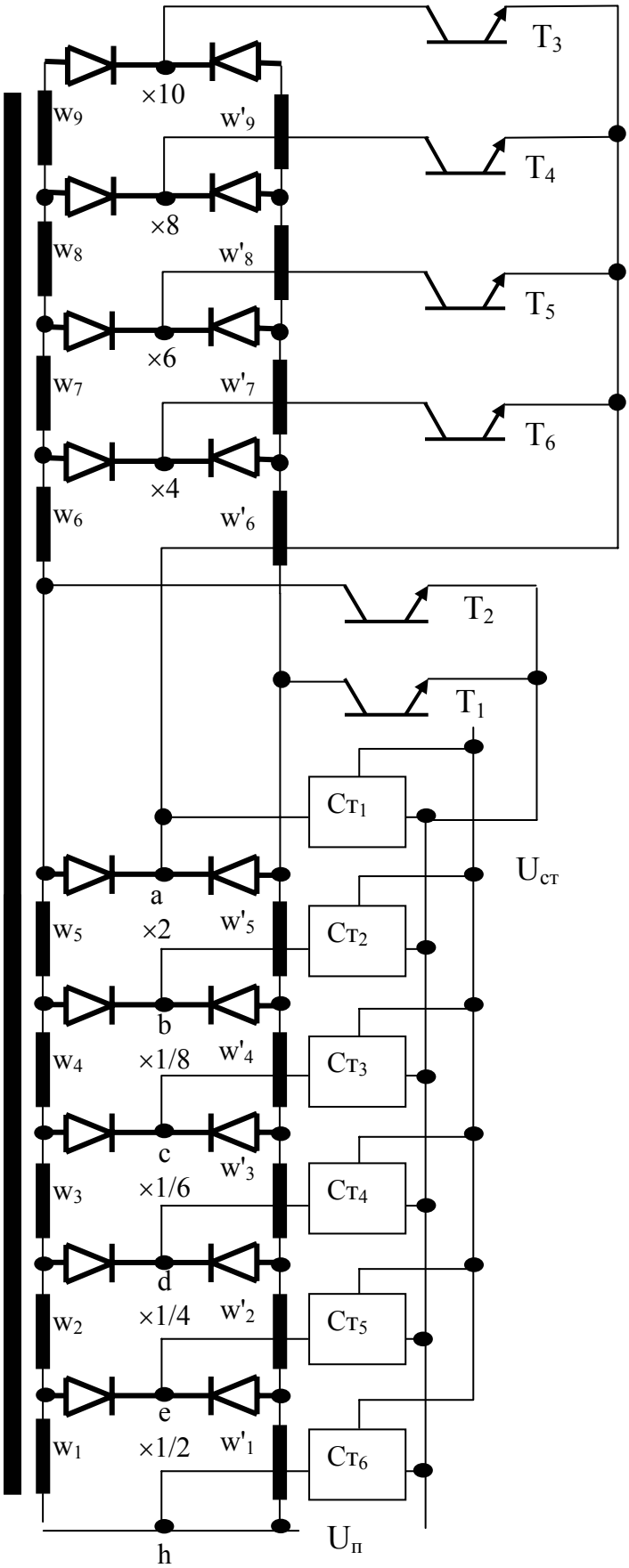


Рис. 6. 35

$T_3 - T_6$, которые подключают соответствующие напряжения по мере их готовности обеспечить нормальную работу этого стабилизатора.

При достижении рабочего уровня напряжения в точке «а» ($U_a \geq U_{ст.1}$) все транзисторы $T_3 - T_6$ будут закрыты и дальнейшая работа схемы при последующем увеличении напряжения питания полностью совпадает со схемой рис. 6.34. Управление переключением транзисторов $T_3 - T_6$ производится отдельной схемой.

Построение подобных устройств на большие выходные мощности невозможно реализовать без применения конверторов напряжения, выполненных на симметричных многостержневых сердечниках с многофазным цифровым управлением.

Для упрощения изложения здесь примем такие же функциональные возможности, как и в предыдущей схеме. Весь диапазон изменения входного изменяющегося напряжения питания разбивается, например, на равномерные отрезки через 2 В, где в зависимости от уровня входного напряжения меняется режим работы конвертора напряжения.

На рис. 6.36 показано изменение входных напряжений шести стабилизаторов напряжений $Ст_1 - Ст_6$, когда входное напряжение находится в диапазоне от 0 до 4 В.

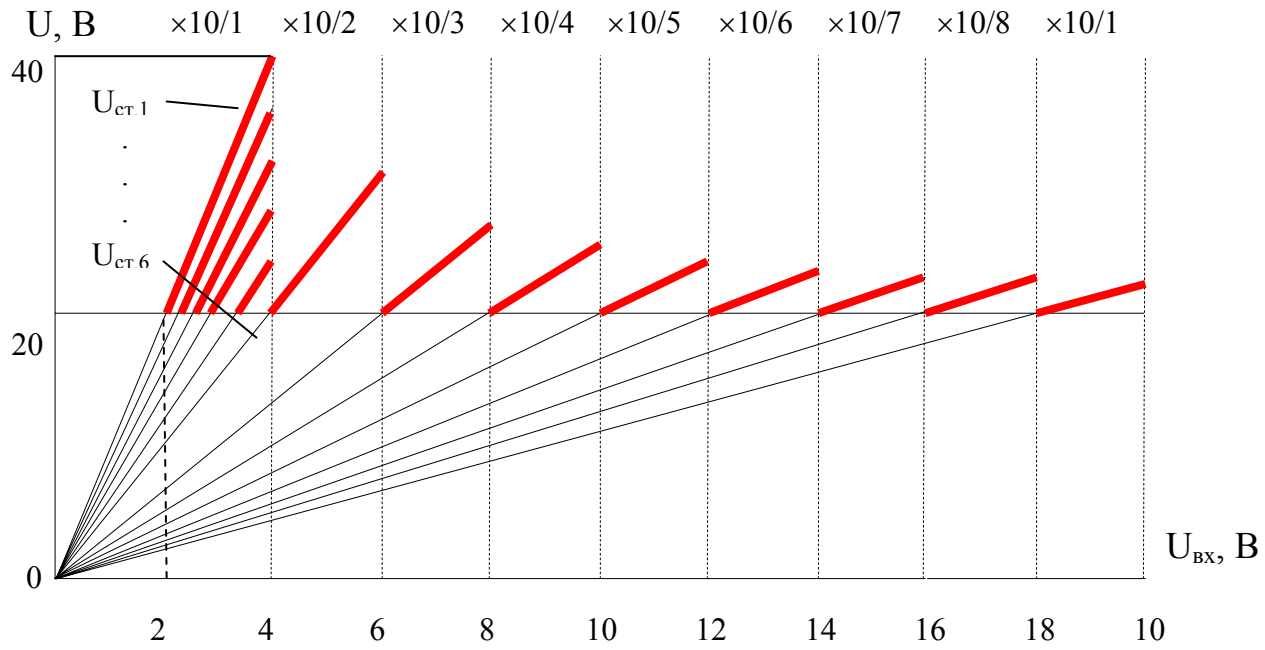


Рис. 6.36

В этом первом поддиапазоне изменения входного напряжения устанавливается режим работы конвертора, когда одновременно открыты в каждом цикле переключения девять транзисторов из десяти, что приводит к повышению входного напряжения в 10 раз на одном из выходов конвертора. Это «умноженное» напряжение поступает на вход первого стабилизатора $Ст_1$. На других стабилизаторах входные напряжения, которые формируются через выпрямительные цепи с отводов обмоток фаз трансформатора конвертора, будут иметь соответственно меньшее значение напряжения. Начиная с входного напряжения питания более 2 В, схема конвертора может выполнять свои функции по выдаче стабилизированного напряжения, равного 20 В.

По мере увеличения входного напряжения питания происходит подключение следующих стабилизаторов и отключение предыдущих вплоть до входного напряжения больше 4 В, когда в работу включается шестой стабилизатор напряжения $Ст_2$, а остальные стабилизаторы отключены.

Следующий второй поддиапазон работы устройства находится в пределах изменения входных напряжений от 4 до 6 В. В этом поддиапазоне, когда в конверторе в любой момент времени открыты два транзистора из десяти, входное напряжение, поступающее на первый стабилизатор напряжения, будет «умножено» на ×10/2 и он начнёт выполнять свои функции. В это время на других стабилизаторах входное напряжение меньше этого значения и будет увеличиваться пропорционально повышению входного напряжения, что приведет к последующему подключению стабилизаторов и отключению предыдущих. Очевидно, что работа устройства во втором поддиапазоне полностью совпадает с первым. Однако здесь переключение с одного стабилизатора на другой происходит при меньшем изменении входного напряжения.

Всего в схеме рис. 6.36 используется девять поддиапазонов , где реализуются соответственно «умножения» входного напряжения на ×10/1, ×10/2, … , ×10/10, а работа в каждом из них полностью совпадает с работой схемы, описанной выше. Переход с одного поддиапазона на другой может производиться схемой управления по сигналам (рис. 6.37) интегрального кода (L_1 – L_9), которые формируются соответствующими пороговыми устройствами. Эти устройства имеют определенный гистерезис, что исключает автоколебательные режимы в схеме. При этом когда входное напряжение питания станет более 20 В, все транзисторы конвертора закрываются и напряжение питания поступает непосредственно на вход шестого стабилизатора напряжения. Дальнейшее увеличение напряжения питания ограничивается только допустимыми возможностями этого стабилизатора.

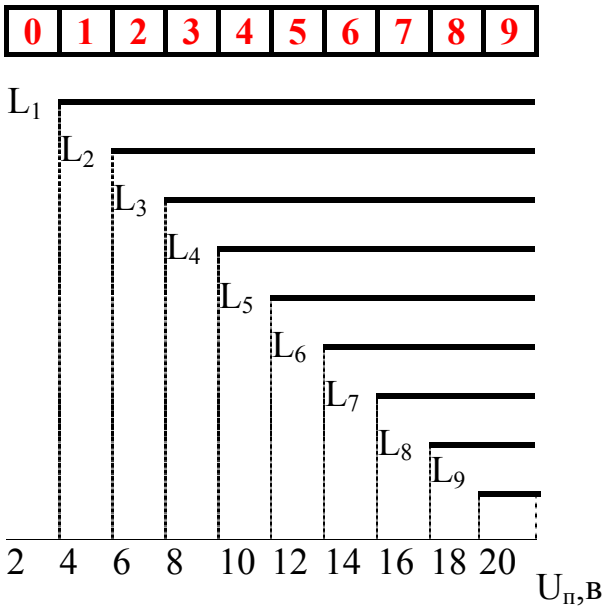


Рис. 6.37

Использование интегрального кода в схеме управления конвертора позволяет выполнить эту схему в контролеспособном варианте, где возможно исправление ошибок в режиме реального времени без применения каких-либо математических операций.

* * *

Конверторы напряжения, т.е. преобразователи из постоянного напряжения в постоянное другой величины, имеют много общего по использованию цифровых блоков с инверторами напряжений, где осуществляется преобразование постоянного напряжения в переменное напряжение определенной формы и фазности. Однако конверторы напряжений имеют гораздо больше возможностей для использования значительного числа фаз в промежуточных преобразовате-

лях постоянного напряжения в переменное напряжение. Следовательно, конверторы напряжений могут быть выполнены более контролеспособными, а их мощность будет превосходить мощность инверторов напряжений, выполненных классическим способом. Так как инверторы, в свою очередь, могут быть синтезированы с использованием конверторов напряжений, то и мощность таких инверторов напряжений с гладкой формой выходных напряжений будет значительно увеличена. При этом теория многомерных цифровых множеств позволяет осуществить наглядный синтез всех цифровых составных частей этих устройств с заранее заданными параметрами.

Обратная связь – посох слепого.

Н. Винер

Главное достоинство цифровой системы в том, что другого способа добиться того же самого мы не знаем.

Дж. фон Нейман

Глава 7

ЭЛЕКТРОПРИВОД ПОСТОЯННОГО ТОКА С ЦИФРОВЫМИ ЭЛЕМЕНТАМИ УПРАВЛЕНИЯ

Электропривод постоянного тока с коллекторными электродвигателями наиболее изучен из всех типов электроприводов. Он широко используется не только в бытовой электротехнике, но и в самых высокоточных системах станков с ЧПУ и промышленных роботов. Его технические характеристики, такие как качество переходных процессов, плавность вращения, диапазон регулирования по скорости и т.д., являются идеалом для других типов электроприводов, которые в обозримом будущем по этим параметрам могут только приблизиться к нему. Основной недостаток этого типа приводов – наличие коллекторно-щеточного узла электродвигателя, что ограничивает его использование в целом ряде случаев, где недопустимо искрение. Другой недостаток такого электропривода с коллекторным электродвигателем – трудность обеспечения рекуперативного торможения. Однако если первый недостаток непреодолим, то второй может быть решен с помощью соответствующих преобразовательных устройств.

Известно, что цифровой метод представления пути в виде числа импульсов, частота которых пропорциональна скорости движения, позволяет использовать информацию о скорости в системах регулирования электроприводов тремя способами:

1.Дифференцирование функции пути S(t) производится путем вычисления ее приращения за фиксированный интервал времени и значение скорости определяется как среднее в этом интервале

$$n=\Delta S(t)/T_0 = \Delta n/T_0,$$

где T_0 – калиброванный интервал времени;

Δn – число импульсов, равное приращению Δn за время T_0.

Выбором T_0 либо n можно добиться того, чтобы значение скорости было равно числу Δn. Структура системы автоматического регулирования скорости в этом случае строится таким образом, что число Δn сравнивается с числом, соответствующим заданной скорости. Так выполняется в электроприводе цифровой статический регулятор скорости циклического действия.

2. Дифференцирование функции пути S(t) не производится, а сигнал ошибки по скорости вырабатывается цифровым способом в интегральной форме

$$\int \Delta n dt = k(n_0 - n),$$

где n_0 , n – соответственно полные числа импульсов частоты задания и частоты импульсного датчика, установленного на валу электродвигателя, за все время регулирования. Сравнение чисел поступающих импульсов производится также за все время регулирования. Так строится в электроприводе астатический регулятор непрерывного действия.

3. Регулятор скорости при установке на валу электродвигателя импульсного датчика реализуется применением преобразователя «частота-напряжение», а сравнение сигнала скорости с заданной скоростью производится в аналоговой форме. Таким способом создается цифро-аналоговый статический регулятор скорости электропривода.

Поскольку во всех известных электроприводах исполнительные электродвигатели, кроме шаговых электродвигателей, являются аналоговыми элементами, то с аппаратурного подхода к их синтезу все регуляторы, имеющие цифровые элементы в цепях задания, измерения или сравнения, могли бы называться цифро-аналоговыми.

Однако в теории автоматического управления и, соответственно, электропривода принципиальные различия замкнутых систем и их классификация, как правило, рассматриваются в зависимости от способа сравнения сигнала задания и сигнала главной обратной связи. Поэтому именно структура схемы сравнения в главной обратной связи и определяет основной закон регулирования. Роль дополнительных корректирующих звеньев при этом сводится лишь к улучшению основного закона управления по устойчивости и качеству регулирования.

Следовательно, при классификации электроприводов с цифровым преобразованием скорости основополагающим должен быть способ сравнения в цепи главной обратной связи. Поэтому собственно цифровыми электроприводами будем называть только такие, в которых используется цифровое сравнение параметров задания и действительного значения в главной обратной связи. Электроприводы, использующие отдельные элементы цифровой техники, но производящие указанное сравнение в аналоговой форме, будем называть цифро-аналоговыми.

Работы, связанные с применением цифровой техники в регуляторах скорости электроприводов, появились в 50-х годах XX века [7.1] – [7.3] и выполнялись как цифровые регуляторы скорости циклического типа. Публикации того времени, как правило, были связаны с разработками электроприводов для станков с цифровым программным управлением. Именно эта отрасль промышленности стала главным потребителем цифровых систем регулирования скорости. Особенность этих систем заключалась в том, что, строго говоря, они были системами автоматической отработки не скоростей, а перемещений. Последнее обстоятельство привело к тому, что указанные системы разрабатывались в даль-

нейшем как разомкнутые системы с шаговыми электродвигателями либо как замкнутые астатические регуляторы скорости непрерывного действия.

Описание работы таких астатических систем регулирования, нуль-органами которых являются цифровые интеграторы непрерывного действия, было представлено в многочисленных публикациях [7.4] – [7.10]. Практически все эти регуляторы сводятся к одной структурной схеме, где цифровой интегратор, обычно реверсивный счетчик, непрерывно определяет интегральное рассогласование частот импульсов задания и обратной связи, поступающих на два его входа. Число ошибки ΔN, записанное в нем, пропорционально в каждый момент времени статизму системы регулирования по углу. Разрешающая способность таких регуляторов [7.10] существенно выше дискретности квантования и фактически определяется различием не только числа поступающих импульсов, но и фазы их следования, а чувствительность подобных систем ограничена лишь уровнем наводок и шумов их аналоговой части. Причем влияние субгармоник, которые возникали при делении и сравнении частот в цифровых звеньях этих схем, может быть в настоящее время полностью исключено применением управляемых делителей-счетчиков, рассмотренных в предыдущих главах.

Стремлением улучшить динамические показатели регуляторов скорости непрерывного действия и приблизить их по этому показателю к аналоговым системам автоматического регулирования объясняется появление в дальнейшем цифро-аналоговых регуляторов скорости, где в главной обратной связи устанавливается преобразователь «частота-напряжение» [7.11] – [7.14]. Этот преобразователь строится обычно на принципе измерения частоты импульсного датчика путем интегрирования последовательностей импульсов постоянной вольт-секундной площади, частота которых равна частоте вращения вала электродвигателя.

Последние два типа регуляторов скорости электроприводов позволяют создавать достаточно качественные в динамическом отношении системы электроприводов, но получить большие диапазоны регулирования по скорости в них не удается из-за низкой чувствительности известных импульсных датчиков.

В 70-е годы XX века в СССР впервые были созданы и освоены комплектные транзисторные электроприводы серии ПРП с высокомоментными коллекторными электродвигателями с возбуждением от постоянных магнитов со сверхшироким диапазоном регулирования по скорости до 1: 30000 и полосой пропускания до 150 Гц. Особенности этих электроприводов были рассмотрены в [7.15]. Высокомоментные электродвигатели представляют собой комплекс устройств, в который входят аналоговый тахогенератор, электромагнитный тормоз и измерительный преобразователь угла (ЦПУ), что облегчает согласование, наладку электромеханических элементов электропривода и монтаж этого оборудования на станке или роботе.

Высокий мировой уровень разработки этих электроприводов на тот момент времени был подтвержден дипломом международной выставки "Электро-82", а технические параметры их высокомоментных электродвигателей нашли отра-

жение в учебнике для вузов [7.16]. В настоящее время этот тип электроприводов ПРП5 выпускается серийно Томским электротехническим заводом.

Представляет практический интерес кратко остановиться на этом и других типах транзисторных электроприводов с коллекторными электродвигателями постоянного тока.

7.1. Динамические и статические характеристики коллекторных электродвигателей постоянного тока с возбуждением от постоянных магнитов

Напомним основные известные [7.16] динамические характеристики электродвигателей постоянного тока:

$$\omega(p) = \frac{k_д}{1 + T_м\, p\, (1 + т_я)} U(p) - \frac{k_м(1 + T_я\, p)}{1 + T_м\, p\, (1 + т_я)} M_c(p), \qquad (7.1.1)$$

где $k_д = 1/c$; $k_м = R_я/c^2$; постоянная c, связывающая между собой электромагнитный момент с током якоря **M** = ci и ЭДС с угловой скоростью e = c ω.

Структурная схема электродвигателя, соответствующая выражению (7.1.1), приведена на рис. 7.1.

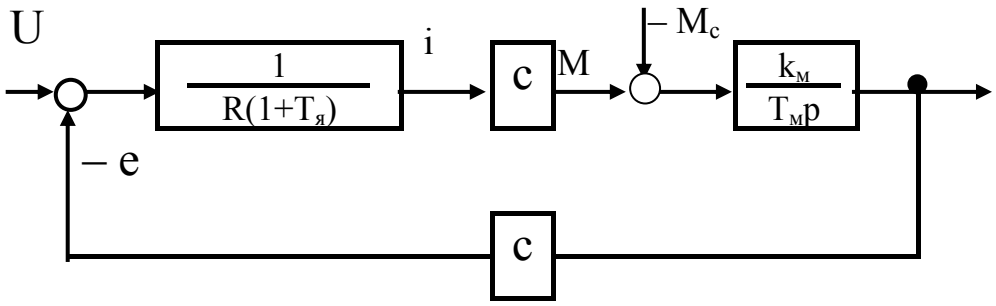


Рис. 7.1

Из рис. 7.1 следует, что коллекторный двигатель постоянного тока может быть представлен последовательным соединением апериодического и интегрирующего звеньев, охваченных обратной связью по скорости. Первое слагаемое (7.1.1) представляет собой передаточную функцию по управляющему воздействию; второе – передаточную функцию по возмущению, т.е. моменту нагрузки.

Передаточная функция электродвигателя постоянного тока по управляющему воздействию может быть приведена к виду

$$W_{дв}(p) = \frac{\omega(p)}{U(p)} = \frac{k_д}{T_м T_я\, p^2 + T_м\, p + 1}, \qquad (7.1.2)$$

где $T_м = JR_я/c^2 = JR_я / (k\Phi)$ – электромеханическая постоянная времени; $T_я = L_я / R_я$ – электромагнитная постоянная времени.

Формуле (7.1.2) можно придать каноническую форму типового звена второго порядка

$$W_{дв}(p) = \frac{k_д}{T^2p^2 + 2\xi T p + 1} = \frac{k_д}{p^2 + 2\xi\omega_0 p + \omega_0^2}, \qquad (7.1.3)$$

где постоянная времени $T = (T_м T_я)^{1/2}$; резонансная частота $\omega_0 = 1/T$; коэффициент демпфирования $\xi = (Tм/4Tя)^{1/2}$.

Характер переходного процесса определяется корнями характеристического уравнения передаточной функции

$$D(p) = p^2 + 2\xi\omega_0 p + \omega_0^2 = 0.$$

Если $T_м > 4T_я$, то $\xi > 1$ и корни характеристического уравнения действительны и различны: $p_{1,2} = -\xi\omega_0 \pm \omega_0(\xi^2 - 1)^{1/2}$.

Скачкообразное изменение напряжения питания электродвигателя вызывает апериодический характер изменения скорости

$$\omega(t) = k_д U[\, 1 + 1/(p_1 - p_2)\ (p_2 e^a - p_1 e^b), \qquad (7.1.4)$$

где $a = p_1 t$, $b = p_2 t$.

В некоторых случаях постоянные времени $T_м$ и $T_я$ соизмеримы, тогда $\xi < 1$ и переходный процесс носит колебательный характер. Корни характеристического уравнения при этом комплексные и сопряженные:

$$p_{1,2} = -\xi\omega_0 \pm j\omega_0(1 - \xi^2)^{1/2}.$$

Тогда скачкообразное изменение напряжения питания двигателя вызывает колебательный характер изменения скорости

$$\omega(t) = k_д U\{\, 1 - 1/\sin\alpha\ e^{-\beta\tau}\ \sin[\omega_0(1 - \xi^2)^{1/2} t + \alpha]\}, \qquad (7.1.5)$$

где $\alpha = \operatorname{arctg}(1/\xi^2 - 1)^{1/2}$; $\beta = \omega_0\xi$.

Частотная характеристика электродвигателя по управляющему воздействию определится из (7.1.3) подстановкой $p = j\omega$

$$w_д(j\omega) = \frac{k_д}{1 - T^2\omega^2 + 2j\xi T\omega} = \left| w_д(j\omega) \right| e^{j\varphi(\omega)}. \qquad (7.1.6)$$

Из этого выражения определяется амплитудно-частотная характеристика

$$\left| w_д(j\omega) \right| = \frac{k_д}{[(1 - \gamma^2) + 4\xi^2\gamma^2]^{1/2}}, \qquad (7.1.7)$$

и фазочастотная

$$\varphi(\omega) = -\operatorname{arctg}(2\xi\gamma / (1 - \gamma^2)), \qquad (7.1.8)$$

где $\gamma = T\omega = \omega / \omega_0$ – относительная частота.

Передаточная функция по возмущающему воздействию, влияние которого на изменение скорости имеет смысл только при $U \neq 0$, в противном случае двигатель неподвижен. Следовательно, второе слагаемое в (7.1.1) характеризует динамическое отклонение скорости от установившегося состояния, которое принимается обычно равным скорости холостого хода, тогда

$$\mathbf{W_M}(p) = \frac{\Delta\,\omega(p)}{M_c(p)} = \frac{k_M(1 + T_я p)}{T^2p^2 + 2\,\xi T p + 1}\,. \qquad (7.1.9)$$

При апериодическом переходном процессе ($\xi > 1$) изменение скорости при скачкообразном приложении M_c

$$\Delta\,\omega(t) = k_M M_c \left| 1 + A_1 e^{\,p_1 t} + A_1 e^{\,p_2 t} \right|, \qquad (7.1.10)$$

где

$$A_1 = \frac{p_2(p_1 T_я - 1)}{p_2 - p_1}, \qquad A_2 = \frac{p_1(p_1 T_я - 1)}{p_2 - p_1}.$$

При колебательных переходных процессах ($\xi < 1$)

$$\Delta\omega(t) = k_д M_c\{\,1 + A\,e^{-\beta\tau}\,\sin[\omega_0(1 - \xi^2)^{1/2}t - \psi]\}, \qquad (7.1.11)$$

где $\beta = \omega_0\xi$, $A = 1/2\xi(1 - \xi^2)^{1/2}$, $\psi = \mathrm{arctg}[2\xi(1 - \xi^2)^{1/2}/(1 - 2\xi^2)]$.

В статическом режиме, когда $p = 0$, из (7.1.1) можно получить

$$\omega = U/c - R_я M/c^2 = U/k\Phi - R_я M/(\,k\Phi)^2\,. \qquad (7.12)$$

Очевидно, что приведенный к валу двигателя момент инерции нагрузки, когда $T'_м = (J + J_{нагр})/c^2$ и $T'_м > 4\,T_я$, практически всегда создает апериодический характер переходных процессов.

Другое уточнение, которое сопровождается изменением структурной схемы рис. 7.1, связано с организацией токоограничения в схемах управления электроприводами. Любая электронная схема не может быть мгновенного действия и, следовательно, не способна мгновенно обеспечить необходимое токоограничение в силовой схеме электропривода. Например, при нулевой скорости $e = 0$, если на двигатель подается полное напряжение питания, схема токоограничения не успевает ограничить ток и он может в несколько раз превысить допустимое значение. Такой режим не только приводит к выходу силовых элементов электропривода, но и может способствовать размагничиванию его магнитной системы.

Для устранения такого режима в схемах электроприводов предусматривается жесткая связь между напряжением питания двигателя и частотой его вращения. Структурная схема электродвигателя, соответствующая такой связи между напряжением питания и частотой вращения электродвигателя, приведена на рис. 7.2.

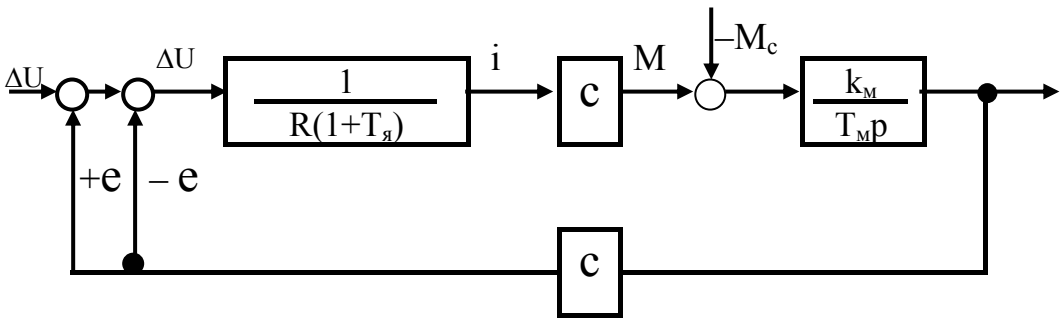


Рис. 7.2

Напряжение, которое подается на апериодическое звено, здесь всегда меньше или равно ΔU на любой частоте вращения. При этом максимальное значение ΔU определяется допустимыми величинами тока для силовых элементов инвертора и электродвигателя, а регулируемое значение тока всегда находится в зоне меньших величин. Следовательно, коллекторный электродвигатель постоянного тока может быть представлен только последовательным соединением апериодического и интегрирующего звеньев.

7.2. Транзисторные инверторы электроприводов постоянного тока

Механические и энергетические характеристики электроприводов постоянного тока при широтно-импульсном и релейном регулировании достаточно широко освещены в [7.17] – [7.19].

Технический прогресс в развитии электронных и цифровых приборов, несмотря на давность отмеченных публикаций, по-прежнему не изменил их ценностей. Исключение составляют только методы исполнения многофазных принципов цифрового широтно-импульсного регулирования и схем, реализующих внутренние управляющие функции электроприводов и принципы рекуперативного торможения. Исходя из этих позиций, рассмотрим построение транзисторных преобразователей приводов постоянного тока.

Релейно-импульсная схема транзисторного нереверсивного преобразователя (рис. 7.3) состоит из силового ключа Т, управляемого, например, через оптронную развязку и таймер ВИ. Это управление может осуществляться непосредственно или через промежуточный усилитель, как показано на рисунке.

Первый вход $U_{упр}$ силового ключа имеет возможность открыть или закрыть силовой ключ. Второй вход силового ключа $I_{упр}$ задает токовую отсечку, при достижении которой силовой транзистор закрывается до момента времени, пока ток в двигателе не уменьшится до уровня, определяемого гистерезисом датчика тока ДТ. Схема может работать в двух режимах: широтно-импульсном и релейном.

В режиме широтно-импульного управления транзисторный ключ периодически подключает якорь двигателя к источнику нерегулируемого напряжения $U_п$. При этом в рабочую часть периода энергия потребляется из сети и расходуется электродвигателем на полезную работу, а часть энергии запасается в индуктивности рабочей цепи. Во время высокочастотной паузы транзистор закрыт, ток по цепи якоря замыкается через силовой диод D и электродвигатель продолжает работать, используя запасенную энергию в рабочей части периода и т.д.

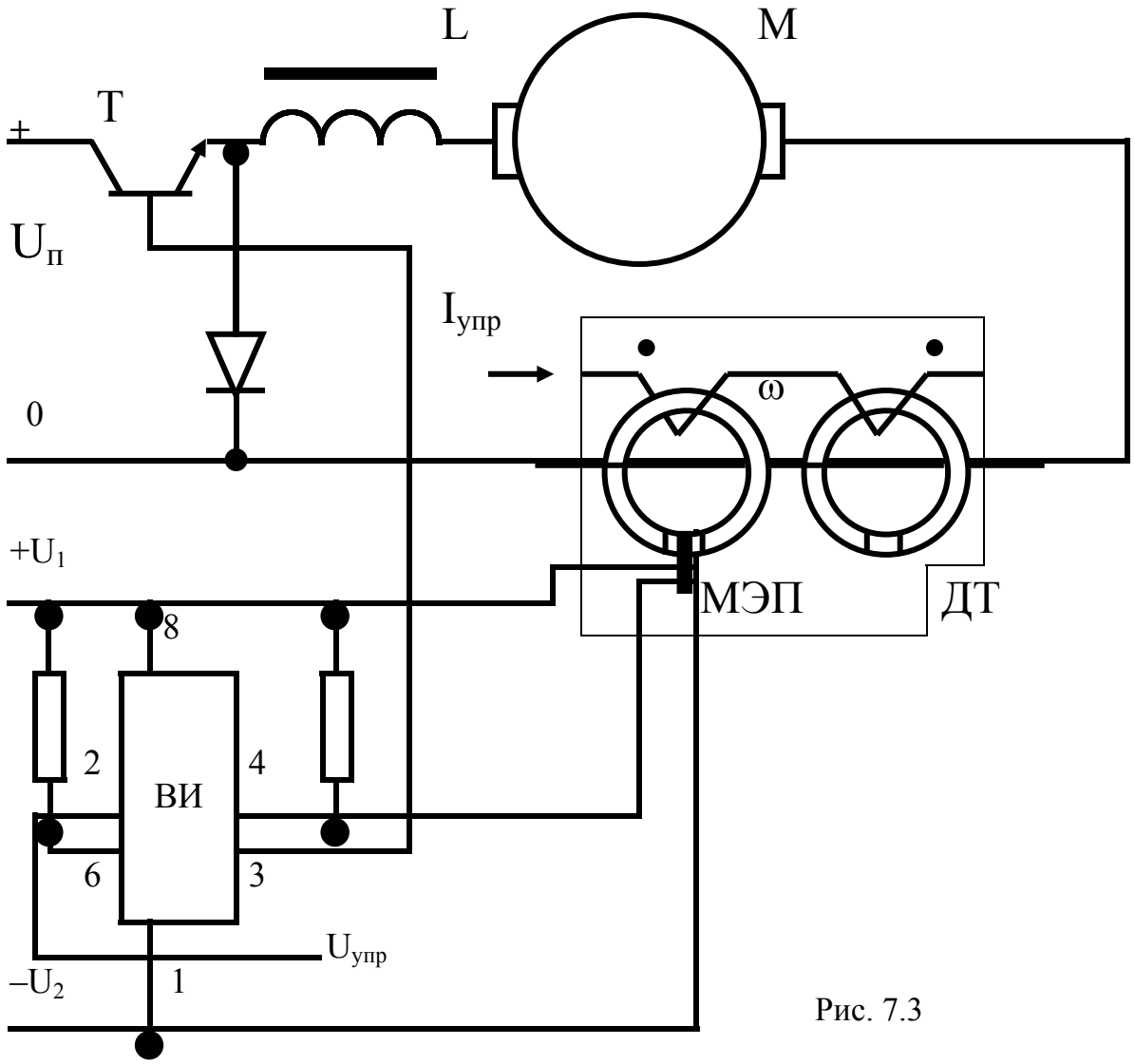


Рис. 7.3

В релейном режиме работы привода, который является типичным представителем автоколебательной системы, управляющий сигнал $U_{упр}$ всегда удерживает силовой транзистор открытым, а его закрытие происходит в момент достижения токовой отсечки вплоть до снижения тока до уровня, определяемого гистерезисом схемы.

Роль переключающего элемента в автоколебательной системе выполняет управляемый от внешнего сигнала датчик тока ДТ. Этот датчик состоит из двух

ферромагнитных сердечников с зазором. В один из этих зазоров помещен магниточувствительный электронный переключатель МЭП, например типа К1116КП11.

На сердечниках расположены одинаковые многовитковые обмотки w, которые соединены последовательно и встречно. По этим обмоткам пропускается управляющий ток $I_{упр}$. Ток электродвигателя проходит через малое количество витков первичных обмоток (в пределе один виток), включенных последовательно и согласно. Разность ампер витков ($I_{упр}w - I_{дв}$) в сердечнике магнитопровода, где установлен МЭП, направлена на создание потока и индукции больше [$-\Delta B$], которая воздействует через МЭП на отключение силового транзистора (рис. 7.3). Включение силового транзистора произойдет при уменьшении тока двигателя, когда ($I_{упр}w - I_{дв}$) будет иметь положительный знак и создаст в сердечнике поток, соответствующий индукции более [$+\Delta B$]. Таким путем осуществляется ограничение тока двигателя в пусковых режимах и при воздействии внешних нагрузок.

При нулевом сигнале управления $I_{упр}=0$ триггерный эффект МЭП удерживает силовой транзистор в закрытом состоянии как в релейном режиме работы, так и при широтно-импульсном управлении. При многофазном принципе широтно-импульсной модуляции и цифровом способе управления построение преобразователей достаточно подробно изложено в предыдущих разделах.

Если в системах используется генераторный режим работы электродвигателя с рекуперацией энергии в первичную сеть, то необходимо использовать для питания электродвигателя постоянного тока схему конвертора напряжения, которую мы назвали цифровым электронным потенциометром (ЦЭП).

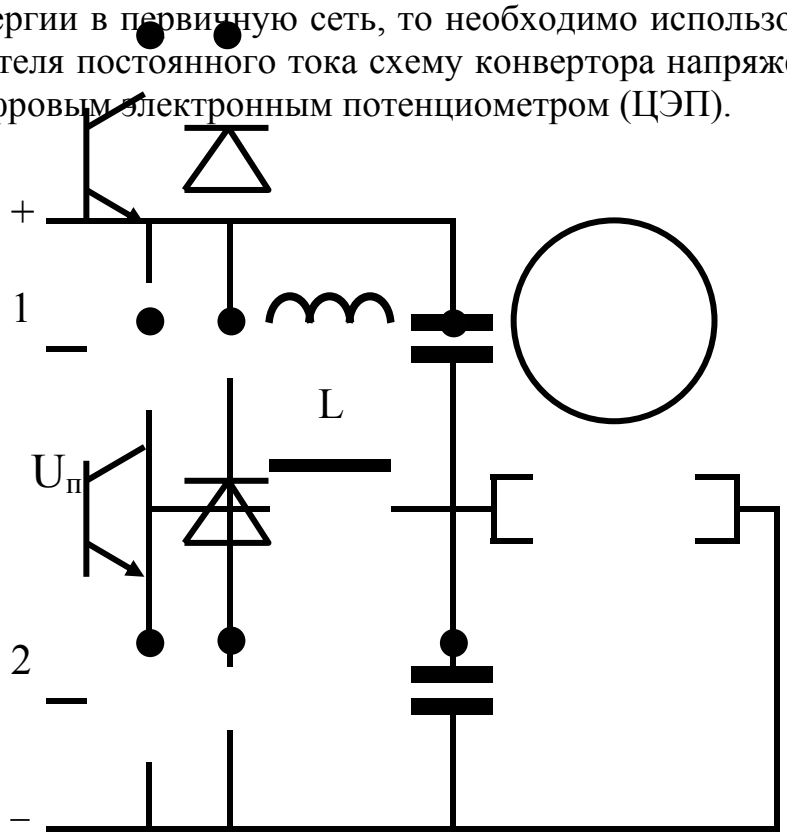


Рис. 7.4а

Принципы рекуперации энергии в питающую сеть постоянного тока поясним на примере ЦЭП с однофазным управлением рис. 7.4а, 7.4б, где приведены две схемы. Эти схемы отличаются только тем, что в первой из них необходимо принимать меры по исключению сквозных токов, определенным образом организуя сигналы управления переключением силовых транзисторов *1*, *2*. Во второй схеме в этом нет необходимости: индуктивности рассеяния обмоток в дросселе исключают сквозные токи в моменты взаимного переключения транзисторов.

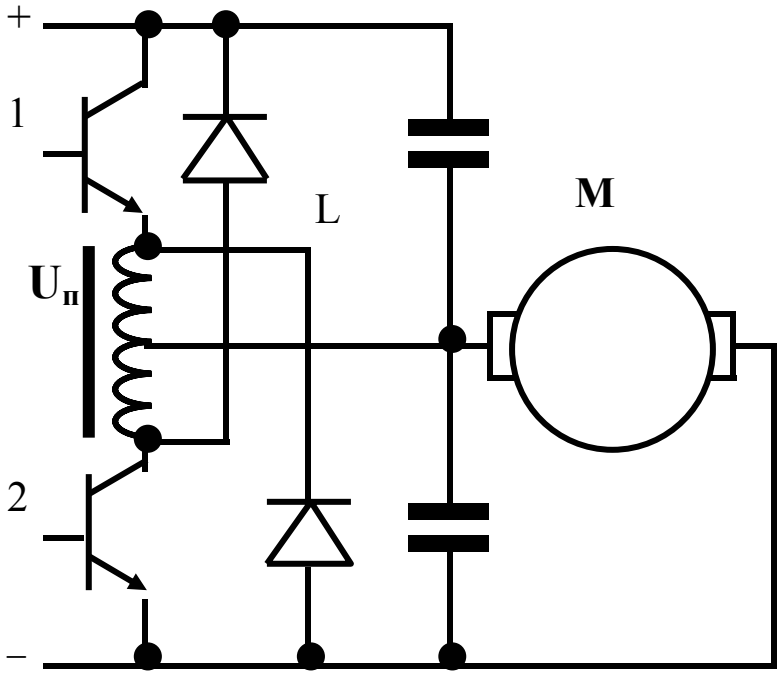


Рис. 7.4б

В генераторном режиме, когда ЭДС двигателя больше напряжения, например на емкости C_2, при открытом транзисторе *2* происходит накопление энергии в индуктивности L фильтра, а в моменты времени закрытия этого транзистора и открытия транзистора *1* запасенная энергия передается в питающую сеть и конденсатор C_1. При этом ЦЭП с многофазным управлением позволяют увеличивать мощность передаваемой энергии путем увеличения частоты ее порций, что улучшает одновременно качество рекуперируемой энергии.

Для реверсивных приводов обычно используется мостовая транзисторная схема с обратным диодным мостом (рис. 7.5), в которой могут быть использованы три способа переключения транзисторов [7.18].

При первом способе управления, который в литературе называется симметричным, коммутируются все транзисторы моста. Транзисторы *1*, *4* одной диагонали моста управляются одновременно при одной полярности ШИМ, а транзисторы *2*, *3* имеют обратную полярность управляющего сигнала. Состоянию равновесия в мостовой схеме с такой коммутацией соответствует симметричная

относительная продолжительность включения транзисторов $\gamma = 0$, когда среднее значение напряжения на выходе преобразователя равно нулю.

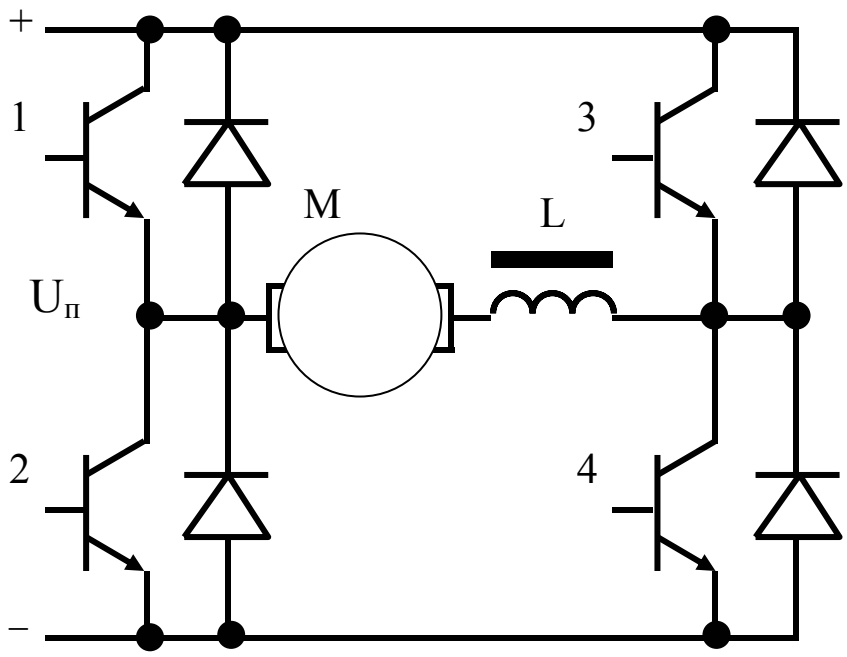


Рис. 7.5

При симметричном способе переключения состав силовой цепи на всех интервалах неизменен и лишь меняется полярность включения источника питания в цепь двигателя. Недостатком такого управления является изменение знака напряжения на двигателе и, как следствие этого, повышенные пульсации тока в выходной цепи. Достоинство схемы при таком способе – простота реализации и возможность одним входным воздействием изменять усредненную полярность выходного напряжения и его величину. Недостаток здесь более существенен, и рекомендовать эту схему для реализации в электроприводах нельзя.

При втором способе переключения постоянно коммутируются лишь два транзистора, расположенные на одной стороне моста, например *1*, *2*. Транзисторы другой стороны моста *3*, *4* определяют полярность выходного напряжения инвертора. При этом на выходе инвертора формируются знакопостоянные высокочастотные импульсы напряжения, а нулевому значению напряжения соответствует одновременное открытие транзисторов *1*, *3* или *2*, *4*.

Достоинство второго способа управления заключается в однополярности выходных напряжений инвертора, а недостаток – в неравномерном распределении динамических потерь между силовыми транзисторами. К недостатку также необходимо отнести то, что управление выходным напряжением инвертора реализуется по двум каналам: первый канал определяет величину выходного напряжения, второй – знак этого напряжения, что при малых входных сигналах управления может вызвать несоответствие сигналов одного входа другому. Кроме того, даже достоинство этого способа может иметь негативную сторону:

отсутствие пульсаций выходного напряжения при его нулевом значении может рассматриваться, как некоторый недостаток при низких скоростях вращения. Известно, что для снижения трения покоя на низких скоростях используют "подмешивание" симметричного высокочастотного сигнала к основному. Для этого "подмешивания" здесь необходимо усложнять схему управления.

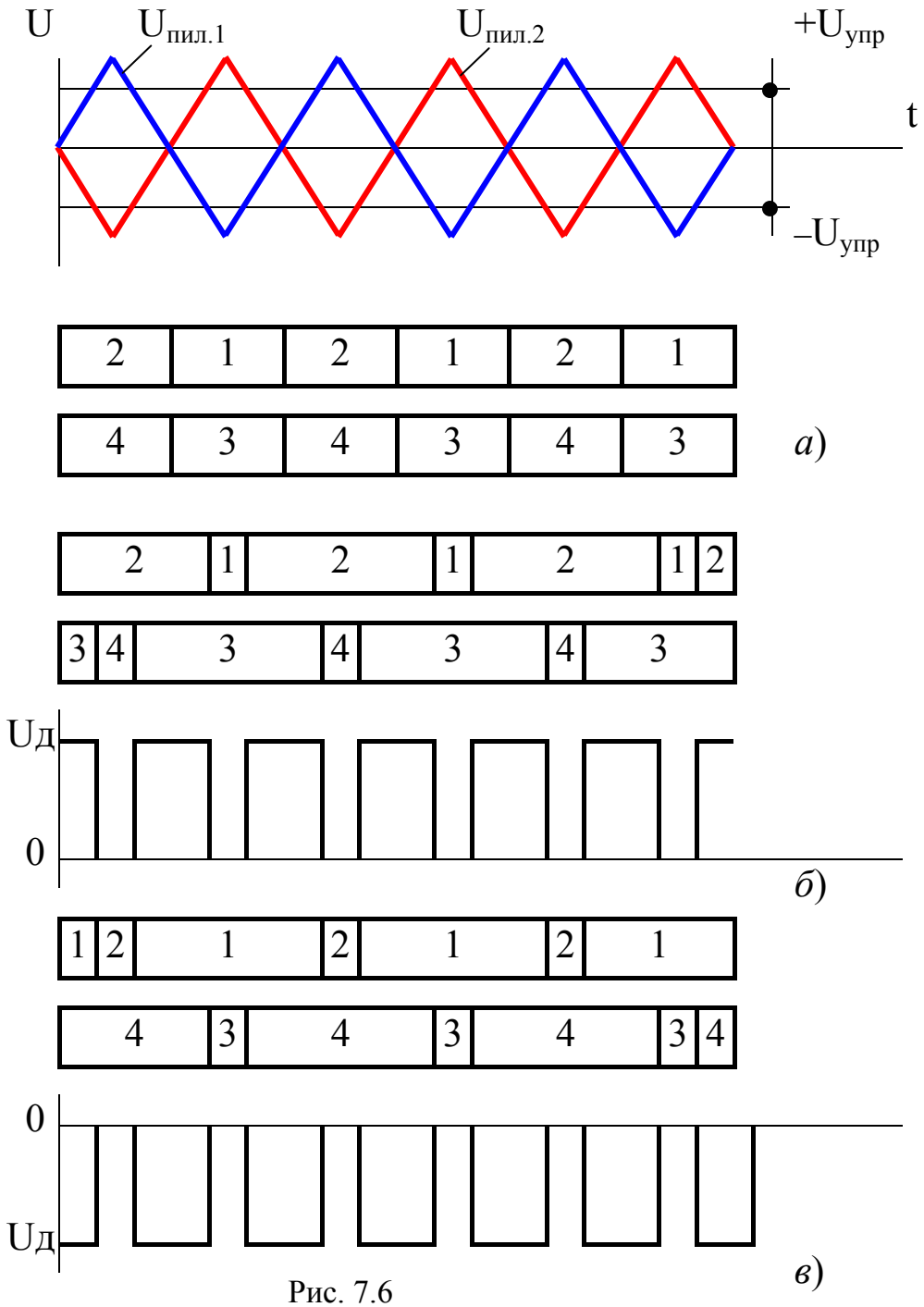


Рис. 7.6

При третьем способе управления мостовой схемой инвертора (рис. 7.6, *а*, *б*, *в*) в состоянии переключения при любом знаке входного сигнала $U_{упр}$ находятся все четыре транзистора. Такое управление позволяет равномерно распределить динамические потери между всеми транзисторами моста, когда частота комму-

тации каждого транзистора вдвое меньше частоты импульсов напряжения, прикладываемого к якорю двигателя. При этом питание двигателя осуществляется однополярными импульсами напряжения.

В схеме [7.20] управления инвертором, реализующей третий способ, формируются два симметричных треугольных напряжения $U_{пил.1}$, $U_{пил.1.}$

Сравнение этих напряжений с входным управляющим сигналом $U_{упр}$ позволяет получить сигналы переключения транзисторами *1 – 4* моста: для U = 0 (рис. 7.6, *а*), U > 0 (рис. 7.6, *б*), U < 0 (рис. 7.6, *в*). Величина и полярность входного сигнала здесь полностью определяют аналогичные параметры напряжения, подаваемого на электродвигатель, а при необходимости "подмешивания" высокочастотной составляющей это реализуется простым взаимным фазовым сдвигом напряжений $U_{пил.1}$, $U_{пил.1.}$ Причем если напряжения $U_{пил.1}$ и $U_{пил.1}$ будут изменять свою величину при сохранении формы пропорционально питающему постоянному напряжению мостового инвертора, то напряжение на электродвигателе будет инвариантно к такому изменению.

В этой схеме управления [7.21] довольно просто реализуется ограничение выходного напряжения инвертора при изменении частоты вращения электродвигателя. Это весьма важно для многокоординатных электроприводов промышленных роботов, где используются на разных координатах электродвигатели различных мощностей и, как следствие, разных напряжений питания (от десяток до сотен вольт). Применение единого источника питания для таких электроприводов не только упрощает всю систему управления, но и позволяет повысить КПД, поскольку энергия торможения электродвигателей одних координат может быть использована для питания электродвигателей в других координатах. Другим достоинством этой схемы является такое управление транзисторами электропривода, когда на любых частотах вращения сохраняется неизменной разность напряжений (U – e) на выходных шинах инверторов, что не позволяет превышать допустимые значения тока на всех частотах вращения электродвигателя.

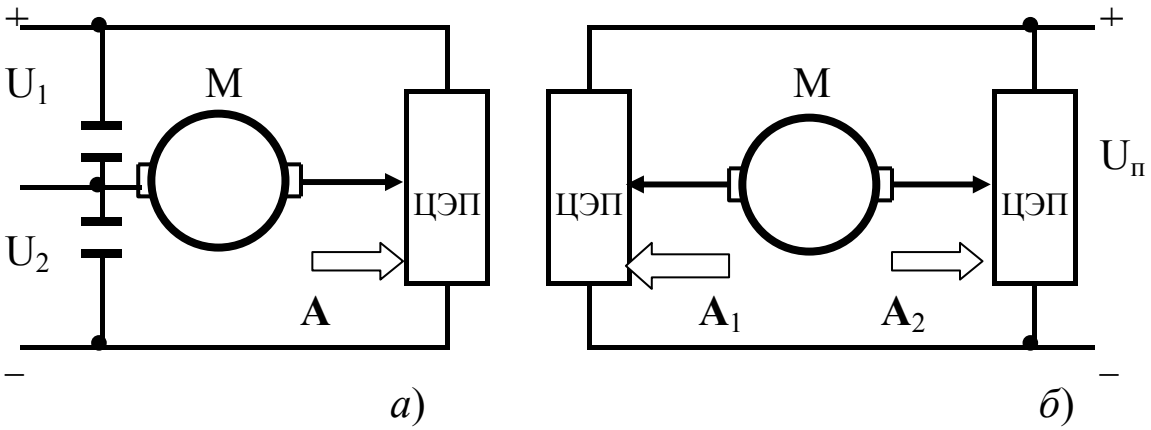


Рис. 7.7

Приведенный алгоритм осуществления третьего способа управления может быть реализован полностью на аналоговых элементах (операционных усилителях, компараторах, логических элементах), что выполнено в электроприводах серии ПРП1 – ПРП5, а также в полностью цифровом исполнении электропривода [7.22].

Для реализации рекуперативного торможения реверсивного электропривода необходимо использовать многофазный принцип, положенный в основу конструкции ЦЭП. При этом если в источнике питания имеется средняя точка, то возможно использовать один ЦЭП (рис. 7.7, *а*), а при отсутствии средней точки источника питания требуется два ЦЭП (рис. 7.7, *б*).

В первой схеме электропривода связь между управляющим цифровым кодом **A** и напряжением питания электродвигателя однозначна и пропорциональна. Во второй схеме с двумя блоками ЦЭП имеется много кодовых комбинаций входных управляющих цифровых сигналов $\mathbf{A_1}$ и $\mathbf{A_2}$, обеспечивающих одно и то же значение знака и величины выходного напряжения инвертора, питающего электродвигатель.

Для простоты рассуждений примем, что цифровые входы $\mathbf{A_1}$ и $\mathbf{A_2}$ задаются только десятью значениями цифр от **0** до **9**, где разность потенциалов напряжений между "движками" потенциометров и определяет подаваемое на электродвигатель напряжение. Отразим это соответствие табл. 7.2.1.

Таблица 7.2.1

		$\mathbf{A_1}$									
		0	**1**	**2**	**3**	**4**	**5**	**6**	**7**	**8**	**9**
$\mathbf{A_2}$	**0**	**0**	**1**	**2**	**3**	**4**	**5**	**6**	**7**	**8**	**9**
	1	**–1**	**0**	**1**	**2**	**3**	**4**	**5**	**6**	**7**	**8**
	2	**–2**	**–1**	**0**	**1**	**2**	**3**	**4**	**5**	**6**	**7**
	3	**–3**	**–2**	**–1**	**0**	**1**	**2**	**3**	**4**	**5**	**6**
	4	**–4**	**–3**	**–2**	**–1**	**0**	**1**	**2**	**3**	**4**	**5**
	5	**–5**	**–4**	**–3**	**–2**	**–1**	**0**	**1**	**2**	**3**	**4**
	6	**–6**	**–5**	**–4**	**–3**	**–2**	**–1**	**0**	**1**	**2**	**3**
	7	**–7**	**–6**	**–5**	**–4**	**–3**	**–2**	**–1**	**0**	**1**	**2**
	8	**–8**	**–7**	**–6**	**–5**	**–4**	**–3**	**–2**	**–1**	**0**	**1**
	9	**–9**	**–8**	**–7**	**–6**	**–5**	**–4**	**–3**	**–2**	**–1**	**0**

Из таблицы следует, что только максимальные значения выходного напряжения имеют однозначную связь между входом и выходом инвертора, когда один "движок" потенциометра находится в "нижнем" положении, а другой – в "верхнем". Все другие значения выходного напряжения могут быть получены при различных положениях "движков", где имеет значение только их взаимное положение один относительно другого.

Можно договориться о таком управлении, когда в работе будут задействованы только первая строка и первый столбец таблицы. Например, при $\mathbf{A_1} = \mathbf{0}$ изменение $\mathbf{A_2}$ от **0** до **9** вызовет пропорциональное изменение выходного напряжения инвертора отрицательной полярности, а при $\mathbf{A_2} = \mathbf{0}$ изменение $\mathbf{A_1}$ от **0** до **9** вызовет пропорциональное изменение выходного напряжения инвертора положительной полярности. При этом входной сигнал **A** поступает на соответствующие входы ЦЭП через две группы двухвходовых логических схем И, на вторые входы этих групп вентилей подаются управляющие логические сигналы 0* или 1*, определяющие знак выходного напряжения инвертора. При разноименных управляющих сигналах выходное напряжение инвертора будет пропорционально **A**, а при нулевых значениях этих сигналов выходное напряжение инвертора нулевое.

7.3. Системы подчиненного регулирования электроприводов постоянного тока

Система подчиненного регулирования в настоящее время наиболее современна, и именно она реализована в приводах серии ПРП. Каскадное включение регуляторов многоконтурной системы является сущностью системы подчиненного регулирования, где число регуляторов и контуров регулирования равно числу регулируемых параметров. Название системы объясняется тем, что выходной сигнал регулятора, включенного во внутренний контур (один регулятор подчинен другому), является задающим для следующего регулятора, включенного во внутренний контур. Регулятор тока подчинен регулятору скорости, регулятор скорости подчинен регулятору положения исполнительного органа робота или станка.

Достоинством системы подчиненного регулирования заключается в том, что настройка регуляторов может производиться независимо и последовательно от внутреннего контура к внешнему контуру.

Структурная схема следящего электропривода ПРП, выполненного по системе подчиненного регулирования, изображена на рис. 7.8.

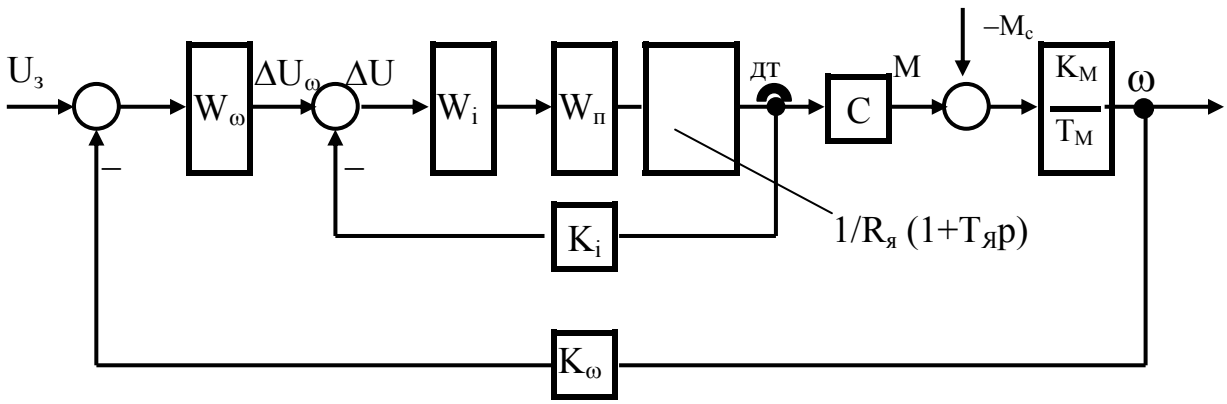


Рис. 7.8

В схеме имеются два контура регулирования, замкнутых независимыми обратными связями. Контур тока включает в себя цепь якоря двигателя, силовой инвертор и регулятор тока и замыкается обратной связью по величине напряжения, снимаемого с датчика тока, включенного в цепь якоря. Коэффициент обратной связи по току равен K_i. В структурной схеме контура тока отсутствует обратная связь по ЭДС, поскольку она компенсирована положительной обратной связью, как это было отмечено в предыдущем разделе и на рис. 7.2.

Объектом регулирования внешнего контура скорости является замкнутый контур тока и звено, описывающее механическое сопротивление двигателя. Контур замыкается почти безынерционной обратной связью по скорости с коэффициентом K_w. В системе подчиненного регулирования используют не только стандартные регуляторы, но и методы их стандартной настройки, что достаточно подробно описано в [7.16].

* * *

В высокоточных электроприводах всех видов тока в основном используются аналоговые регуляторы скорости непрерывного действия, где гораздо проще реализуются необходимые динамические законы регулирования, чем в полностью цифровых устройствах. Поскольку в них существенное значение имеет ответ на вопрос о необходимости оснащения полностью цифровых регуляторов устройствами, которые в цифровой форме вычисляют П (пропорциональную), И (интегральную) и Д (дифференциальную) составляющие закона регулирования, то необходимо отметить, что весь опыт создания, испытания и промышленного применения цифровых регуляторов скорости отрицает эту необходимость. Структура ПИД-регулятора реализуется значительно проще и, следовательно, надежнее путем сочетания цифрового нуль-органа с аналоговыми средствами динамической коррекции. Такое решение не только упрощает регулятор, но и приводит к лучшему качеству регулирования, поскольку качественное получение Д-составляющей в цифровой форме для быстродействующих электроприводов весьма затруднено.

Следует дополнить, что в реальных схемах регулирования скорости электроприводов, как правило, имеется необходимость ввода дополнительных коррекций в функции параметров, специальное преобразование которых в цифровую форму не всегда оправдано (ток, момент), и лучшим решением, как отмечено в этой главе, является система подчиненного регулирования. Поэтому поле для применения цифровых блоков в электроприводах ограничивается пока силовыми преобразующими цепями (конверторы и инверторы напряжений), а также обработкой медленно меняющихся параметров (температура, скорость, перемещение), где для их синтеза целесообразнее применение метода теории многомерных цифровых множеств.

Давно меж мудрецами спор идет–
Который путь к познанию ведет?
Боюсь, что крик раздастся: «Эй, невежды,
Путь истинный - не этот и не тот!»
Омар Хайям

Глава 8

ЦИФРОВЫЕ СПОСОБЫ УПРАВЛЕНИЯ АСИНХРОННЫМИ ЭЛЕКТРОПРИВОДАМИ

Асинхронные электродвигатели имеют давнюю историю. Благодаря своей простоте и надежности они являются самыми массовыми по применению. Электроприводам с асинхронными двигателями до настоящего времени уделяется в технической литературе большое внимание, что объясняется весьма просто. Например, в 1979 году в США в год выпускалось 50 млн асинхронных электродвигателей [8.1]. При этом 2/3 всей электроэнергии тратилось на питание всех установленных электродвигателей, что было эквивалентно потреблению 8,34 млн гектолитров нефти в день. Повышение КПД на электроприводах с асинхронными двигателями на 4% могло бы сэкономить миллиард долларов в год.

Поэтому создание электроприводов с асинхронными двигателями с высоким КПД имеет первостепенное значение. Еще одна важная задача – стремление к упрощению их схемотехнических решений и достижению высоких показателей по динамике, сравнимых с электроприводами постоянного тока.

Первой отечественной публикацией по частотному управлению асинхронной машиной была работа академика М.П.Костенко [8.2], где он без учета активного сопротивления статора и рассеяния энергии в обмотках статора установил зависимость между напряжением на зажимах двигателя U_1, его частотой f_1 и статическим моментом $M_{ст}$ при постоянной перегрузочной способности. Эту зависимость представим в относительных единицах $U_1^*=f_1^*[M_{ст}]^{1/2}$.

Дальнейшее развитие теории частотного управления связано со стремлением учесть влияние активного сопротивления статора, рассеяния энергии в его обмотках и использованием последних достижений в теории управления, преобразовательной и вычислительной техники и преодоления трудностей, вызванных сложностью нелинейных выражений, которые связывают входные U_1, f_1 и выходные $M_{эм}$, f_p (электромагнитный момент, частота вращения ротора) и внутренние Φ_0, I_2, f_2 (магнитный поток, ток статора, частота тока статора – абсолютное скольжение) параметры машины.

Известно, что характеристики машины зависят не от абсолютных величин активного и индуктивного сопротивлений, а от их относительных значений.

Поэтому, используя относительные параметры и относительную систему единиц, можно существенно упростить и сделать эти выражения удобными не только для линейной задачи, но и тогда, когда требуется учитывать влияние насыщения стали машины. Исходя из этого в [8.3], [8.4] была предложена модифицированная схема замещения асинхронной машины, использующая относительные параметры и относительную систему единиц.

Применяемые здесь относительные параметры, по нашему мнению, выбраны были не совсем удачно, чем объясняется сложность выражений, которые получаются при использовании этих параметров при частотном управлении.

Поэтому в [8.5] были введены иные относительные параметры машины, которые позволили получить удобные зависимости для анализа ее работы при частотном управлении и на их основе рассмотреть различные способы управления электромагнитным моментом в статических режимах.

Системы асинхронного электропривода разнообразнее и сложнее систем электропривода постоянного тока с коллекторным двигателем. Это вызвано сложностью и нелинейностью объекта регулирования, где математическая модель двигателя может состоять из 13 дифференциальных уравнений первого порядка и 24 алгебраических уравнений [8.6], необходимостью одновременно управлять несколькими параметрами, а также векторным характером цепей переменного тока. Из большого числа систем частотного регулирования короткозамкнутыми асинхронными электродвигателями можно выделить две главные системы: системы регулирования частоты с использованием инверторов напряжения и системы векторного управления.

Рассмотрим эти две системы регулирования.

8.1. Зависимости частотного управления электромагнитным моментом асинхронной машины

Наиболее удобным и совершенным методом анализа динамики и статики асинхронной машины является метод результирующих пространственных векторов [8.7] – [8.9].

На основании этого метода дифференциальные уравнения асинхронной машины в синхронной системе координат, при допущении симметрии фаз и прямолинейности кривой намагничивания активной стали, в матричной форме записи в функции потокосцеплений:

$$\mathbf{U} = \frac{d}{dt}\mathbf{\Psi} + \mathbf{K}\mathbf{\Psi}; \tag{8.1.1}$$

$$M = \frac{3}{2}\,\frac{L_\mu}{L_1 L_2 \sigma}\,\mathbf{\Psi}'^{\mathbf{T}} \times \mathbf{\Psi} \tag{8.1.2}$$

или токов

$$\mathbf{U} = \mathbf{L}\frac{d}{dt}\mathbf{i} + \mathbf{KL}\,\mathbf{i}; \tag{8.1.3}$$

$$M = \frac{3}{2} L_\mu \mathbf{i'}^{\mathbf{T}} \times \mathbf{i}, \tag{8.1.4}$$

где

$$\mathbf{U} = \begin{vmatrix} U_1 \\ 0 \end{vmatrix}, \quad \mathbf{\Psi} = \begin{vmatrix} \Psi_1 \\ \Psi_2 \end{vmatrix}, \quad \mathbf{\Psi'} = \begin{vmatrix} \Psi_2 \\ 0 \end{vmatrix}, \quad \mathbf{\Psi} = \mathbf{Li},$$

$$\mathbf{K} = \begin{vmatrix} R_1/L_1\sigma + j\omega_1 & -L_\mu R_1/L_1L_2\sigma \\ -L_\mu R_2/L_1L_2\sigma & R_2/L_2\sigma + j\omega_2 \end{vmatrix}, \quad \mathbf{i} = \begin{vmatrix} i_1 \\ i_2 \end{vmatrix}, \quad \mathbf{i'} = \begin{vmatrix} 0 \\ i_2 \end{vmatrix},$$

$$\mathbf{KL} = \begin{vmatrix} R_1 + j\omega_1 L_1 & j\omega_1 L_\mu \\ j\omega_2 L_\mu & R_2 + j\omega_2 L_2 \end{vmatrix}, \quad \mathbf{L} = \begin{vmatrix} L_1 & L_\mu \\ L_\mu & L_2 \end{vmatrix}.$$

Здесь U_1, i_1, Ψ_1 – результирующие векторы соответственно напряжения, тока и потокосцепления статора;

i_2, Ψ_2 – результирующие векторы тока и потокосцепления ротора;

L_μ – индуктивность основного потока;

L_1, L_2 – полные индуктивности фаз статора и ротора;

$\sigma = (1 - L_\mu^2 / L_1L_2)$ – коэффициент рассеяния;

R_1, R_2 – активные сопротивления статора и ротора.

Структурная схема асинхронной машины (рис. 8.1) может быть представлена последовательным соединением двух звеньев.

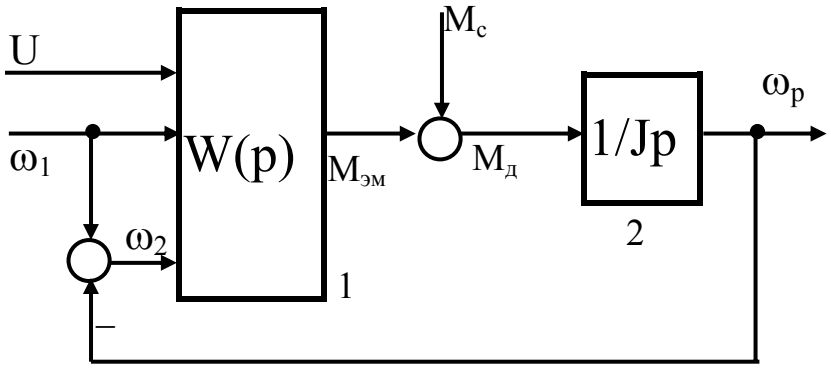


Рис. 8.1

Для получения передаточной функции первого звена структурной схемы необходимо линеализировать уравнения (8.1.1) – (8.1.4). При этом достаточно точные выражения могут быть получены только для малых изменений входных величин относительно стационарного состояния, а выражения стационарного режима определяются при $d\Psi/dt = 0$, $di/dt = 0$.

Введем относительную систему единиц [8.5], где за базовые величины приняты все параметры машины в двигательном режиме в номинальной точке. Под номинальной точкой понимаются номинальные значения: напряжение питания статора $U_{1н}$, частота питающего напряжения $f_{1н}$, частота вращения ротора $f_{2н}$ (абсолютное скольжение), электромагнитный момент $M_{эм}$ и т.д. В тех случаях, когда удобнее принять за базовое значение параметр машины в другом режиме, будут делаться соответствующие замечания.

Обозначим относительный параметр статора $a = R_1/X_{1H}$ и относительный параметр ротора $b = X_{2H}f_{2H}/R_2f_{1H}$, где X_{1H} – полное индуктивное сопротивление статора; X_{2H} – полное индуктивное сопротивление ротора.

Учитывая, что при симметричном питании и установившемся режиме пространственные векторы напряжений, токов и потокосцеплений статора и ротора образуют в синхронных осях систему неподвижных векторов, которые равны комплексным амплитудам соответствующих величин фазы "a" [8.10], и, совмещая вектор напряжения с действительной осью, на основании (8.1.3) получим значение тока статора

$$\dot{I}_1 = \frac{(1 + jf^*_2b)\, U_{1H}U^*_1}{X_{1H}[(a - \sigma bf^*_2f^*_1) + j(f^*_1 + abf^*_2)]}, \qquad (8.1.5)$$

или в показательной форме

$$\dot{I}_1 = \frac{U_{1H}U^*_1}{X_{1H}} \left| \frac{1 + jf^*_2b}{[(a - \sigma bf^*_2f^*_1)^2 + (f^*_1 + abf^*_2)^2]} \right|^{1/2} e^{j\varphi}, \qquad (8.1.5')$$

где $\varphi = \pi - \operatorname{arctg} \frac{K - H}{1 + KH}$ при $KH < -1;\ K > 0;$

$$\varphi = \operatorname{arctg} \frac{K - H}{1 + KH} \text{ при } KH > -1. \qquad K = f^*_2b\ ,\ H = \frac{f^*_1 + abf^*_2}{a - \sigma bf^*_2f^*_1},$$

Функция H имеет разрыв в точке $f^*_1 = a/\sigma bf_2$, где $H = \pm\infty$.

Из (8.1.5) определяется значение $\cos\varphi$ асинхронной машины при частотном управлении

$$\cos\varphi = \left| \frac{1 + KH}{[(1 + K^2)(1 + H^2)]^{1/2}} \right|. \qquad (8.1.6)$$

В точке разрыва функции H значение cosφ не зависит от частоты питающего напряжения:

$$\lim_{H \to \pm\infty} \cos\varphi = \left| \frac{K}{(1+K^2)^{1/2}} \right|,$$ а относительное значение тока статора

$$\dot{I}^*_1 = \frac{U^*_1 (1 + jf^*_2 b)\,[(a - \sigma b)+j(1 + ab)]}{(1+jb)[(a - \sigma bf^*_2 f^*_1)^2+j(f^*_1 + abf^*_2)^2]}. \qquad (8.1.7)$$

Аналогичным образом определяются значение намагничивающего тока и значение приведенного тока ротора:

$$\dot{I}_0 = \frac{U_{1H} U^*_1}{X_{1H}} \left| \frac{1 + f^{*2}_2 b^2 (1 - x_\mu / X_{2H})^2}{[(a - \sigma bf^*_2 f^*_1)^2 + (f^*_1 + abf^*_2)^2} \right|^{1/2} \times$$

$$\times e^{j \arccos \frac{1 + KH(1 - x_\mu / X_{2H})}{\{[1 + K^2 (1 - x_\mu / X_{2H})^2](1+H^2)\}^{1/2}}}, \qquad (8.1.8)$$

$$\dot{I}_1 = \frac{U_{1H} U^*_1 f^*_2 b\, x_\mu}{X_{1H}\, X_{2H} [(a - \sigma bf^*_2 f^*_1)^2 + (f^*_1 + abf^*_2)^2]^{1/2}} e^{j \arccos H/[1+H]^{1/2}}. \qquad (8.1.9)$$

Представляет интерес отношение полного тока статора к полному току намагничивающего контура, которое на основании (8.1.7) и (8.1.8) равно

$$\frac{I^*_1}{I^*_0} = \left| \frac{(1+f^{*2}_2 b^2)[1+b^2(1- x_\mu / X_{2H}]^2}{(1+b^2)[1+ f^{*2}_2 b^2 (1- x_\mu / X_{2H}]^2} \right|^{1/2}. \qquad (8.1.10)$$

Электромагнитный момент асинхронной машины можно записать как

$$M_{эм} = \frac{3p\, X_{2H} f^*_{2H} f_{2H} U^*_1 U_{1H} (1-\sigma)}{2\pi f^2_{1H} [(a - \sigma bf^*_2 f^*_1)^2+(f^*_1 + abf^*_2)^2] R_2 X_{2H}}. \qquad (8.1.11)$$

Относительное значение электромагнитного момента имеет вид

$$M^*_{эм} = \frac{U_1^{*2} \quad f^*_2 [(a - \sigma b)^2 + (1 + ab)^2]}{[(a - \sigma b f^*_2 f^*_1)^2 + (f^*_1 + ab f^*_2)^2]}. \qquad (8.1.12)$$

Выражения (8.1.3) и (8.1.4) позволяют получить относительное значение электромагнитного момента в зависимости от полного тока статора и абсолютного скольжения:

$$M^*_{эм} = \frac{I^{*2}_1 \, f^*_2 \, (1+b^2)}{(1+b^2 f^{*2}_2)}. \qquad (8.1.13)$$

Для работы асинхронной машины в двигательном режиме необходимо обеспечить частоту питающего напряжения выше частоты вращения ротора $f_1 = f_p + f_2$. В генераторном режиме частота вращения ротора должна быть выше частоты питающего напряжения $f_1 = f_p - f_2$. В генераторном режиме во всех выражениях (8.1.5) – (8.1.13) необходимо f^*_2 брать со знаком минус.

При равных значениях U^*_1, f^*_1, f^*_2 момент, развиваемый в генераторном режиме, больше момента двигательного режима, что определяется зависимостью

$$\frac{M_{эм.г}}{M_{эм.д}} = \frac{(a - \sigma b f^*_2 f^*_1)^2 + (f^*_1 + ab f^*_2)^2}{(a + \sigma b f^*_2 f^*_1)^2 + (f^*_1 - ab f^*_2)^2}. \qquad (8.1.14)$$

Из (8.1.12) при $dM_{эм}/dt = 0$ нетрудно найти критическое значение абсолютного скольжения, при котором электромагнитный момент максимален

$$f^*_{2\,кр} = \frac{f_{2\,кр}}{f_{2\,н}} = \frac{1}{b} \left| \frac{f^{*2}_1 + a^2}{a^2 + f^{*2}_1 \sigma^2} \right|^{1/2} = \frac{B_{кр}}{b}, \qquad (8.1.15)$$

где $B_{кр} = \left| \frac{f^{*2}_1 + a^2}{a^2 + f^{*2}_1 \sigma^2} \right|^{1/2}$ – (8.1.16)

критическое значение относительного параметра ротора при изменении частоты питающего асинхронную машину напряжения.

Из выражений (8.1.12), (8.1.16) относительное значение критического момента можно представить так:

$$M^*_{эм.кр} = \frac{M_{эм.кр}}{M_{эм.н}} = \frac{U_1^{*2} \, B_{кр} \, [(a - \sigma b)^2 + (1 + ab)^2]}{b \, [(a - \sigma B_{кр} \, f^*_1)^2 + (f^*_1 + a \, B_{кр})^2]}. \qquad (8.1.17)$$

В системах частотного регулирования асинхронной машиной широко используется понятие перегрузочной способности, что определяет положение рабочей точки машины на моментной характеристике.

На основании (8.1.12), (8.1.17) перегрузочная способность машины в любой точке при частотном управлении определяется следующим выражением:

$$N_{пер} = \frac{M_{эм.кр}}{M_{эм}} = \frac{B_{кр}\,[(a - \sigma b f^*_2 f^*_1)^2 + (f^*_1 + ab f^*_2)^2]}{b\,f^*_2[(a - \sigma B_{кр}\,f^*_1)^2 + (f^*_1 + a\,B_{кр})^2]}\,. \qquad (8.1.18)$$

Значение перегрузочной способности в номинальной точке, в которой $f^*_1=1$, $f^*_2=1$, на основании (8.1.18) определяется выражением

$$N_{пер.н} = \frac{M_{эм.кр}}{M_{эм.н}} = \frac{b_{кр}\,[(a - \sigma b)^2 + (1 + ab)^2]}{b\,[(a - \sigma\, b_{кр})^2 + (1 + a\,b_{кр})^2]}, \qquad (8.1.19)$$

где

$$b_{кр} = \left|\frac{1 + a^2}{a^2 + \sigma^2}\right|^{1/2}. \qquad (8.1.20)$$

8.2. Управление электромагнитным моментом при постоянной перегрузочной способности

Для того чтобы установить зависимость между частотой статора f^*_1 и абсолютным скольжением f^*_2 при управлении с постоянной перегрузочной способностью, равной номинальной, необходимо выражение (8.1.18) приравнять значению номинальной перегрузочной способности, тогда

$$f^{*2}_2 b^2 - 2\,f^*_2 b[M^*_{эм.кр.н} B_{кр} + \frac{f^*_1 a(1-\sigma)}{(a^2 + \sigma^2 f^*_1)}\,(M^*_{эм.кр.н} - 1)] + B_{кр}^2 = 0.$$

Решая это уравнение и обозначая

$$L = \frac{f^*_1 a(1 - \sigma)}{(a^2 + \sigma^2 f^*_1)}\,(M^*_{эм.кр.н} - 1), \qquad l = \frac{a(1-\sigma)}{(a^2 + \sigma^2)}\,(M^*_{эм.кр.н} - 1),$$

получаем

$$\begin{aligned} f^*_2 b &= (M^*_{эм.кр.н}\,B_{кр} + L) - [(M^*_{эм.кр.н}\,B_{кр} + L)^2 - B_{кр}]^{1/2}; \\ b &= (M^*_{эм.кр.н}\,b_{кр} + l) - [(M^*_{эм.кр.н}\,b_{кр} + l)^2 - b_{кр}]^{1/2}. \end{aligned} \qquad (8.2.1)$$

Выражения (8.2.1) показывают, каким образом необходимо изменять абсолютное скольжение в функции f^*_1 при работе с постоянной перегрузочной способностью, равной номинальной. Однако это условие недостаточно: необходимо изменять напряжение питания, которое определяется на основании (8.1.12) и (8.2.1) по следующему выражению:

$$U^*_1=M^{*1/2}_{эм}\ \left[\frac{b_{кр}[(a-\sigma f^*_1 B_{кр})^2+(f^*_1+a B_{кр})^2]}{B_{кр}[(a-\sigma b_{кр})^2+(1+a b_{кр})^2]}\right]^{1/2}. \qquad (8.2.2)$$

При a=0 эта зависимость обращается в "основной закон" М.П.Костенко: $U^*_1=M^{*1/2}_{эм}f^*_1$.

Изменение основного потока асинхронной машины может быть на основании (8.1.10) и (8.1.13) представлено в виде

$$\Phi^*_0 = M^{*1/2}_{эм}\left|\frac{[1+f^{*2}_2 b^2(1-x_\mu/X_{2H}]^2}{[f^*_2+f^*_2 b^2(1-x_\mu/X_{2H}]^2}\right|^{1/2}. \qquad (8.2.3)$$

Из этой зависимости следует, что управление с постоянной перегрузочной способностью должно сопровождаться не только изменением по определенному закону U^*_1, f^*_1, но и ограничивается насыщением стали машины.

8.3. Управление электромагнитным моментом при постоянном абсолютном скольжении

Из (8.1.13) следует, что при постоянном абсолютном скольжении f^*_2 и постоянном полном токе статора I^*_1 электромагнитный момент асинхронной машины $M^*_{эм}$ также постоянен и не зависит от частоты вращения ротора $f^*_р$. Такой способ управления с той или иной степенью достоверности рассматривался рядом авторов [8.11] – [8.15].

При постоянном абсолютном скольжении связь между напряжением питания U^*_1, полным током статора и основным магнитным потоком определяется на основании (8.1.10), (8.1.12), (8.1.13):

$$I^*_1 = \Phi^*_0 = U^*_1\left[\frac{(a-\sigma b)^2+(1+ab)^2}{[(a-\sigma f^*_1 b)^2+(f^*_1+a b)^2]}\right]^{1/2}. \qquad (8.3.1)$$

Анализ этого выражения для различных значений $M^*_{эм.кр.н}$ при $I^*_1=1$ дает практически прямую линейную зависимость между U^*_1 и f^*_1 с некоторым отклонением от линейности при малых значениях f^*_1.

Перегрузочная способность асинхронной машины, определяемая из (8.1.18), показывает, что при снижении частоты вращения происходит снижение коэффициента перегрузочной способности до 1, после чего совершается движение рабочей точки по "неустойчивой" части характеристики. Здесь понятие "неустойчивой" части характеристики не имеет особого значения, поскольку система с управлением абсолютным скольжением всегда устойчива.

Если в (8.3.1) положить a = 0, то при $I^*_1=1$ $U^*_1= f^*_1$, что соответствует "основному закону" частотного управления при $M^*_{эм}=1$.

Изменение cosφ при $f^*_2=1$, найденное по выражению (8.1.6) для различных значений $M^*_{эм.кр.н}$, показывает, что выбор номинальной точки с различным значением $M^*_{эм.кр.н}$ позволяет получить различный наклон кривой cosφ вблизи номинального значения f^*_1 вплоть до горизонтального участка кривой. Эта особенность управления при $f^*_2=1$ дает возможность заменить в некоторых случаях управление полным током машины управлением постоянным током в цепи источника питания инвертора напряжения, к которому подключена асинхронная машина, что реализуется значительно проще.

Регулируя f^*_2 и I^*_1, можно управлять моментом асинхронной машины во всем диапазоне частот вращения только в двигательном режиме работы. Применение генераторного режима для создания тормозного момента возможно в ограниченном диапазоне частот вращения. Поэтому, используя генераторный режим работы, необходимо при частоте $f^*_{p.min}$ для дальнейшего торможения автоматически перейти в режим противовключения, который при частоте $f^*p = 0$ должен будет переключиться в двигательный режим для смены направления вращения.

Работа с высоким КПД является главным требованием к любому электроприводу, что можно достигнуть системами адаптации – выбором для нашего случая определенных оптимальных соотношений, например между f^*_2 и I^*_1 для каждого значения $M^*=эм$ на любой частоте вращения. Такие системы отличаются значительной сложностью, и их применение не всегда оправдано.

Удовлетворительной работы системы управления в условиях изменения внутренних характеристик объекта регулирования, внешних воздействий и некоторой нестабильности ее параметров часто можно добиться без использования адаптации. Для этого необходимо синтезировать систему таким образом, чтобы даже при воздействии всех возмущающих факторов качество ее работы, например сохранение высокого КПД, не опускалось ниже допустимого уровня.

Подобные системы, рассматриваемые как определенная альтернатива адаптации, получили название робастных (robust – грубый, сильный) [8.16]. Эти системы не способны соперничать по качеству управления с адаптивными системами, которые могут оптимально перестраиваться вслед за изменением характеристик внешних воздействий. Однако в тех случаях, когда не требуется предельно высокое качество управления, существенное преимущество робастных систем, в простоте реализации, неоспоримо.

Синтез робастных систем автоматического управления может быть проведен на основе различных идей, методов и частных методик. Одним из таких подходов, по нашему мнению, является идея "обучения" конкретного электропривода работе и "зашивка" в память оптимальных, например для асинхронного двигателя, соотношений между f^*_2, I^*_1 и f^*_p для высокого КПД. Идея "обучения" электропривода была заимствована нами из робототехники, где она широко используется при выполнении роботом конкретной однообразной работы, а для нашего случая осуществляется на стендовых испытаниях, например асинхронного электропривода. При этом учитываются все физические параметры не только электрической машины, но и системы управле-

ния, а также способа регулирования выходного напряжения инвертора, питающего эту машину.

Взаимные соотношения между f_2 , I_1 и f_p могут быть изображены в многомерном цифровом пространстве, где в координатах I_1 и f_p выделяются области с одинаковыми значениями f_2, затем эти области соответствующим образом объединяются и нумеруются. Эта нумерация определяет номер ячейки памяти, где находится конкретное значение f_2, гарантирующее сохранение высокого КПД электропривода на любых частотах вращения и при любом значении нагрузки на валу электрической машины. При этом очевидно, что все значения f_2 , I_1 и f_p должны быть представлены на промежуточных этапах преобразования в цифровом виде, а выходное цифровое значение f_2 должно быть преобразовано непосредственно в частоту скольжения.

Число областей с одинаковыми значениями f_2 и форма этих областей определяют информационную емкость цифровых кодов I_1, f_p, а также равномерность их квантования.

Рассмотрим самый простой гипотетический вариант разбиения цифрового пространства I_1, f_p (рис. 8.2).

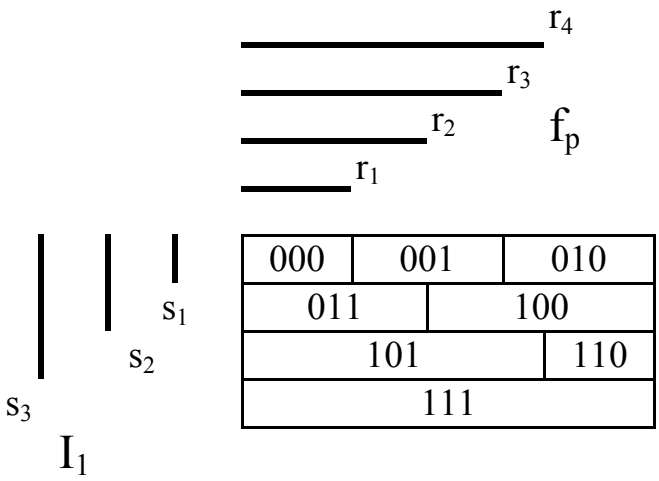


Рис. 8.2

Частота вращения ротора f_p содержит четыре сигнала $r_1 – r_4$, а ток статора – три сигнала s_1, s_2, s_3. Эти сигналы позволяют занумеровать восемь ячеек памяти, которые в двоичном коде представляются тремя сигналами:

$$a_0 = s_1\underline{r}_1 r_3 \vee \underline{s}_1 s_2 \vee \underline{s}_2 s_3 r_3 \vee \underline{s}_3 ;$$

$$a_1 = s_1\underline{r}_3 \vee \underline{s}_1 s_2\, r_2 \vee \underline{s}_2 s_3 \underline{r}_4 \vee \underline{s}_3 ;$$

$$a_3 = \underline{s}_1 s_2\, \underline{r}_2 \vee \underline{s}_2 .$$

В ячейках памяти с этими номерами хранятся восемь значений частоты абсолютного скольжения f_2.

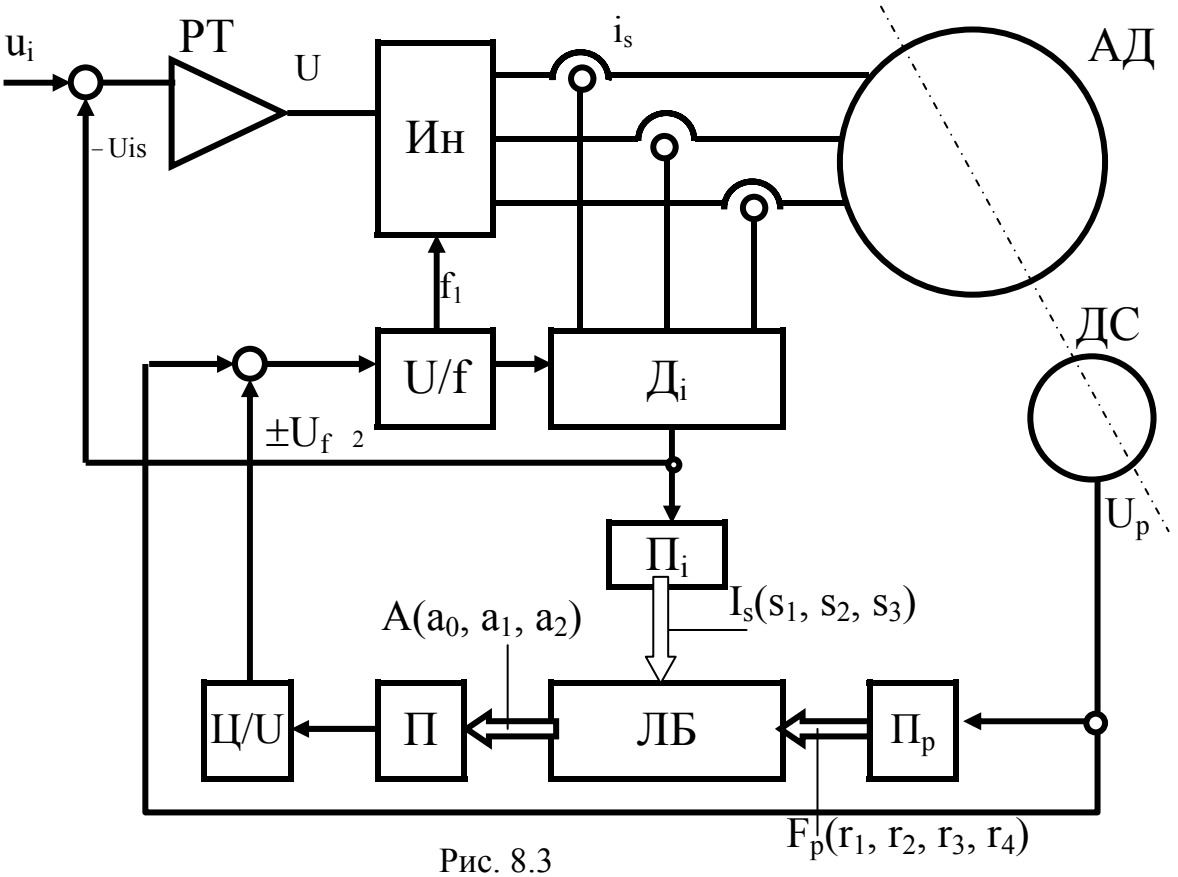


Рис. 8.3

Структурная схема асинхронного электропривода с таким управлением приведена на рис. 8.3. В схеме на валу электрической машины установлен датчик скорости ДС, который имеет выходной аналоговый сигнал напряжения U_p, пропорциональный частоте вращения ротора f_p. Пороговые устройства тока $П_i$ и скорости $П_p$ формируют сигналы $I_s(s_1, s_2, s_3)$, $F_p(r_1,\ldots,r_4)$, которые и определяют номера ячеек памяти П, задаваемые кодом А (a_0, a_1, a_2). В этих ячейках помещаются в цифровом виде значения абсолютного скольжения f_2. Преобразование этих значений в напряжение $\pm U_f$, сложение с напряжением U_p и преобразование в частоту f_1 определяют частоту выходного напряжения инвертора Ин, питающего асинхронную машину.

Полностью цифровой вариант выполнения управляющей части структурной схемы электропривода при использовании аналоговых датчиков скорости и тока будет отличаться от рассмотренной выше дополнительной установкой нескольких АЦП и ЦАП. При этом произойдет некоторое усложнение всей схемы электропривода. Однако это усложнение может быть оправдано тем, что та часть схемы, где осуществляются операции нумерации ячеек памяти и сложение цифровых эквивалентов частот ротора и статора, может быть выполнена более точно.

При замене управления полным током статора управлением постоянным током в цепи питания Ин в структурную схему электропривода будут внесены некоторые изменения, что отражено на рис. 8.4.

В этой схеме в качестве одного из возможных вариантов используется установленный на валу машины кодовый датчик КД, цифровые сигналы которого через сумматор **Σ** управляют переключением силовых элементов инвертора напряжения Ин, а величина этого напряжения, как и прежде, определяется выходным сигналом регулятора тока РТ.

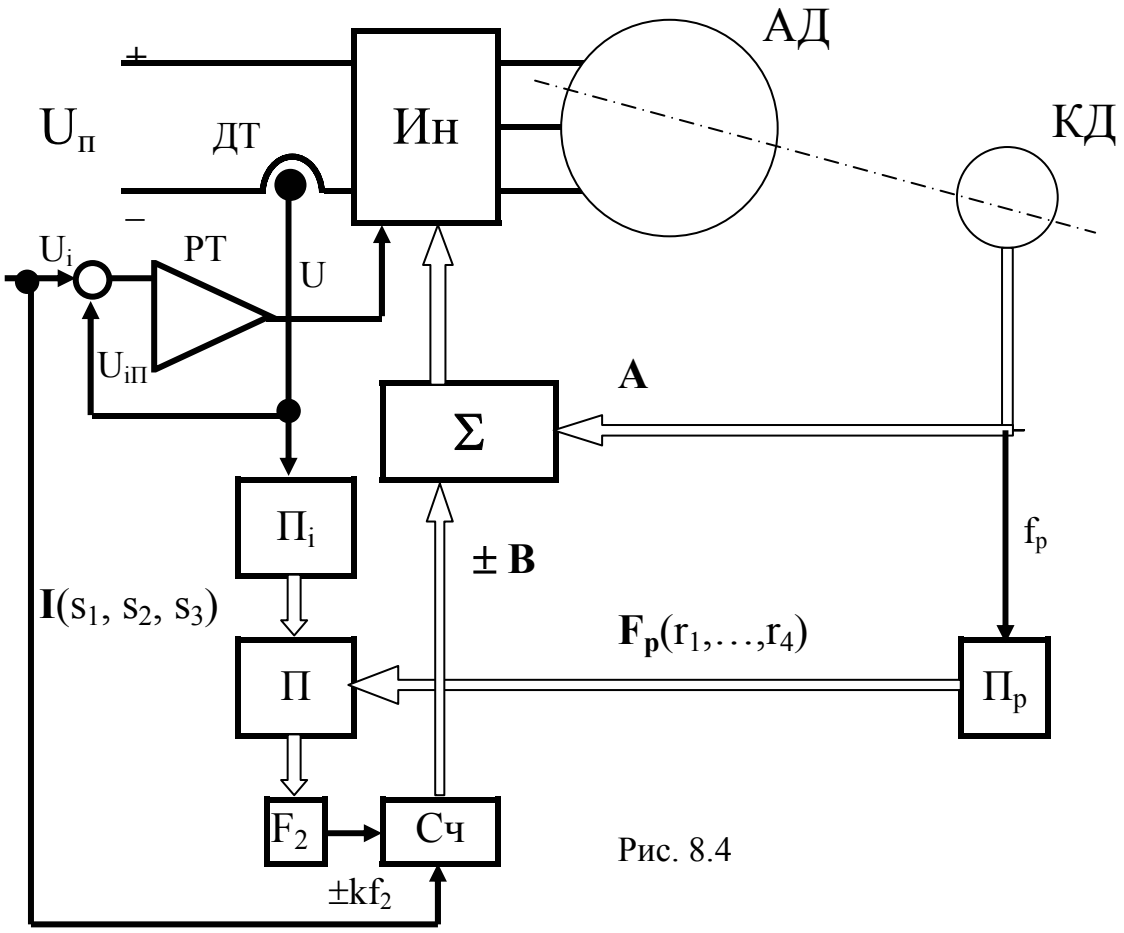


Рис. 8.4

Цифровой код, поступающий с блока памяти П, управляет частотой генератора импульсов F_2. Выходная частота этого генератора $\pm kf_2$ пропорциональна частоте абсолютного скольжения. Импульсы этой частоты подаются на вход реверсивного делителя-счетчика СЧ, информационная емкость которого равна информационной емкости кодового датчика. Выходной код этого делителя-счетчика суммируется с выходным сигналом кодового датчика **A**, а выходной сигнал сумматора **Σ** определяет частоту ($f_p \pm f_2$) и форму напряжения питания асинхронной машины.

Если в качестве кодового датчика использовать фазовращатель, то часть схемы, управляющей переключением силовых элементов инвертора, будет построена иначе. Это изменение структурной схемы электропривода показано на рис. 8.5.

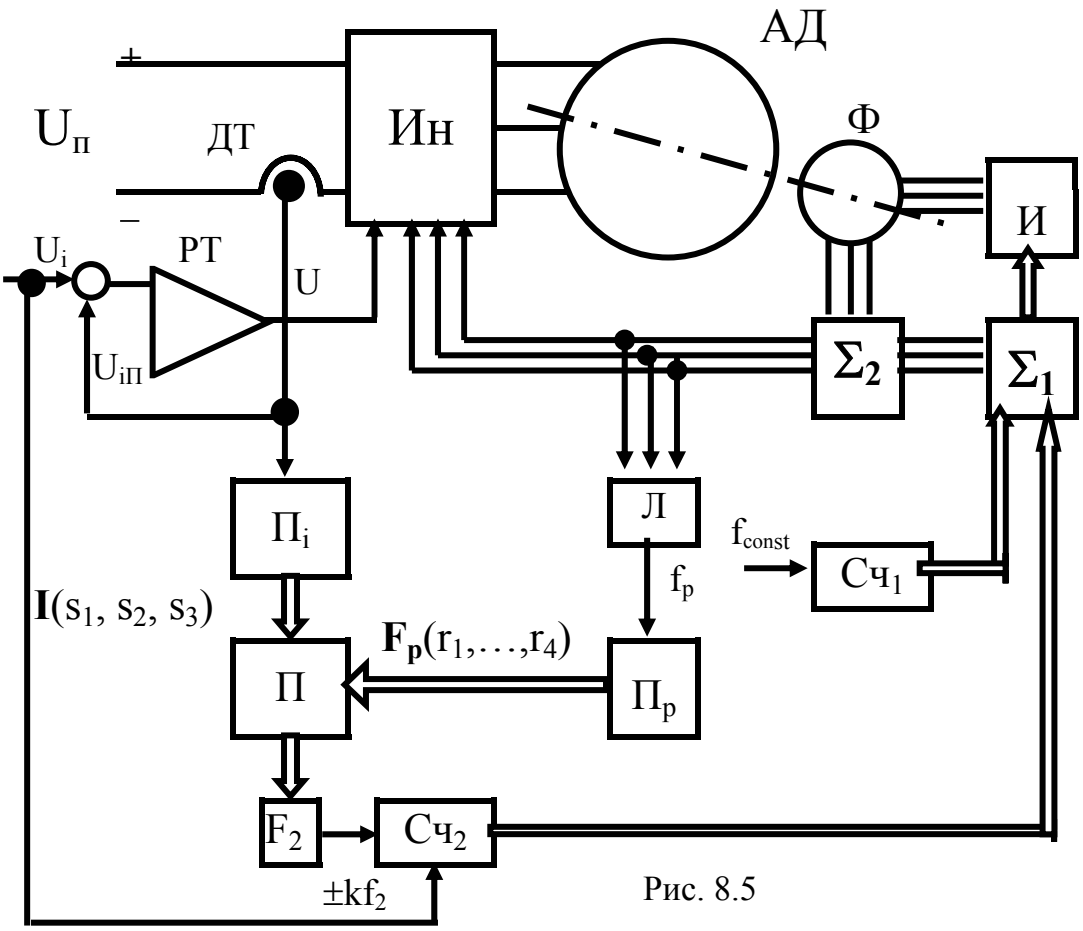


Рис. 8.5

Схема питания первичных обмоток фазовращателя включает делитель-счетчик $Сч_1$ высокочастотных импульсов стабильной частоты f_{const}, многоразрядный сумматор Σ_1, первый цифровой выход которого формируют напряжения питания фазовращателя, а второй цифровой выход старшего разряда, например в трехфазном коде, поступает на первый вход одноразрядного сумматора Σ_2. На второй вход этого сумматора поступают цифровые сигналы трехфазного кода, сформированные с выходных трехфазных обмоток фазовращателя. Выходные сигналы сумматора Σ_2 управляют переключением силовых элементов инвертора напряжения Ин по квазисинусоидальному закону ШИМ, а также поступают на входные шины логической схемы Л для получения сигнала частоты вращения ротора f_p.

В схеме имеется второй делитель-счетчик $Сч_2$, равный по информационной емкости первому делителю-счетчику $Сч_1$, но изменяющий направление счета входных импульсов по внешнем сигналу, чем обеспечивается двигательный или генераторный режим работы асинхронной машины. При этом выходной

сигнал сумматора Σ_2 определяет частоту ($f_p \pm f_2$) и форму напряжения питания асинхронной машины.

Основным достоинством представленных здесь структурных схем является возможность фактического учета всех нелинейностей в системах управления электропривода и асинхронной машины, а также изменения температуры ее обмоток. Для достижения последнего необходима установка датчика температуры, например терморезистора, вблизи статорных обмоток. Пороговые устройства, которые срабатывают от сигнала терморезистора, будут формировать определенные зоны, в пределах которых изменение сопротивлений обмоток не требует корректировки величины абсолютного скольжения. При переходе в следующую зону происходит включение следующего "листа " памяти в трехмерном цифровом пространстве сигналов $\mathbf{F_p}(r_1,\ldots,r_4)$, $\mathbf{I}(s_1, s_2, s_3)$, $\mathbf{T}(t_1,\ldots,t_k)$.

8.4. Управление электромагнитным моментом при постоянном относительном скольжении

С целью получения высокой стабильности электромагнитного момента в функции частоты вращения применительно для электропривода стабилизатора космического летательного аппарата в [8.26] была предложена и исследована схема асинхронного электропривода, осуществляющая управление при постоянном относительном скольжении. Применение такого способа управления позволяет свести зависимость электромагнитного момента асинхронной машины только от одного параметра тока I_1^* или напряжения U_1^*, так как относительное скольжение выдерживается в электроприводе с абсолютной точностью. При этом относительные значения частоты вращения ротора f_p^*, частоты напряжения питания f_1^* и абсолютного скольжения f_2^* связаны между собой равенством $f_p^*=f_2^*=f_1^*$.

При постоянных значениях напряжения питания $U_1^*=1$ либо тока статора $I_1^*=1$ на основании (8.1.12) и (8.1.13) относительное значение электромагнитного момента определяется зависимостями:

$$M^*_{эм} = \frac{f^*_p\,[(a-\sigma b)^2+(1+ab)^2]}{[(a-\sigma b f^{*2}_p)^2+f^{*2}_p(1+ab)^2]}; \qquad (8.4.1)$$

$$M^*_{эм} = \frac{f^*_p\,(1+b^2)}{(1+b^2 f^{*2}_p)}. \qquad (8.4.2)$$

Анализ этих выражений показывает возможность получения с необходимым наклоном стабильных зависимостей электромагнитного момента в функции частоты вращения электродвигателя. Причем характер их наклона в функции частоты вращения определяется выбором различных значений $M^*_{эм.кр.н}$.

Независимо от изменения напряжения питания либо тока статора cosφ определяется на основании (8.1.6), где

$$K = f^*_p b \ , \ H = \frac{(1 + ab)f^*_p}{a - \sigma b f^{*2}_p}$$

и наклон cosφ в функции частоты вращения также определяется выбором значения $M^*_{эм.кр.н}$.

Несложно показать, что выбором $M^*_{эм.кр.н}$ и заменой стабилизации полного тока статора более простой в техническом выполнении стабилизацией тока в цепи источника питания постоянного напряжения мостового инвертора, питающего асинхронную машину, можно получить требуемый по условиям применения наклон стабильной характеристики электромагнитного момента.

Для определения возможной зоны работы электропривода по насыщению машины изменение основного потока при $U_1^*=1$ либо при токе статора $I_1^*=1$ на основании (8.1.8), (8.1.10) приводят к виду

$$\Phi^*_0 = \left| \frac{[1 + f^{*2}_p b^2(1 - x_\mu / X_{2H})^2][(a - \sigma b)^2 + (1 + ab)^2]}{[(a - \sigma b f_p^{*2})^2 + (1 + ab)^2 f_p^{*2}][1 + b^2(1 - x_\mu / X_{2H})^2]} \right|^{1/2}; \quad (8.4.3)$$

$$\Phi^*_0 = \left| \frac{(1+b^2)[1+ f^{*2}_p b^2 (1- x_\mu / X_{2H})^2]}{(1+f^{*2}_p b^2)[1+b^2(1- x_\mu / X_{2H})^2]} \right|^{1/2}. \quad (8.4.4)$$

Перегрузочную способность машины при постоянном относительном скольжении находим на основании (8.1.18)

$$N_{пер} = \frac{M_{эм.кр}}{M_{эм}} = \frac{B_{кр}[(a - \sigma b f^{*2}_p)^2 + f^{*2}_p (1 + ab)^2]}{b f^*_p [(a - \sigma B_{кр} f^*_p)^2 + (f^*_p + a B_{кр})^2]}. \quad (8.4.5)$$

Необходимость сохранения определенного стабильного соотношения моментов тормозного и разгонного может оказать решающее влияние на выбор способа управления электромагнитным моментом гироскопического стабилизатора при постоянном относительном скольжении – стабилизацией напряжения питания либо стабилизацией тока.

На основании (8.1.14) при равных U_1^* и f_2^* для двигательного и генераторного режимов работы асинхронной машины отношение момента в генераторном режиме к двигательному моменту определяется следующей зависимостью:

$$\frac{M_{эм.г}}{M_{эм.д}} = \frac{(a - \sigma b f^{*2}_p)^2 + (1 + ab)^2 f^{*2}_p}{(a + \sigma b f^{*2}_p)^2 + (1 - ab)^2 f^{*2}_p}, \quad (8.4.6)$$

а при равных I_1^* и f_2^* – зависимостью

$$\frac{M_{эм.г}}{M_{эм.д}} = \frac{1+b^2 f^{*2}_{р}}{1- b^2 f^{*2}_{р}}. \qquad (8.4.7)$$

Анализ этих выражений показывает, что при стабилизации напряжения питания статора машины и $M^*_{эм.кр.н} > 1{,}5 - 2$ стабильность отношения $M_{эм.г} / M_{эм.д}$ сохраняется в достаточно широком диапазоне частот вращения. Этого нельзя сказать относительно стабилизации полного тока статора, где стабильность этого соотношения имеет место около значения $M^*_{эм.кр.н}=1$ и с увеличением запаса перегрузочной способности электромагнитный момент резко меняется в генераторном режиме с изменением частоты вращения.

8.5. Векторное управление электромагнитным моментом асинхронной машины

Векторное управление асинхронной машиной было предложено на волне критики существовавших частотных способов управления по качеству переходных процессов [8.17] – [8.19]. Оптимальное по быстродействию управление асинхронной машиной связано с изменением амплитуды, фазы и частоты векторов потокосцеплений и токов для получения максимального динамического момента. При этом качество регулирования системы векторного управления в основном зависит от быстродействия измерительных устройств, быстродействия и точности координатных преобразователей, а еще в большей степени адекватности математической модели асинхронной машины ее реальной действующей модели. При этом следует отметить, что до настоящего времени нет датчиков магнитного потока, полностью удовлетворяющих этим требованиям, как нет аналоговых вычислительных устройств, имеющих стабильные и высокие точностные данные, удовлетворяющие требованиям векторного управления и, тем более, учитывающие температурные изменения параметров асинхронной машины. Поэтому все технические решения [8.17] – [8.19], которые используют такие датчики поля и аналоговые вычислительные блоки, не имеют практического применения.

Создание больших интегральных схем БИС, быстродействующих процессоров, блоков памяти большой информационной емкости позволило значительно продвинуться в теории и практике систем с векторным управлением. Отказ от измерения магнитных потоков и замена потоков вычислительными операциями в функции токов и напряжений фаз [8.20] – [8.22] дали возможность получить высокие динамические характеристики электроприводов. При этом идет непрерывный поиск более простых технических решений, где, на-

пример, расчет сигналов отклонения параметров в контурах адаптации имеет попытку реализации без применения умножающих и делительных блоков [8.23], поскольку в самых современных вычислительных системах эти операции менее быстродействующие и выполняются в основном через операции суммирования и вычитания.

Рассмотренные в гл. 2 быстродействующие устройства умножения и деления снимают и эти ограничения.

Другим упрощением системы векторного управления асинхронным двигателем является замена трехфазного варианта ее выполнения на двухфазный [8.24], что позволяет не использовать в схемах управления координатные преобразователи из трехфазной системы в двухфазную и наоборот. Однако такое решение не может претендовать на широкое применение в промышленности, где в основном используются трехфазные асинхронные машины.

Основу классического векторного управления составляют рассчитанные в масштабе реального времени "мгновенные" значения токов в фазах машины, которые отслеживаются регуляторами тока. Следовательно, системы векторного управления не могут использовать инверторы напряжения, рассмотренные в гл. 4, где показана возможность получения оптимальных законов переключения силовых элементов, создающих необходимые формы выходного напряжения. В системах слежения токов их заданные значения и фактические всегда отличаются на величину статической и динамической ошибок регулирования. Поэтому задаваемый регулятором тока закон переключения силовых элементов мостового преобразователя электропривода далек от оптимального.

Известна попытка решить эту задачу [8.25] предложенным здесь методом ШИМ, основанным на предопределении формы траектории, которую описывает вектор тока статора в системе координат, связанной с ориентируемым потоком. При этом, как отмечается в данной публикации, высокие динамические характеристики и минимальная частота переключений в инверторе достигаются с помощью использования в памяти системы предварительно рассчитанных данных.

В [8.27] предложено векторно-фазовое управление моментом асинхронной машины, где не используются системы слежения за токами фаз статора, а выполняется слежение за фазами этих токов и потокосцеплениями обмоток фаз ротора в опорной системе координат, жестко связанной с валом электрической машины. Для этого на валу машины установлен кодовый датчик положения, цифровые сигналы которого и образуют эту опорную систему координат. Система управления не использует преобразование из трехфазной в двухфазную и наоборот, а также позволяет применять инверторы напряжения с цифровым формированием выходных напряжений, что положительно отличает ее от традиционного векторного управления.

При этом в системе реализуется способ управления, при котором измеряют частоту вращения ротора, суммируют с заданной частотой абсолютного сколь-

жения, формируют опорную систему координат для управления выходной частотой инвертора напряжения, измеряют токи фаз в статорной обмотке, сравнивают по фазам с эталонными сигналами фаз тока и регулируют напряжения питания электрической машины, обеспечивая этим заданное положение тока статора в опорной системе координат.

Дополнительно измеряют фазу потокосцепления ротора относительно опорной системы координат, формируют заданную фазу потокосцепления ротора в этой системе координат, сравнивают ее с измеряемой фазой потокосцепления и по этим результатам корректируют заданную величину абсолютного скольжения, стабилизируя тем самым фазу угла между током статора и потокосцеплением ротора.

Схема, реализующая представленный способ управления, имеет меньше блоков, чем традиционная реализация векторного управления, но затраты оборудования здесь все равно большие.

Во всех высокоточных системах частотного управления асинхронной машиной используется сигнал скорости выходного вала, и качество переходного процесса полностью зависит от его измерения. Малоинерционный тахогенератор с минимальными пульсациями выходного напряжения может уже служить гарантией высокого качества переходного процесса в системе. Инерционный канал измерения скорости не позволит при любом быстродействующем вычислительном устройстве получить в электроприводе высокие динамические показатели. Поэтому оценить достоверность той или иной публикации по качеству переходных процессов весьма сложно.

Из предыдущего подраздела следует, что использование цифровых значений сигналов частоты вращения ротора, фаз тока статора либо тока в цепи питания инвертора напряжения, а также сигнала датчика температуры обмоток статора позволяет гарантировать оптимальные по энергетике показатели асинхронного электропривода. Это достигается путем записи в ячейки памяти, номер которых определяется цифровыми значениями этих сигналов, тестовых испытаний конкретной электрической машины с выбранным законом переключения силовых элементов инвертора напряжения, питающего эту машину. Результатом таких тестовых испытаний является определение цифрового значения абсолютного скольжения асинхронного электродвигателя при любых возмущающих и управляющих воздействиях, обеспечивающего его работу при максимально возможном КПД.

При этом выбор формы напряжения питания электродвигателя, числа его фаз и способов регулирования напряжения определяется рядом таких специфичных требований, как, например, диапазон регулирования по частоте вращения, плавность вращения, вибро-шумовые показатели и т.д. Очевидно, что решить подобную задачу, опираясь только на создание и выполнение математической модели электропривода, которая учитывает все нелинейности системы, не представляется возможным, поскольку для практической реализации в этом

нет необходимости, а представленный здесь вариант “обучения” электропривода позволяет работать с предельно возможным КПД и учитывает при этом все нелинейности и изменяющиеся параметры системы.

* * *

Асинхронный электропривод использует гораздо больше цифровых устройств, чем электропривод постоянного тока. Цифровая часть асинхронного электропривода содержит инверторы и конверторы напряжений, в состав которых также могут входить различные арифметические устройства, управляемые делители частоты, логические блоки специального назначения и т.д., синтез которых с использованием теории многомерных цифровых множеств наиболее эффективен. Кроме того, адаптивная часть этого электропривода включает в себя использование памяти, в ячейки которой записываются оптимальные параметры регуляторов, зависимые от изменения внешних условий среды, нагрузки, частоты вращения и т.д. Эти зависимые параметры, получаемые испытанием конкретного электропривода на стендах, также могут быть представлены в многомерном цифровом пространстве, что позволяет оптимальным путем проводить синтез логического блока, реализующего требуемый для этого функционал. Практически во всех этих блоках могут быть использованы контролеспособные коды, в том числе многофазные, позволяющие обеспечить высокую надежность и контролеспособность асинхронных электроприводов.

Лишь истину познав, о правде говори!
Не знающий пути – не годен в главари.
Носир Хисроу

Мы любим все – и жар холодных чисел,
И дар божественных видений …
А. Блок

Глава 9

ЦИФРОВОЕ ЧАСТОТНО-ВЕКТОРНОЕ УПРАВЛЕНИЕ В ЭЛЕКТРОПРИВОДАХ С ВЕНТИЛЬНЫМ И СИНХРОННЫМ ЭЛЕКТРОДВИГАТЕЛЯМИ

9.1. Способы векторного управления вентильным электродвигателем

Под вентильным электроприводом будем понимать электропривод именно с вентильным двигателем, который иногда называют бесконтактным двигателем постоянного тока. В этом типе электродвигателей переключение обмоток фаз или секций производится от электронного коммутатора – инвертора напряжения, а в качестве электродвигателя может использоваться синхронная машина, например с возбуждением от постоянных магнитов, либо синхронно-реактивная машина.

Исторически складывалось два направления в создании бесконтактных (вентильных) двигателей постоянного тока и электроприводов на их основе. Первое из них развивалось в направлении создания полных аналогий двигателю постоянного тока, где полупроводниковый коммутатор целиком заменяет коллекторно-щеточный узел [9.1]. Эта аналогия следует из имеющейся позиционной обратной связи ротора по отношению к статору, управляющей процессом коммутации секций в этом и другом типе машин.

В коллекторной машине задачу позиционной обратной связи выполняет щеточно-коллекторный аппарат, а в аналогичной вентильной машине – датчик положения ротора по отношению к статору. При этом идеальное назначение позиционной обратной связи состоит в такой организации коммутационного процесса, когда при любом положении ротора на любой частоте вращения вектор поля магнита и вектор поля якоря (обмотки статора) составляют угол, приближающийся, например, при неявно выраженных полюсах магнита к прямому углу. Это соотношение между векторами является наилучшим и обеспечивает максимальное значение электромагнитного момента, возникающего на валу машины при взаимодействии полей статора и ротора.

Очевидно, что при малом числе секций поддержание на протяжении всего межкоммутационного периода угла между векторами полей статора и ротора на уровне $\pi/2$ невозможно. Это невыполнимо из-за конечного углового размера коллекторной пластины для коллекторных двигателей или большого углового расстояния между чувствительными соседними элементами датчика положения для вентильных двигателей.

Увеличение числа секций вентильного двигателя приводит к значительному усложнению его конструкции и неоправданному увеличению установленной мощности силовых элементов электронного коммутатора. Поэтому данное направление фактически прекратило свое существование.

Второе направление, которое в настоящее время успешно развивается, основано на зависимом частотном управлении синхронной машиной. При этом управление вентильным двигателем осуществляется главным образом векторным способом. Если управление асинхронной машиной с ориентированием потока существует с 70 – 80-х годов XX века, то существование соответствующей концепции управления для синхронной машины начинается с 40-х годов [9.2] – со времени использования тиратронов.

Классический способ векторного управления определяется двумя основными схемами: прямой и косвенной. В первой схеме управление вектором магнитного потока осуществляется в контуре обратной связи, содержащем датчики потоков машины и вычислители фазных токов. Во второй схеме косвенного векторного управления изменение магнитного потока осуществляется пересчетом на основе, например, измеренных токов и напряжений фаз машины с использованием магнитных постоянных. Причем это обычно реализуется с использованием уравнений в продольных и поперечных осях машины. При использовании трехфазной машины в схемах применяются прямой и обратный преобразователи координат по уравнениям Парка – Горева. Поэтому этот способ управления иногда называют трансвекторным.

Следует отметить, что использование прямой схемы управления затрудняется так же, как в асинхронном электроприводе, отсутствием необходимых высокоточных датчиков магнитного потока.

Бурное развитие микропроцессорной техники стимулировало интерес к косвенному векторному управлению вентильной машиной [9.3] – [9.6] и позволило, судя по этим публикациям, добиться неплохих показателей по КПД и качеству переходных процессов. Эти достижения возможны при больших аппаратурных затратах, мощном программном обеспечении и относятся к уникальным прецизионным системам регулирования с адаптацией к изменяющимся параметрам системы.

Вместе с тем следует отметить, что практически во всех публикациях предлагается использовать простую синхронную машину с неявно выраженными полюсами, а машина с явно выраженными полюсами и тем более синхронно-реактивная не вызвала должного внимания. Это объясняется в большей степени неадекватностью математических моделей этих машин физическим машинам. Да и в машинах с неявновыраженными полюсами не учитываются температур-

ные изменения обмоток статора и способы управления переключением силовых элементов инверторов.

В 70-х годах XX века в отечественной литературе [9.7] – [9.9], в которой критиковалось векторное управление, было предложено "частотно-токовое" управление электрическими машинами. Сущность этого управления, по мнению его авторов, заключается в формировании "мгновенных значений токов, а не напряжений в обмотках машины …", причем "величина тока задается в виде квадратурной суммы двух величин, одна из которых постоянна и равна намагничивающему току, а другая является переменной величиной и задается входным сигналом, пропорциональным требуемому моменту".

Во-первых, следует отметить неточность в этом определении: ток в индуктивном сопротивлении мгновенно изменить нельзя. Ток в индуктивности определяет запасенную энергию, а энергия скачком не меняется. Во-вторых, классическое векторное управление и предполагает вычисление и задание величины тока, обычно в виде квадратурной суммы двух величин на осях d, q, одна из которых может быть постоянной, а другая является переменной и определяется входным сигналом вычислительного устройства, пропорциональным требуемому моменту.

Следовательно, так называемое "частотно-токовое" управление является одним из вариантов векторного управления, где не используется, а, вернее сказать, заменяется вычислительное устройство задатчиком формы тока, "жестко привязанным" к валу машины. Такое техническое решение имеет определенное преимущество, которое характеризуется заменой сложного блока, каким является вычислительное устройство, более простым – задатчиком формы тока.

В зарубежной литературе широко используется такой способ управления [9.10] – [9.14], но он совершенно справедливо не называется "частотно-токовым", а векторным. Причем, если на валу машины установлен достаточно большой информационной емкости ЦПУ, то реализация эталонных многофазных сигналов любой формы тока, формируемой цифровым кодом, не представляет каких-либо сложностей [9.15]. Более того, здесь нет необходимости использовать промежуточные преобразователи координат, а все сигналы действуют в опорной, например, цифровой системе координат. Это следует отнести к достоинству такого принципа векторного управления.

Другим весьма важным и интересным направлением развития векторного управления вентильной машиной является построение системы без использования датчиков положения ротора [9.16] – [9.18]. Обычно понятие "регулируемый электропривод" связано с управлением скоростью и положением рабочего органа. При отсутствии датчиков скорости и положения, которые могут быть совмещены в одном приборе [9.19], построение регулируемого электропривода весьма проблематично. Следовательно, это направление развития векторного управления может быть использовано там, где нет необходимости в регулируемом электроприводе.

Представленные выше способы векторного управления, где в обмотки электрической машины задаются токи, значения которых определяются входным сигналом (требуемым моментом) и необходимым значением и положением векторов действительных либо вычисленных потоков, и при этом удовлетворяют требованиям, предъявляемым к сигналам симметричной многофазной системы, имеют недостаток, заключенный в последних строках этого определения. Выполнить требование симметрии мгновенных значений токов в многофазной системе при их независимом регулировании, когда изменение напряжения переложено на регуляторы тока, весьма сложно. Кроме того, при таком управлении не используются оптимальные по получению высокого КПД законы переключения силовых элементов инвертора напряжения, которые были рассмотрены в гл. 4 и 5.

Устранить эти недостатки стало возможным, используя иной способ управления вентильной машиной [9.20], который был назван нами цифровым частотно-векторным способом. Этот способ предполагает, что на валу машины установлен достаточно емкий ЦПУ. При этом вентильные машины с фотоимпульсными [9.21] – [9.23] и индукционными [9.24], [9.25] ЦПУ позволяют не только формировать симметричные оптимальные формы выходных напряжений инвертора, но и поворачивать эти напряжения относительно ротора по внешним цифровым сигналам.

Фактически положение вектора тока статора определяется в этом способе по трехфазным цифровым сигналам, которые формируются из токов в фазах машины. Способ предусматривает сравнение цифровых, например трехфазных, сигналов тока с аналогичными цифровыми сигналами трехфазного кода старшего разряда ЦПУ, которые определяют необходимое заданное угловое положение вектора тока статора.

В результате сравнения определяется знак угла рассогласования между действительным и заданным направлениями вектора тока статора и последующим разворотом вектора напряжения статора это рассогласование устраняется. Разворот вектора напряжения статора осуществляется через интегральный регулятор сложением цифровых циклических сигналов, формирующих трехфазные напряжения статора, с постоянным цифровым сигналом интегратора.

Таким образом, осуществляется угловая стабилизация вектора тока статора в синхронных координатах, которые в данном случае совпадают с координатами ротора, а электромагнитный момент машины будет пропорционален модулю вектора тока статора и определяется подводимым к обмоткам напряжением.

Цифровым частотно-векторным способом управления можно осуществлять необходимый сдвиг цифровых сигналов ЦПУ относительно ротора машины в статических и динамических режимах. Такой сдвиг эквивалентен изменению оси стабилизации вектора тока статора, что позволяет использовать в электроприводе не только синхронную машину, например с возбуждением от постоянных магнитов, но и технологически более простую синхронно-реактивную.

Для более детального рассмотрения этого метода необходимо обратиться к векторным диаграммам синхронного и синхронно-реактивного двигателей.

На рис. 9.1, *а* приведена векторная диаграмма вентильного двигателя с двухполюсной синхронной машиной, когда на всех частотах вращения угол между вектором потока ротора **Ф** и вектором тока статора **I** поддерживается равным 90 эл.град, а на рис. 9.1, *б* – векторная диаграмма с этим же двигателем, когда этот угол отличается от 90 эл.град, при этом угол между вектором напряжения статора **U** и тока **I** равен нулю (φ=0).

На рис. 9.2 приведена векторная диаграмма вентильного двигателя на примере двухполюсной синхронно-реактивной машины, когда угол между вектором тока статора **I** и продольной осью ротора поддерживается соотношением $\beta <$ 50 эл.град.

На рисунках показаны также цифровые циклические сигналы емкостью от 000 до 599, которые формируют трехфазные напряжения статора, например по синусоидальному закону ШИМ для положительного и отрицательного знака момента. При этом предполагается, что аналогичные сигналы ЦПУ располагаются на валу двигателя таким образом, что их старший трехфазный разряд, который определяет положение оси стабилизации тока статора, задает направление, например, по продольной оси ротора. Расположение сигналов ЦПУ относительно ротора показано на этих рисунках в правом верхнем углу.

Согласно способу управления вентильным двигателем, например с двухполюсной синхронной машиной, заключающемуся в стабилизации углового положения вектора тока статора относительно ротора, например по поперечной оси q (рис. 9.1, *а*), на нулевой частоте вращения векторы **U** и **I** совпадают по направлению с осью q. При этом направление вектора **U** по поперечной оси создается соответствующим сдвигом сигналов ЦПУ. Это достигается сложением этих сигналов с сигналом цифры 150. В результате электрический двигатель создает максимальный момент положительного направления (против часовой стрелки). При повышении частоты вращения возникает угол φ>0 между вектором напряжения **U** и тока **I** и, следовательно, рассогласование между трехфазными цифровыми сигналами тока и такими же сдвинутыми цифровыми сигналами ЦПУ.

В соответствии со знаком рассогласования интегральный регулятор начинает добавлять к сдвинутым цифровым сигналам ЦПУ последовательно возрастающие от нуля цифровые сигналы. Цифровые сигналы результата сложения при этом формируют трехфазные напряжения, поступающие для питания синхронного двигателя, что приводит к развороту вектора напряжения **U** по направлению вращения двигателя.

Суммирование и, следовательно, разворот вектора **U** осуществляются до тех пор, пока вектор тока **I** не займет направление по оси q, что создает максимальный момент двигателя на всех частотах вращения. На выходных шинах

интегрального регулятора при этом сохраняется цифровой сигнал, пропорциональный углу φ.

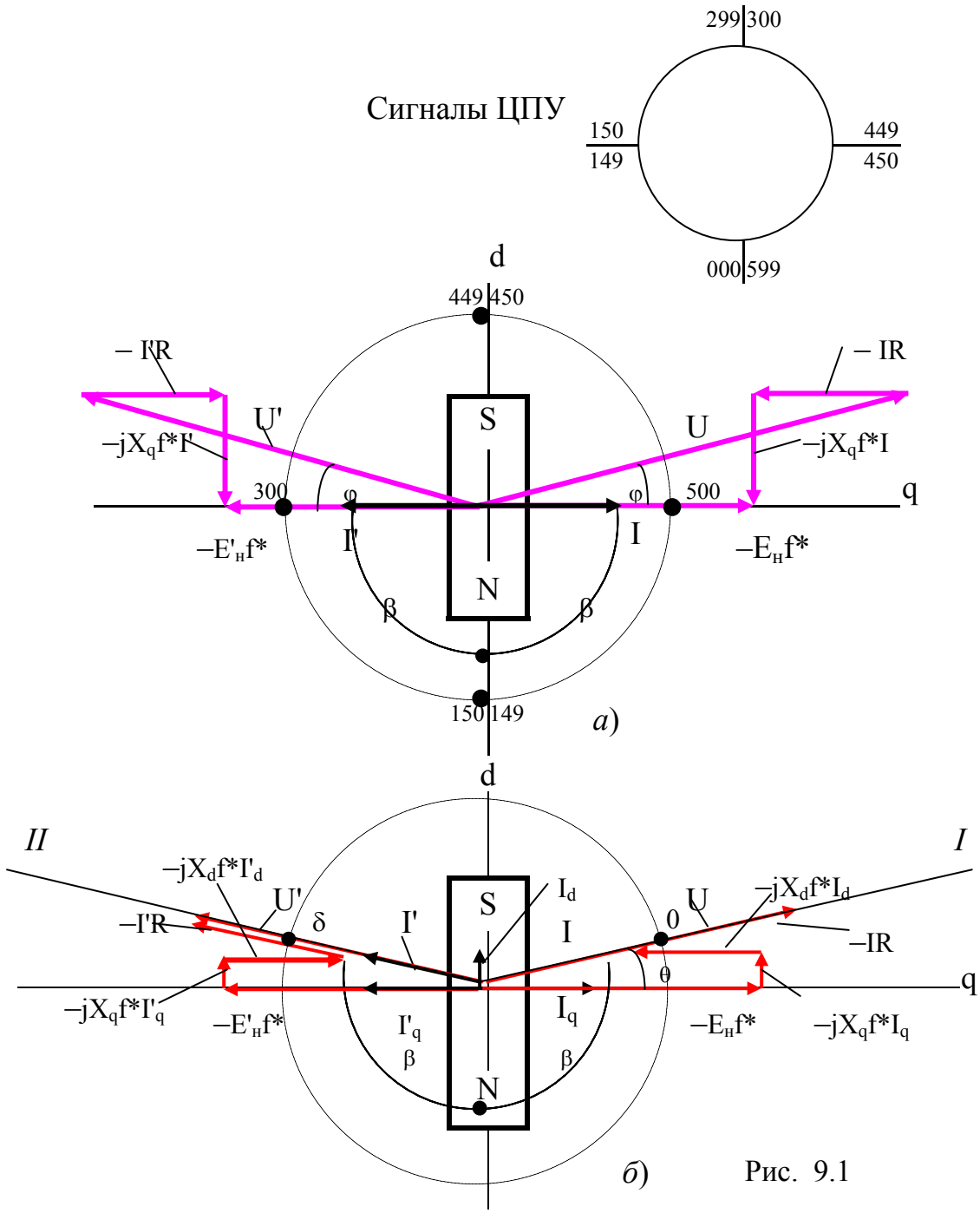


Рис. 9.1

Тогда уравнение равновесия имеет вид

$$U = E_н\, f^* + jX_q I f^* + IR, \qquad (9.1.1)$$

где $E_н$ – ЭДС двигателя на номинальной частоте вращения;

$f^* = f / f_н$ – относительное значение частоты вращения;

R – сопротивление статорной обмотки;

$X_q = X_{aq} + X_1$ – индуктивное сопротивление машины по поперечной оси;

X_{aq} – индуктивное сопротивление реакции якоря по поперечной оси;

X_1 – сопротивление рассеяния.

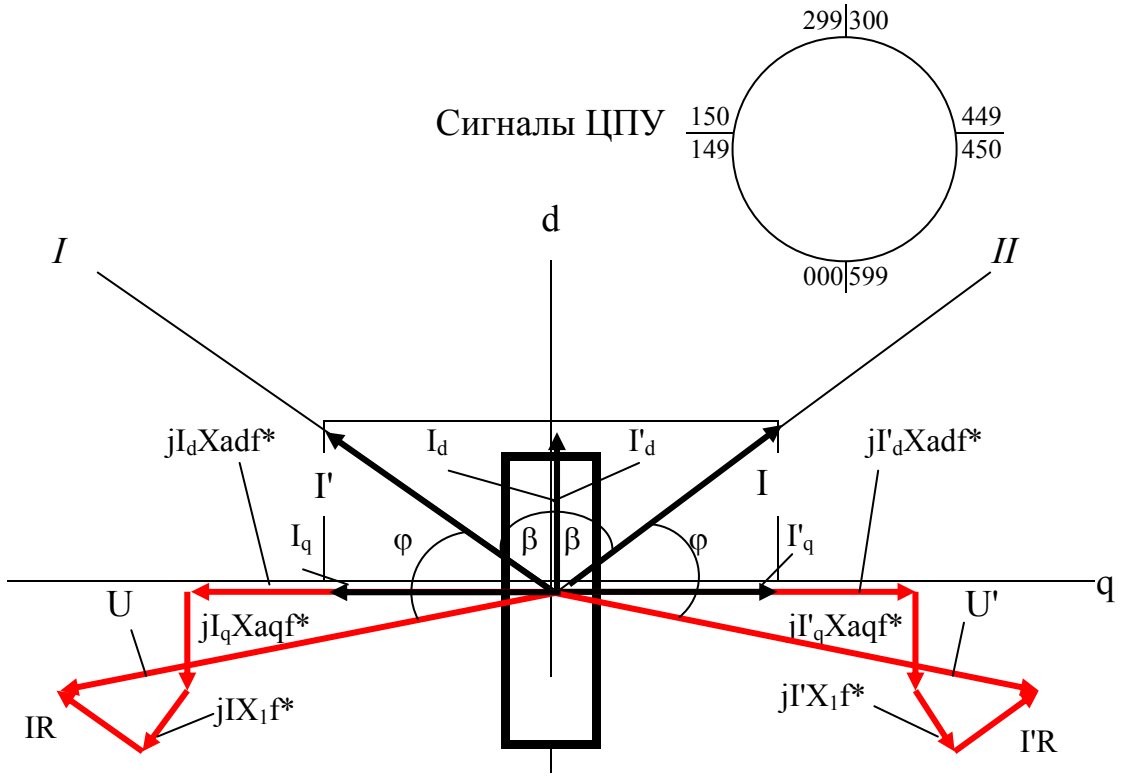


Рис. 9.2

Для смены знака момента и соответственно направления вращения двигателя оси стабилизации тока статора изменяются от положительного направления по поперечной оси к отрицательному. Для быстрой смены положения оси стабилизации тока статора необходимо осуществить замену сложения цифровых сигналов ЦПУ с сигналом цифры 150 на цифру 450. Здесь возможен также последовательный с заданной степенью интенсивности переход от цифры 150 к цифре 450, когда осуществляется смена этих сигналов, например по порядку 150 → 000 → 450. Такой разворот оси стабилизации тока статора обеспечивает продольную составляющую тока статора по направлению намагничивания ротора. Выбор того или иного варианта разворота оси стабилизации тока статора определяется конкретными задачами электропривода и выполнением его структурной схемы.

При смене направления вращения двигателя, когда сигналы ЦПУ изменяются в обратном направлении (от 599 до 000), цифровое выражение угла φ будет выдаваться в обратном коде и его добавление к цифровым сигналам ЦПУ обеспечивает так же, как при прямом направлении вращения, разворот вектора напряжения **U** по направлению вращения. При этом вектор **I** будет направлен по отрицательному значению поперечной оси q , что создает максимальный момент двигателя на всех частотах вращения.

Использование настоящего способа управления применительно к вентильному двигателю с явновыраженными полюсами магнитов ротора, когда оптимальная стабилизация углового положения вектора тока статора должна выполняться не под прямым углом к продольной оси, а под несколько большим

[9.26], как представлено на рис. 9.1,*б*, не отличается от описанного выше. В этом случае разворот оси стабилизации тока статора для прямого направления вращения по оси I для обратного направления вращения по оси II реализуется согласно способу управления путем, например последовательного суммирования к сигналам ЦПУ цифр по следующему порядку: 170 → 000 → 450.

Согласно способу управления двигателем, например, с двухполюсной синхронно-реактивной машиной, заключающемуся в стабилизации углового положения вектора тока статора относительно ротора по направлению I под углом β к продольной оси (рис. 9.2), на нулевой частоте вращения векторы **U** и **I** совпадают по направлению, и двигатель создает момент положительного знака. При повышении частоты вращения возникает угол φ между векторами **U** и **I**. Измеренное цифровое значение этого угла добавляется к цифровым циклическим сигналам, и цифровые сигналы результата сложения формируют трехфазные напряжения, подаваемые на питание синхронно-реактивного двигателя. Тем самым производится разворот вектора **U** навстречу направлению вращения двигателя, а вектор тока **I** остается всегда направленным под углом β к оси d.

Уравнение равновесия при этом примет вид

$$U = IR + jX_d I_d f^* + jX_q I_q f^*, \qquad (9.1.2)$$

Для смены знака момента и направления движения изменяется положение оси стабилизации тока статора (поворот оси I по часовой стрелке до положения II) против направления движения путем, например, последовательного суммирования к сигналам ЦПУ цифр по порядку 050 → 000 → 550, когда вектор тока статора установится по оси II, и т.д.

Все это в равной мере относится и к двигателю с большим числом пар полюсов.

Подводя итог анализу цифрового частотно-векторного способа управления, можно сформулировать последовательность его действий:

1. Задание синусоидальных либо квазисинусоидальных многофазных напряжений питания вентильного электродвигателя от циклически повторяющихся цифровых сигналов.

2. Формирование из токов фаз электродвигателя цифровых сигналов многофазного кода.

3. Сравнение цифровых многофазных сигналов тока с многофазными сигналами ЦПУ, установленного на валу вентильного электродвигателя.

4. Фиксация знака этого рассогласования и исключение рассогласования посредством соответствующего сдвига циклических сигналов ЦПУ, которые формируют многофазные напряжения инвертора.

5. Сдвиг сигналов ЦПУ относительно ротора в статических и динамических режимах, что определяет получение оптимальных энергетических или динамических характеристик электропривода.

Иными словами, цифровой частотно-векторный способ управления задает угловую стабилизацию вектора тока статора относительно оси ротора и позво-

ляет разворачивать эту ось в любое необходимое для обеспечения оптимальных параметров электропривода положение.

Дальнейшим развитием этого способа управления является отказ от слежения за угловым положением вектора тока, а непосредственное задание углового положения вектора напряжений статора в зависимости от угла φ нагрузки инвертора либо от частоты вращения или одновременно от частоты вращения, абсолютного значения тока статора и даже температуры его обмоток. Схема стабилизации оси вектора тока статора путем измерения угла φ между векторами **U** и **I** с последующим поворотом вектора **U** на этот угол приведена на рис. 9.3.

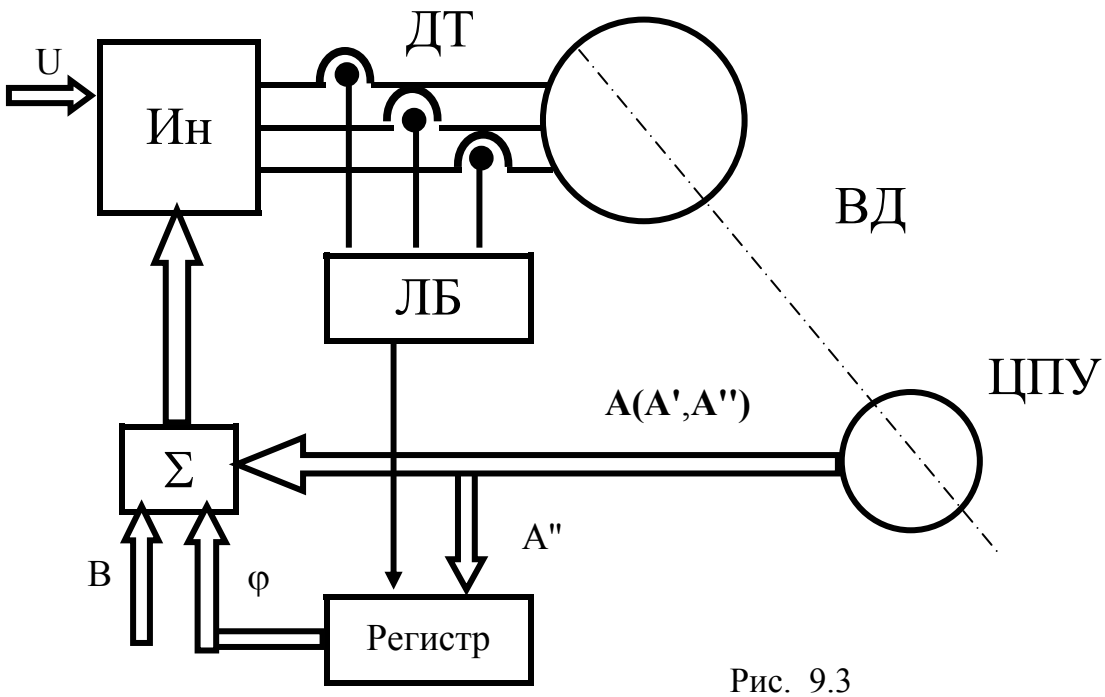


Рис. 9.3

В этой схеме при измерении угла φ используется модернизированный метод "бегущей стробирующей метки", который был предложен нами при обработке сигналов фазовращателей и рассмотрен в разд. 5.2. Использование здесь этого метода возможно благодаря тому, что сигналы ЦПУ жестко связаны с многофазными напряжениями вектора **U**.

Сигналы токов фаз электродвигателя, снимаемые с выходов датчиков тока ДТ, преобразуются в сигналы трехфазного кода, которые при смене каждой эквивалентной цифре передают цифровые сигналы A" младших разрядов ЦПУ в регистр. Выходные сигналы двухвходового сумматора Σ, где осуществляется сложение сигналов ЦПУ, регистра и входного, например, трехфазного кода B определяют выходные трехфазные напряжения инвертора и, следовательно, положение оси вектора **U**.

Изменение знака момента и направления вращения электродвигателя достигается изменением кода B на втором входе сумматора, младшие разряды которого поступают с выходных шин регистра.

При изменении частоты вращения электродвигателя происходит изменение угла φ между векторами **U** и **I**, а соответствующий этому поворот вектора **U** в направлении вращения на этот угол гарантирует стабилизацию вектора тока относительно магнитного потока ротора.

В этом варианте построения схемы электропривода нет оптимизации с целью получения максимального КПД, углового положения вектора тока в функции других параметров системы и учета ее нелинейностей, но простота реализации может стать определяющей при его выборе.

Вариант построения системы управления электропривода, где непосредственное задание углового положения вектора напряжений статора зависит одновременно от частоты вращения, абсолютного значения тока статора и даже температуры его обмоток, не только исключает статическую и динамическую погрешности регулирования углового положения вектора тока, но и позволяет учесть все нелинейности электрической машины независимо от конструкции ротора (явнополюсное либо неявнополюсное, установлены ли магниты ротора на поверхности ротора либо "утоплены) и нелинейности системы формирования выходных напряжений инвертора.

Из рассмотренных выше этапов цифрового частотно-векторного управления здесь остаются только первый и пятый, что упрощает систему управления электропривода.

9.2. Цифровое частотно-векторное управление с памятью зависимых параметров вентильного двигателя

Общеизвестно, что большое разнообразие объектов и их требований к электроприводу (диапазон, точность и плавность регулирования частоты вращения, номинальные значения параметров, способы защиты и управления и т.д.) мешает получить полностью универсальное решение построения системы электропривода. Тем не менее цифровое частотно-векторное управление с памятью зависимых параметров позволяет говорить об универсальности структуры вентильного электропривода с этим способом управления.

Для доказательства универсальности структуры вентильного электропривода, использующего цифровой частотно-векторный способ управления, обратимся, например, к теоретическим выкладкам [9.27] классического векторного управления вентильным двигателем с возбуждением от постоянных магнитов, где используется весьма упрощенный подход, связанный с допустимостью работы электропривода только на сверхнизких частотах вращения и гладкой форме токов в фазах. Хотя эти допущения далеки от условий реальных электроприводов (не учитывают потери в стали при повышенных частотах враще-

ния, форму выходного напряжения инверторов), но с их помощью можно оценить сложность задачи векторного управления при оптимизации законов изменения токов фаз электрической машины.

Электромагнитный момент обобщенной электрической машины, которая имеет явнополюсный ротор, создает синусоидальную волну магнитной индукции в зазоре, определяемой равенством

$$M_{эм} = p[i_q \Psi_m + (L_d - L_q) i_d i_q], \qquad (9.2.1)$$

где i_d, i_q – токи продольной и поперечной фаз обобщенной машины; L_d , L_q – индуктивности фазы соответственно по продольной и поперечной оси; Ψ_m – максимальное потокосцепление фазы с магнитным потоком индуктора; p – число пар полюсов реальной электрической машины.

Мощность электрических потерь в обмотках обобщенной машины

$$p = R(i_d^2 + i_q^2). \qquad (9.2.2)$$

Токи i_d, i_q , минимизирующие мощность потерь (9.2.2) при условии получения требуемого электромагнитного момента (9.2.1), представленные в [9.27], удовлетворяют равенствам:

$$\theta = \arcsin \frac{2(L_d - L_q) I_m}{\Psi_m + [\Psi_m^2 + 8(L_d - L_q)^2 I_m^2]^{1/2}}; \qquad (9.2.3)$$

$$M_э = \frac{\Psi_m + [\Psi_m^2 + 4(L_d - L_q)^2 i_q^2]^{1/2}}{2} i_q^2 p ; \qquad (9.2.4)$$

$$\mathrm{tg}\theta = \frac{i_d}{i_q} = \frac{2(L_d - L_q) i_q}{\Psi_m + [\Psi_m^2 + 4(L_d - L_q)^2 i_q^2]^{1/2}}, \qquad (9.2.5)$$

где θ – угол между осью ЭДС статора и поперечной осью ротора; I_m – амплитуда системы токов статора.

Токи статора обобщенной электрической машины и действительные токи m-фазной обмотки связаны соотношениями:

$$i_d = \sum_{k=1}^{m} i_k \cos[\alpha - (k - 1)2\pi/m]; \qquad (9.2.6)$$

$$i_q = -\sum_{k=1}^{m} i_k \sin[\alpha - (k - 1)2\pi/m]. \qquad (9.2.7)$$

Минимум электрических потерь в m-фазной обмотке при условиях (9.2.6), (9.2.7) достигается здесь при токах

$$i_k = -(2/m) I_m \sin[\alpha - \theta - (k - 1)2\pi/m],$$

а оптимальные значения токов вычисляются согласно выражению

$$i_k=-(2/m)i_q\sin[\alpha-(k-1)2\pi/m] + (2/m)tg\theta i_q \cos[\alpha-(k-1)2\pi/m]. \qquad (9.2.8)$$

Зависимости (9.2.4), (9.2.5) не дают явных аналитических выражений для i_q и $tg\theta$, как функций от Мэ, и для построения функциональных преобразователей необходимо задаваться произвольными значениями тока i_q и вычислять соответствующие значения Мэ и $tg\theta$. На основании таких вычислений строятся зависимости $i_q=f(Мэ)$ и $tg\theta=f(Мэ)$. Эти нелинейные зависимости усложняются [9.27] при несинусоидальном распределении магнитной индукции в воздушном зазоре, что обычно имеет место и более целесообразно для повышения КПД вентильного электродвигателя [9.28]. Неадекватность представленной математической модели электрической машине, в основу которой положен метод основной гармоники, реальной машине очевидна.

Метод основной гармоники, который в течение долгих лет был монопольным, предполагает синусоидальную форму кривой переменного напряжения и соответственно синусоидальную форму кривой ЭДС и тока в электродвигателе. Этот метод позволяет использовать хорошо разработанную теорию и методологию исследований, а также расчетные соотношения теории электрических машин. Метод позволяет получить правильное качественное описание характеристик и свойств электрической машины и электропривода в целом, но в количественном отношении не всегда дает точный результат, поскольку не учитывает вызванных применением режимов работы реальных инверторов напряжений электроприводов, когда форма кривой переменного напряжения и ЭДС отличается от синусоидальной формы.

Вместе с тем достоинства этого метода настолько очевидны, что без него невозможно обойтись даже при использовании более точного метода реальной кривой, а при описании качественной картины процесса регулирования этот метод с учебной точки зрения просто незаменим. Именно метод основной гармоники был использован нами для представления цифрового частотно-векторного способа управления вентильным электродвигателем.

Метод реальной кривой учитывает действительную форму кривых напряжений, ЭДС и токов и по сравнению с предыдущим методом отличается большой расчетной точностью. Метод описывает поведение инвертора в электроприводе, как системы с периодически перестраиваемой структурой при переключении его силовых ключей. При этом для каждой структуры составляются системы интегро-дифференциальных уравнений, которые приводятся к дифференциальным уравнениям высокого порядка. Решение полученного уравнения для каждого состояния выполняется с применением "припасовывания" граничных условий, соответствующих моментам перестройки схемной структуры, где, помимо граничных условий, необходимо также определить начальные значения производных высших порядков.

Упомянутый выше метод реальной кривой позволяет отказаться от допущений о синусоидальной форме кривой переменных напряжений, ЭДС и тока, а

также идеально сглаженном постоянном токе (напряжении) в питающих шинах инвертора напряжений.

Сложность решения дифференциальных уравнений высокого порядка в том, что преодоление ее во многом зависит от интуиции. Поэтому понятно стремление многих исследователей разработать достаточно универсальную методику расчета для анализа электромагнитных процессов в преобразовательных системах, какими являются системы электропривода.

Однако эти стремления часто не реализуются либо вследствие сложности аналитических выражений, что исключает их решение в режиме реального времени даже при современной вычислительной технике, либо вследствие недостаточной определенности исходных данных (потоков магнитов, реакции якоря, динамических свойств силовых ключей и других элементов схем).

Альтернативой представленным выше методам является сочетание физического и математического моделирования, в основном цифрового.

Теперь приступим к синтезу структурной схемы вентильного электропривода, замкнутого по скорости, где используется цифровой частотно-векторный способ управления. Этот синтез представляет собой именно сочетание физического и математического моделирования, когда экспериментальные результаты исследований, учитывающие все особенности конструкции электрических машин и схемных решений, определенным образом оптимизированные, служат основой построения фигур многомерного цифрового пространства.

Эти фигуры запоминаются в многомерной памяти цифрового управляющего устройства и определяют характер статических и динамических режимов поведения электропривода.

На рис. 9.4 приведена структурная схема электропривода подчиненного регулирования с контуром тока, подчиненным контуру скорости.

В схеме имеется регулятор тока W_i, регулятор скорости W_v и трехфазный инвертор напряжения Ин с цифровым формированием его выходных напряжений по сигналам кода С. Инвертор питает синхронный электродвигатель СД, в фазах которого установлены датчики тока ДТ. В качестве синхронного электродвигателя может быть использована машина с постоянными магнитами любой известной конструкции либо синхронно-реактивная машина. На валу электродвигателя устанавливаются ЦПУ с выходным кодом **А**, например информационной емкостью от 000 до 599, и аналоговый бесконтактный тахогенератор ТГ.

Принципиально ЦПУ может выполнять и функции тахогенератора при соответствующей обработке его выходных сигналов либо быть совмещенным с бесконтактным тахогенератором постоянного тока, как предложено нами в [9.19], но здесь будем рассматривать только традиционный вариант построения электропривода с двумя отдельными приборами, где аналоговый сигнал скорости U_v формируется тахогенератором.

Цифровой код **А** поступает через двухвходовой сумматор **Σ** на входные шины инвертора напряжения. Соединение выходных шин ЦПУ, ТГ, схемы обобщенного сигнала датчиков тока $Д_i$, входной шины сигнала задания скорости $U_з$

с остальными элементами электропривода соответствует общеизвестному варианту построения системы подчиненного регулирования.

Остановимся на той части структурной схемы, которая придает электроприводу новое качество и позволяет получить на любой частоте вращения, при изменении нагрузки на валу машины и температуры ее обмоток, максимально достижимый КПД.

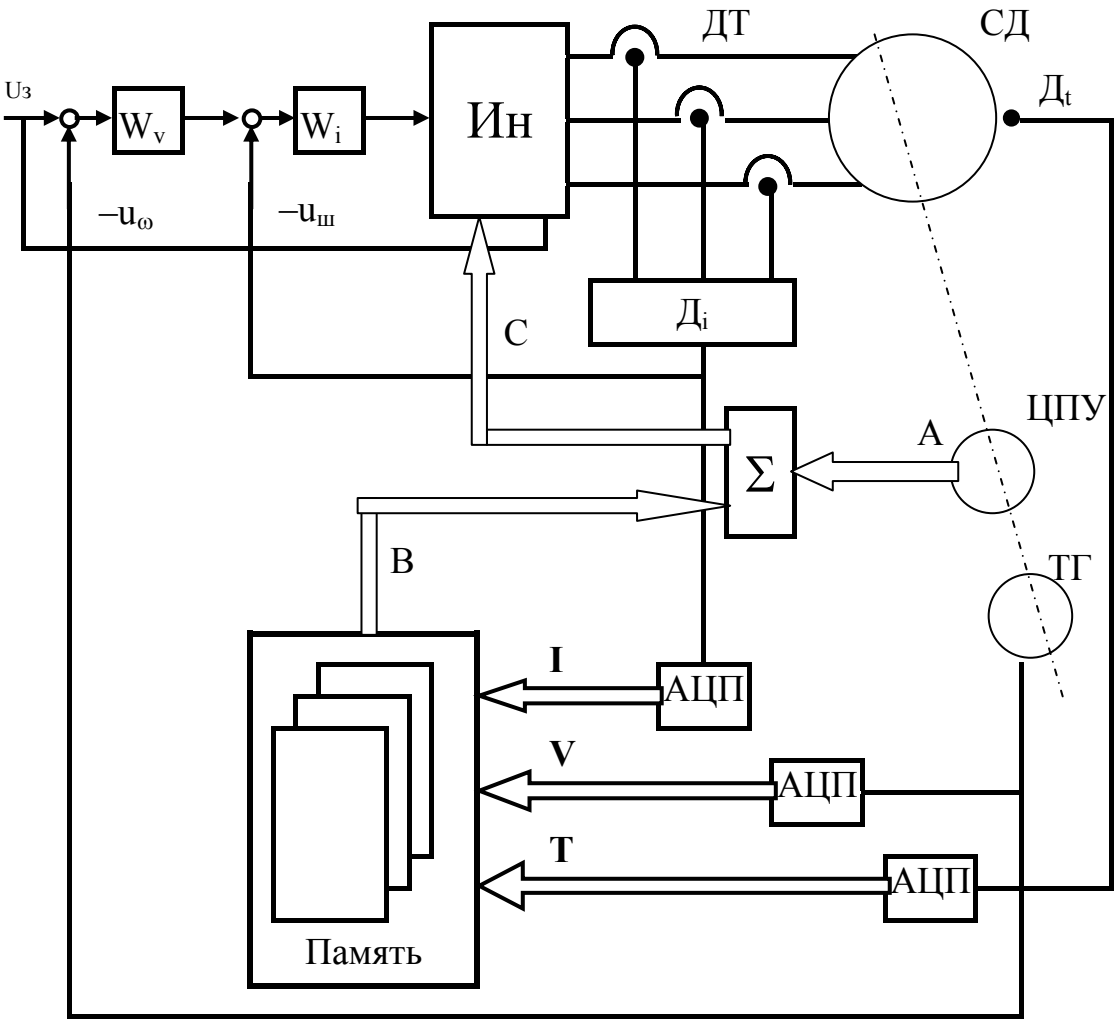
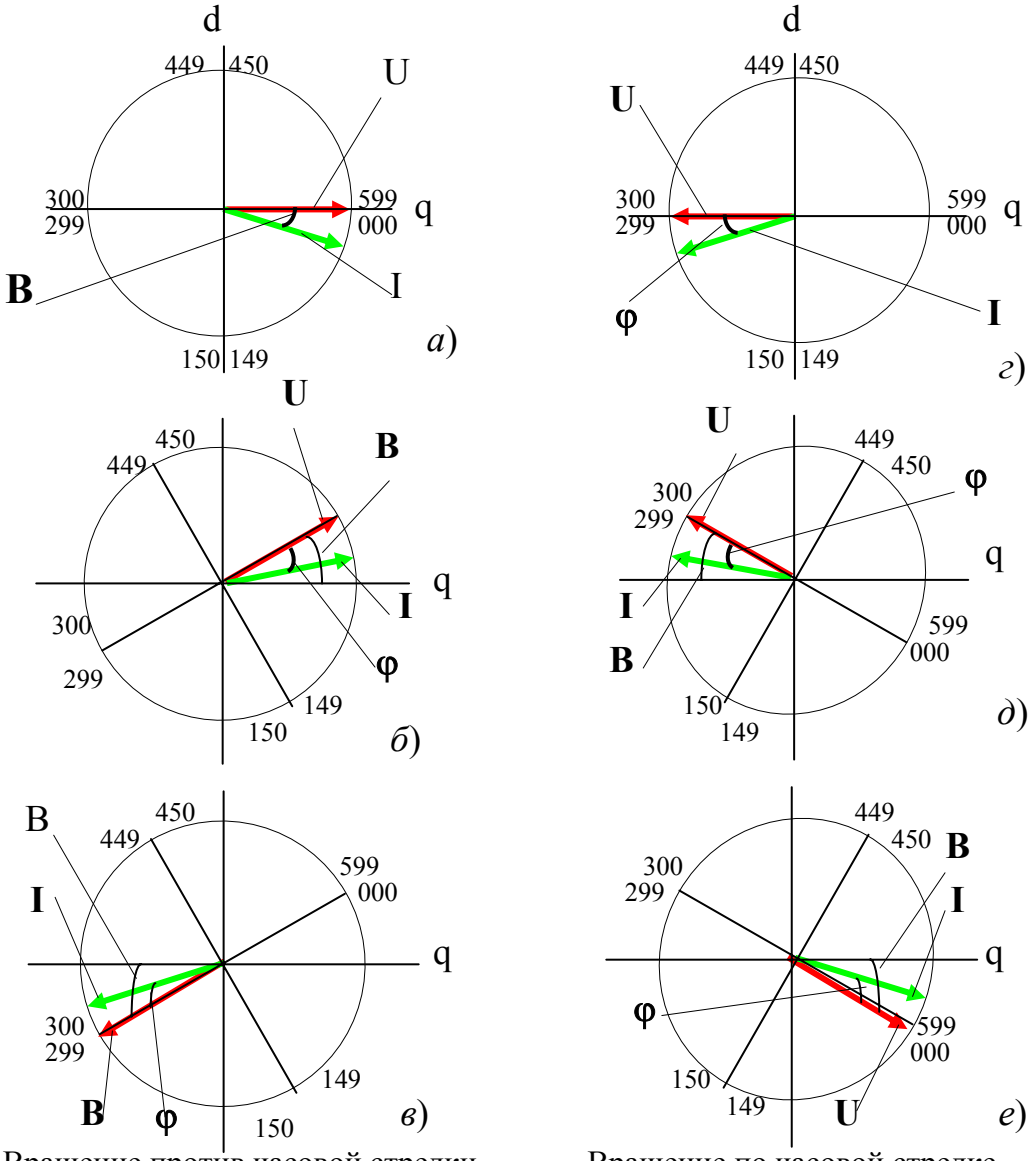


Рис. 9.4

Аналоговые сигналы скорости U_v , температуры обмоток машины U_t, обобщенного сигнала тока фаз U_i превращаются на выходе соответствующих АЦП в сигналы цифровых кодов **V**, **T**, **I**. Эти коды в последовательной записи определяют номер ячейки памяти, где хранится код числа **B**, поступающий на второй вход суммирующего блока **Σ**.

Очевидно, что при **B**=0 схема вентильного электропривода будет выполнять свои функции без оптимизации параметров. Начнем рассмотрение работы электропривода именно с этого момента, а в дальнейшем представим его "обучение" с целью достижения максимально возможного КПД.

Пусть вершина обобщенного вектора напряжения **U**, жестко привязанного к цифрам 000 – 599 циклического кода **A**, совпадает с границей переключения цифр 000 и 599 при вращении вала машины против часовой стрелки (рис. 9.5,*а*). При этом обобщенный вектор тока **I** будет отставать от вектора напряжения на угол φ, а смена цифр кода **A** происходит по возрастающей от 000 до 599.



Вращение против часовой стрелки — Вращение по часовой стрелке

Рис. 9.5

На рис. 9.5, *а* приведены сигналы старшего разряда **A'**(a_1,a_2,a_3) этого кода и динамика изменения цифровых сигналов младших разрядов **A''** кода при вращении вала против часовой стрелки.

Смена полярности входного управляющего напряжения электропривода $U_з$ вызовет инвертирование сигналов старшего разряда кода на выходных шинах Ин. Это равнозначно установке обобщенного вектора напряжения на границе

переключения цифр 299, 300 кода **A** (рис. 9.5, *г*) и приведет соответственно к смене знака электромагнитного момента, торможению электродвигателя и в дальнейшем к изменению направления вращения на противоположное – по часовой стрелке (рис. 9.5,*б*). В этом направлении вращения смена цифр кода **A** происходит в обратном порядке 599 … 000, а вектор тока отстает от вектора на угол φ. При этом величина этого угла зависит от частоты вращения вала электродвигателя и нагрузки, которая, в свою очередь, отражается на изменении абсолютного значения вектора тока **I**.

Теперь приступим к "обучению" электропривода при вращении вала двигателя в одном из направлений вращения.

Поскольку каждый номер ячейки памяти отождествляется с конкретным значением частоты вращения и абсолютной величиной вектора тока и температуры обмоток машины, то обучение заключается в нахождении положения обобщенного вектора напряжения, соответствующего этим параметрам, при котором потребление энергии из питающей сети минимально.

Контролируя потребление энергии из сети и электрически поворачивая обобщенный вектор напряжения, путем подачи цифровых сигналов кода **B** на второй вход суммирующего блока **Σ** находим эти значения сигналов, обеспечивающие минимум потребляемой энергии. В процессе нахождения цифровых значений сигналов **B** они записываются в соответствующие ячейки памяти. При этом цифровые сигналы **T** температуры обмоток определяют те зоны, при которых используется соответствующая страница памяти. Эти зоны могут иметь всего несколько уровней, например: $0 – 40^0$C, $40 – 80^0$C, $80 – 120^0$C. При малом влиянии изменения температуры обмоток на значения кода **B** эти зоны могут быть сокращены либо координата **B** может быть исключена из схемы регулирования.

Следует также отметить, что если электропривод работает на нагрузку, где имеется жесткая связь между частотой вращения и нагрузкой на валу машины, например вентиляторы и насосы, то может отсутствовать в системе регулирования привода и координата **I**.

Будем считать, что электропривод с конкретной формой выходного напряжения инвертора либо изменяемой формой при изменении частоты вращения, определенной частотой и принципом шимирования его выходных напряжений, определенным способом их фильтрации либо без нее, конкретным исполнением конструкции электрической машины "обучен" работать с максимально возможным КПД.

Тогда при вращении электродвигателя против часовой стрелки (рис. 9.6, *а*) либо по часовой стрелке (рис. 9.6, *б*) код числа **B** будет всегда устанавливать вектор напряжения **U** в положение, обеспечивающее оптимальное угловое положение вектора **I** на любых частоте вращения, при изменении нагрузки и температуры обмоток машины.

Минимизация информационной емкости кодов **I**, **V**, **T** блока памяти определяется результатами стендовых испытаний конкретного электропривода, где одинаковые либо очень близкие значения кода **B** могут быть объединены в

одну фигуру многомерного цифрового множества и в соответствии с этими объединениями пронумерованы и в дальнейшем записаны в одну ячейку памяти.

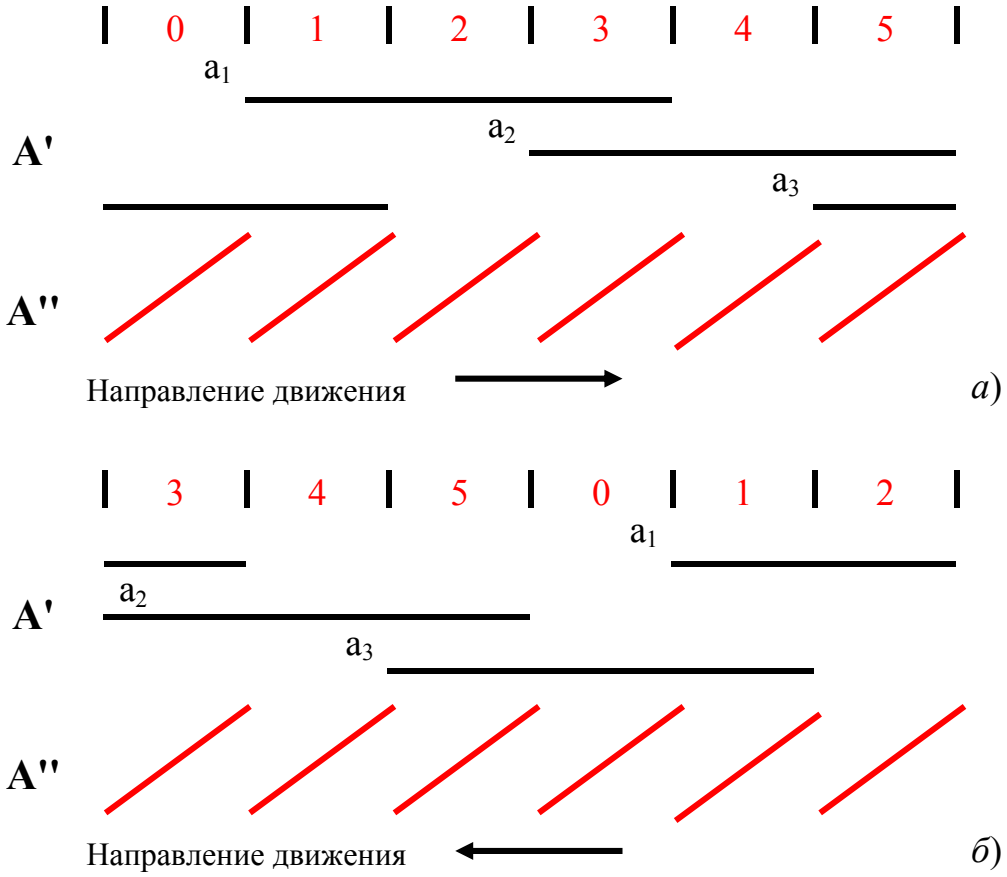


Рис. 9.6

Следует отметить, что структурная схема (рис. 9.4) может быть использована и для управления асинхронным электродвигателем. Для этого в схеме должны быть осуществлены некоторые изменения: код числа **B** перед поступлением на вход сумматора **Σ** должен быть преобразован в частоту абсолютного скольжения, которая через реверсивный делитель-счетчик превращается в циклический код, равный информационной емкости кода **A**. При этом знак электромагнитного момента будет определяться режимом работы упомянутого реверсивного делителя-счетчика. Режим работы делителя-счетчика определяется полярностью входного сигнала Uз. Причем эти изменения в схеме могут быть выполнены по внешнему сигналу.

Представленное построение схемы электропривода необходимо, например, при использовании синхронно-реактивной машины, в которой устанавливается короткозамкнутая обмотка ротора, и она может работать как вентильный электродвигатель, а в режиме торможения должна переключаться на работу асинхронной машины и осуществлять режим рекуперации энергии в сеть питания.

Такое построение электропривода желательно применять в транспортных объектах с ограниченным энергопотреблением.

Впервые на возможность использования таких режимов работы было показано в [9.29], где приведены основы теории и расчета синхронно-реактивной машины (СРД), рекомендации по проектированию, а также результаты экспериментальных исследований СРД с улучшенными массогабаритными и энергетическими показателями.

В этой достаточно полной работе впервые было установлено, "что в габаритах такого высокоиспользованного электродвигателя, каким является асинхронный, можно выполнить СРД той же мощности", т.е. их номинальную мощность по сравнению с выпускаемыми можно увеличить в 2,0 – 2,5 раза. Этот вывод занижен, поскольку в нем использован классический вариант частотного управления. В этом варианте взят принцип изменения амплитуды и частоты напряжения питания, который, по существовавшему тогда мнению [9.30], "позволяет обеспечить рациональные режимы его работы, т.е. режимы, в которых при изменении частоты вращения сохраняется постоянство его перегрузочной способности, магнитного потока".

Такой подход к частотному управлению СРД, когда задаются значительные запасы по перегрузочной способности, не способствует раскрытию всех возможностей этих электродвигателей. Цифровой частотно-векторный способ управления с памятью зависимых параметров полностью исключает проблему выпадания из синхронизма и позволяет сохранить высокие энергетические показатели СРД на всех частотах вращения. Другими словами, улучшенный СРД при данном способе управления становится конкурентоспособным синхронной машине с возбуждением от постоянных магнитов.

Теперь снова обратим внимание на синхронную машину с неявновыраженными полюсами постоянных магнитов при цифровом частотно-векторном способе управления, который обеспечивает такую организацию обратной позиционной связи, когда при любом положении ротора на любой частоте вращения вектор поля магнита и вектор поля статора составляют угол, приближающийся к прямому. При этом большая информационная емкость ЦПУ и синусоидальная либо квазисинусоидальная форма тока приближают этот угол к прямому. Синхронный электродвигатель при таком способе управления полностью эквивалентен коллекторной машине постоянного тока с большим числом коллекторных пластин.

Аналогичные выводы обычно делают и при классическом векторном управлении [9.31], например с косвенной схемой микропроцессорного вычисления необходимых токов электрической машины. Это позволяет одинаковым образом представлять структурные схемы этих электродвигателей (рис. 7.1.1) и реализовать компенсацию внутренней обратной связи по ЭДС (рис. 7.1.2), что благоприятно для ограничения сверхтоков электродвигателя в переходных процессах, а двигатель представляется последовательным соединением апериодического и интегрирующего звеньев.

9.3. Синхронный электропривод

Несмотря на значительные успехи, достигнутые при создании электроприводов с вентильными электродвигателями, имеющими на валу датчики положения ротора, в научно-технической литературе делаются попытки разработки таких типов приводов без датчиков положения ротора. При этом ведутся исследования по двум направлениям. Первое из них связано с сохранением характеристик вентильного электродвигателя, а второе – развивает идею синхронного электропривода, где частота вращения электродвигателя определяется только частотой его напряжения питания.

В первом направлении исследований рассматриваются два различных решения: для магнитоэлектрических синхронных электродвигателей [9.32] – [9.37] и синхронно-реактивных электродвигателей [9.38] – [9.41].

В [9.32] предлагается способ расчета микропроцессором углов положения ротора и частоты вращения на основе контролируемых мгновенных значений фазных напряжений и токов. Затем в схеме происходит сравнение этих рассчитанных значений напряжений и токов с заданными. Исключение возникающего рассогласования между заданными значениями токов и напряжений с фактическими осуществляется воздействием на выходное напряжение инвертора.

Подобным образом в работе [9.33] используется оценка с адаптивной идентификацией положения ротора по измеренным значениям напряжения и тока статора синхронного электродвигателя с определением составляющих токов и напряжений, по d осям и q.

В [9.16] положение ротора определяется на основании измерения интервала проводимости разрядного диода в непроводящей фазе. Регулирование частоты вращения здесь осуществляется изменением среднего напряжения в контуре выпрямленного тока электродвигателя импульсным регулированием. При этом ток в непроводящей фазе при импульсном управлении является результатом действия ЭДС на диод, шунтирующий транзисторный ключ.

В [9.35] косвенное определение положения ротора электродвигателя выполняется путем измерений на обмотках статора с использованием высокой несущей частоты ШИМ и индуктивного моста для измерения реактивного магнитного сопротивления контура потока из-за изменения положения ротора. Для этой цели используется микропроцессор и сложное программное обеспечение.

В [9.18] также косвенное регулирование осуществляется на основе математических выражений для мгновенных значений напряжения вентильного электродвигателя с синусоидально распределенным магнитным потоком и измерением токов в фазах электродвигателя. Математическое обеспечение реализовано здесь в достаточно мощном процессоре.

Следующим решением измерения положения ротора магнитоэлектрического синхронного электродвигателя является схема [9.37], где это осуществляется с помощью системы располагаемых в статоре измерительных обмоток. В работе отмечается, что для нормальной работы схемы необходимо изменение маг-

нитных сопротивлений по d и q осям при изменении положения ротора. Здесь предлагается для достижения этого эффекта сложная конструкция ротора.

Для электроприводов с синхронно-реактивными вентильными электродвигателями эти задачи решаются иным путем. В [9.38] с помощью узких импульсов напряжения инвертора, подаваемых на невозбужденные фазы синхронно-реактивного электродвигателя, и оценки протекающих при этом токов измеряется индуктивность фаз. По этим вычисленным индуктивностям оценивается мгновенное положение ротора. Отдельные оценки положения роторов поступают в наблюдатель состояния, определяющий положение и частоту вращения ротора. Здесь используется микропроцессор и дополнительный интерфейс. Применение оценивателя с упреждающей коррекцией, определяющей положение ротора регулируемого синхронно-реактивного электродвигателя, осуществляется в [9.39] путем измерения частоты вращения и фазных токов, напряжений статора.

Информация о положении ротора синхронно-реактивного электродвигателя в [9.40], [9.41] вычисляется по измеренным индуктивностям статорной обмотки путем использования микропроцессоров и микроконтроллеров. Причем в [9.41] применяются силовые элементы на МОМ структурах, обладающие интегральной токовой чувствительностью.

Практически во всех публикациях по созданию вентильных электродвигателей ставится задача упрощения и удешевления. Однако для достижения этой цели устанавливается электронное оборудование и программное обеспечение намного более дорогое и сложное, чем, например, магнитоуправляемые датчики на основе эффекта Холла.

Второе направление исследований, по нашему мнению, более эффективно. Известно, что синхронные нерегулируемые электроприводы следует рассматривать, отталкиваясь от задач непосредственно электропривода и системы электроснабжения: синхронный электродвигатель в отличие от нерегулируемого асинхронного сохраняет неизменную частоту вращения при плавных изменениях напряжения питания и момента нагрузки. Это определяет сохранение постоянства производительности промышленной установки, где используются эти электродвигатели: электроприводы вентиляторов, насосов, турбокомпрессоров, воздуходувок и т.д.

Даже при резко изменяемой нагрузке регулируемые синхронные электроприводы могут успешно использоваться [9.42]. Примером таких синхронных приводов служат приводы с системами автоматического возбуждения. Однако анализ синхронных электроприводов с обмоткой возбуждения не входит в предмет нашего исследования. Поэтому в дальнейшем остановимся только на регулируемых электроприводах с магнитоэлектрическими и синхронно-реактивными электродвигателями. При этом в синхронных магнитоэлектрических электродвигателях также не будем рассматривать асинхронный пусковой режим [9.43], поскольку на современном этапе развития преобразовательной техники необходимость его использования исчезла.

При цифровом формировании выходных напряжений инвертора, питающего электродвигатель, когда “цифровая линейка” жестко связана с моментами включения и отключения силовых элементов инвертора, существует такая же жесткая связь между цифрами этой линейки и выходными напряжениями фаз инвертора. Конкретные соотношения между этими параметрами определяются выбранным законом переключения силовых элементов, схемой силовой части инвертора и соединением обмоток фаз электродвигателя.

Предложенный нами модифицированный метод “бегущей стробирующей метки”, который использовался при обработке сигналов фазовращателей, может быть успешно применен и для определения угловых соотношений между векторами напряжений, ЭДС и токов синхронного электродвигателя. Такое схемотехническое решение позволяет создавать управляемые синхронные электроприводы с магнитоэлектрическими либо синхронно-реактивными электродвигателями.

При этом электропривод может быть выполнен синхронным, когда частота его вращения определяется частотой внешнего сигнала, либо иметь характеристики электропривода с вентильным электродвигателем. В последнем варианте частота вращения будет определяться величиной напряжения питания его обмоток и нагрузкой.

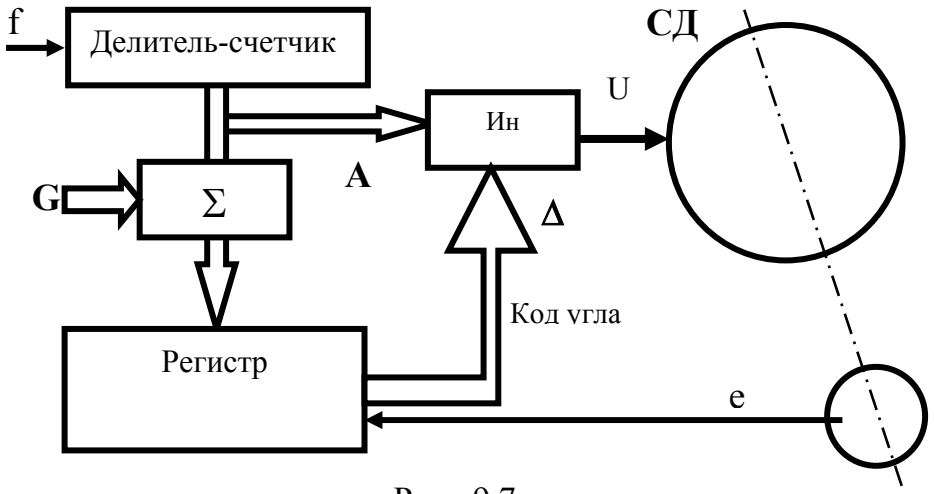


Рис. 9.7

На рис. 9.7 приведена блок-схема синхронного регулируемого электропривода, например с магнитоэлектрическим синхронным электродвигателем.

Код **A** “цифровой линейки” делителя-счетчика используется в создании инвертором трехфазных напряжений питания электродвигателя, на валу которого установлен датчик, например ЭДС, либо этот сигнал формируется непосредственно с обмоток фаз электродвигателя.

Короткие импульсы одной из фаз либо одновременно всех фаз ЭДС определяют моменты опроса кода **A** делителя-счетчика, когда его показания передаются в регистр. Эти импульсы формируются схемой в моменты прохождения полуволн сигналов фаз ЭДС через нулевое значение.

При совпадении фаз напряжений инвертора и ЭДС в регистр будет передаваться нулевой сигнал кода **A (**Δ=0). Пусть это совпадение фаз происходит при максимальном значении нагрузки на валу электродвигателя и максимальном напряжении питания его фаз.

При уменьшении нагрузки на валу электродвигателя возникает на выходе регистра разность фаз между напряжением и ЭДС в цифровом эквиваленте, которая будет исключаться регулятором в инверторе снижением величины питающего электродвигатель напряжения, т.е. система регулирования стремится сохранить значение Δ=0.

Частота вращения электродвигателя при этом полностью определяется сигналом входной частоты f, а пусковые возможности привода – степенью плавности вращения вектора напряжения и интенсивностью изменения сигнала этой частоты, которая зависит от значения приведенного к валу электродвигателя момента инерции нагрузки и максимальных значений электромагнитного момента и момента нагрузки, т.е. скорость вращения вектора напряжения должна быть такой, чтобы не происходило выпадания электродвигателя из синхронизма.

На блок-схеме рис. 9.7 между цифровым выходом делителя-счетчика и регистром установлен двухвходовой сумматор, на второй вход которого поступает внешний цифровой код **G**. Такое построение схемы позволяет независимо от используемого типа инвертора напряжения, закона переключения его силовых элементов, схемы соединения обмоток электродвигателя настроить “цифровую линейку” таким образом, что выполняется оговоренное выше условие Δ=0. Следовательно, можно устанавливать магнитоуправляемые датчики в любом месте магнитного потока статора, например в зубцах статора.

Из большого количества инверторов напряжения с цифровым формированием выходных напряжений требованиям высокой плавности вращения вектора напряжений удовлетворяет схема инвертора, где частота выходного напряжения определяется разностью входных частот ($f_1 - f_2$). Однако в этой схеме нет “цифровой линейки”, к которой жестко привязаны выходные напряжения фаз инвертора. Для создания такой “цифровой линейки” можно использовать два контура метода “бегущей стробирующей метки”.

На рис. 9.8 приведена блок-схема такого синхронного электропривода, где реализовано это решение: первый контур позволяет получить код **A**, жестко связанный с выходными квазисинусоидальными напряжениями инвертора, а второй контур аналогично схеме рис. 9.7 позволяет получить код разности фаз между напряжением и ЭДС в цифровом эквиваленте Δ.

В этой схеме также имеется внешний сигнал кода **G**, который позволяет изменять настройку “цифровой линейки” относительно выходных напряжений инвертора.

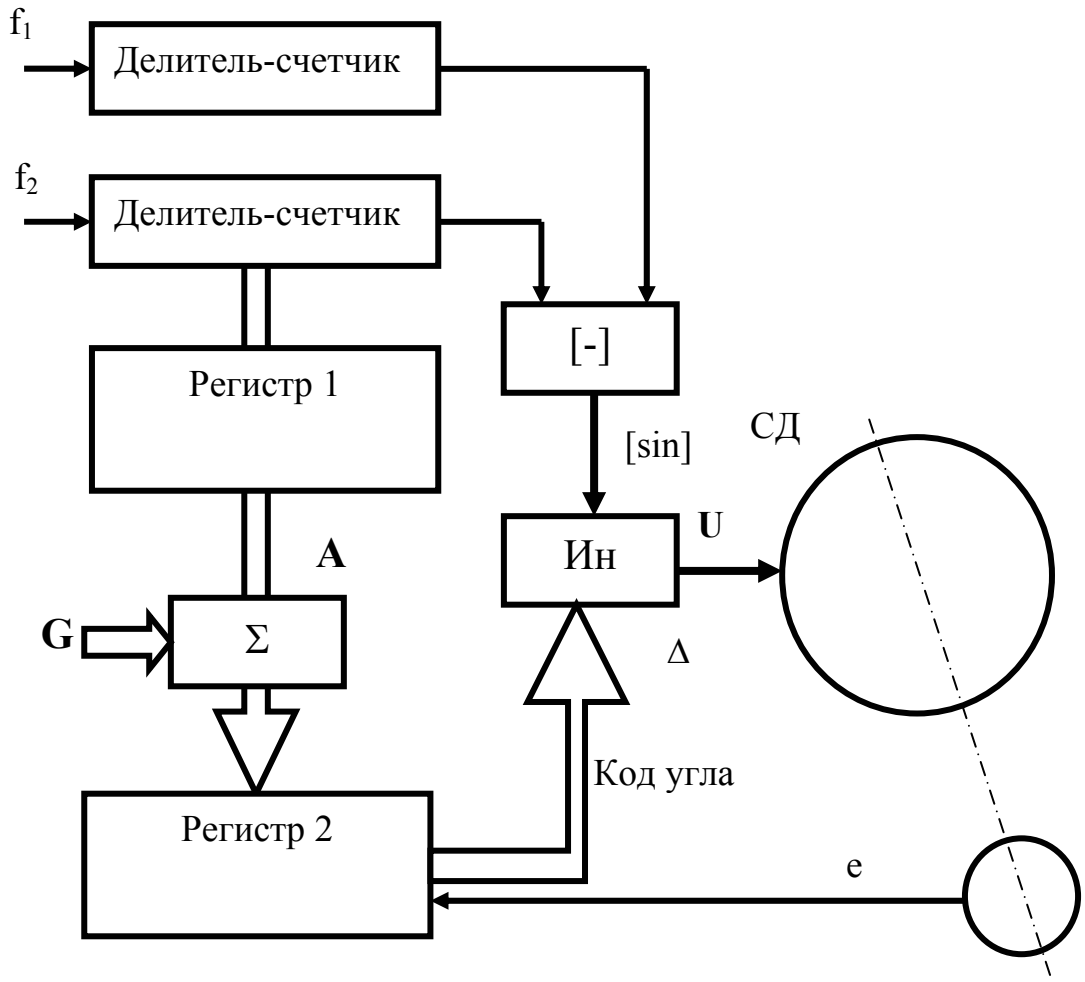
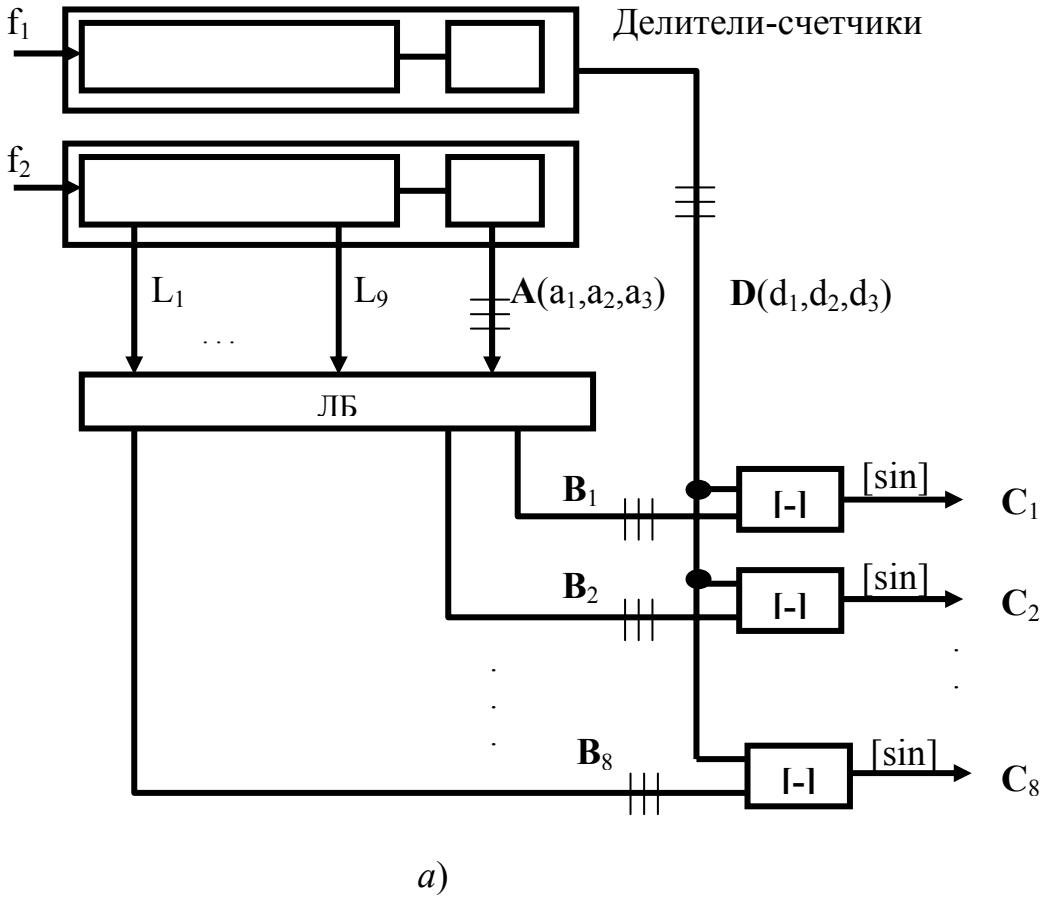
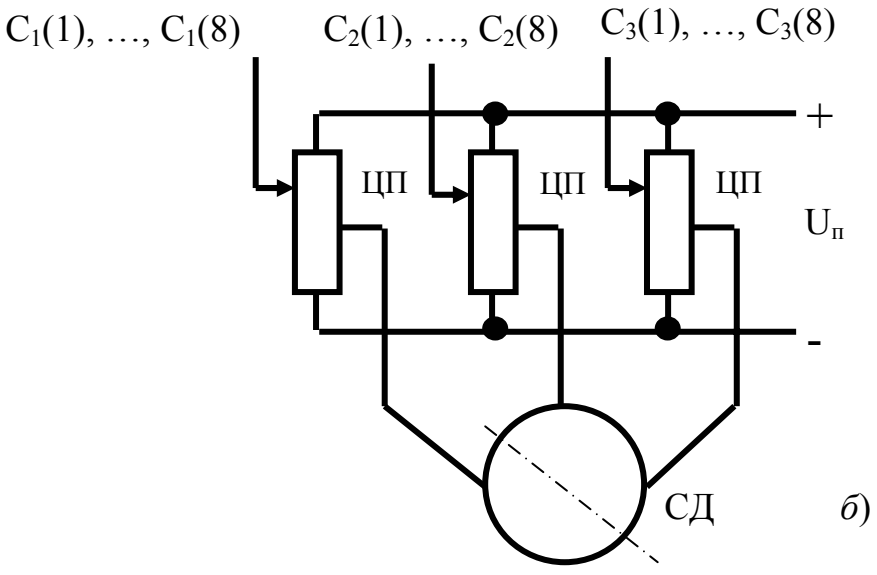


Рис. 9.8

Для достижения высокой плавности вращения векторов напряжения и, соответственно, тока электродвигателя, что гарантирует выполнение частотного запуска синхронного электродвигателя, а также возможность создания электроприводов большой мощности, целесообразно применить в стойках мостового инвертора цифровые потенциометры с большим количеством фаз. В качестве примера реализации такого трехфазного мостового инвертора напряжения на рис. 9.9 приведена его блок-схема, где число фаз в каждом цифровом потенциометре равно восьми. В схеме имеется два делителя-счетчика. В каждом из них установлен старший разряд в трехфазном коде: в первом делителе-счетчике это код $\mathbf{D}(d_1,d_2,d_3)$, а во втором – код $\mathbf{A}(a_1,a_2,a_3)$. Младший разряд второго делителя-счетчика выполняется в системе счисления основания $n = 10$, которое кодируется сигналами интегрального кода $\mathbf{L}(L_1, \ldots L_{10})$. Цифровые сигналы двух разрядов второго делителя-счетчика поступают в логический блок, где на выходных шинах формируются восемь трехфазных кодов $\mathbf{B_1}, \ldots, \mathbf{B_8}$.



а)



б)

Рис. 9.9

На рис. 9.10 приведены угловые соотношения между сигналами интегрального кода $\mathbf{L}(L_1, \ldots, L_{10})$, трехфазного кода $\mathbf{A}(a_1,a_2,a_3)$ в записи Либау-Крейга и выходными сигналами восьми трехфазных кодов $\mathbf{B_1}$, **… ,** $\mathbf{B_8}$.

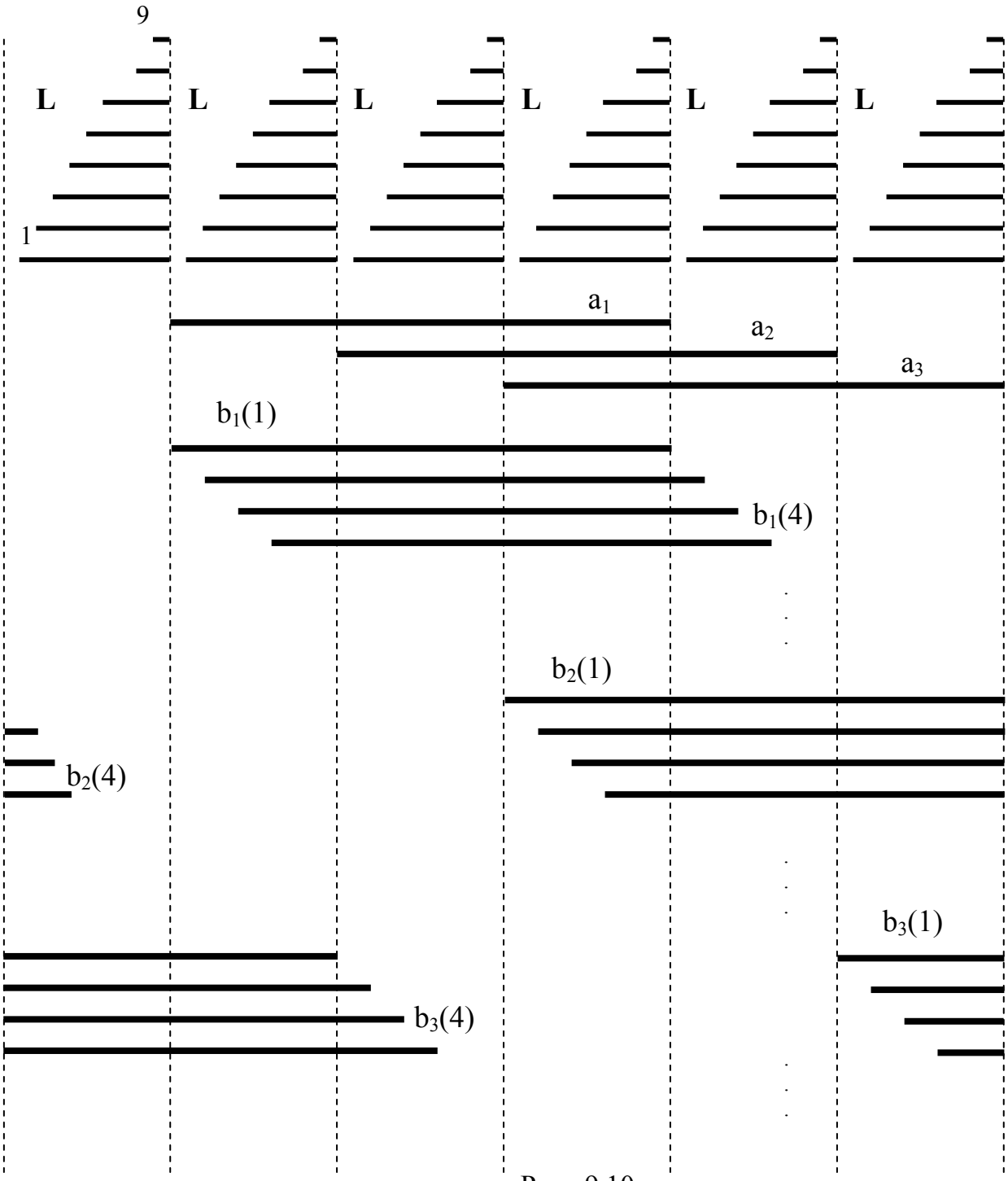


Рис. 9.10

Причем сигналы первых фаз этих кодов $b_1(1)$, $b_1(2)$, … , $b_8(8)$ образуют систему, предназначенную для управления цифровым потенциометром первой фазы трехфазного инвертора (рис. 9.9,*б*), сигналы вторых фаз этих кодов $b_2(1)$, $b_2(2)$, … , $b_2(8)$ – систему, предназначенную для управления цифровым потенциометром второй фазы трехфазного инвертора, а сигналы третьих фаз этих кодов $b_3(1)$, $b_3(2)$, … , $b_3(8)$ – систему, предназначенную для управления цифровым потенциометром третьей фазы трехфазного инвертора.

Угловые соотношения векторов сигналов всех фаз кодов $\mathbf{B}_1$, $\mathbf{B}_2$, $\mathbf{B}_3$ приведены на рис. 9.11.

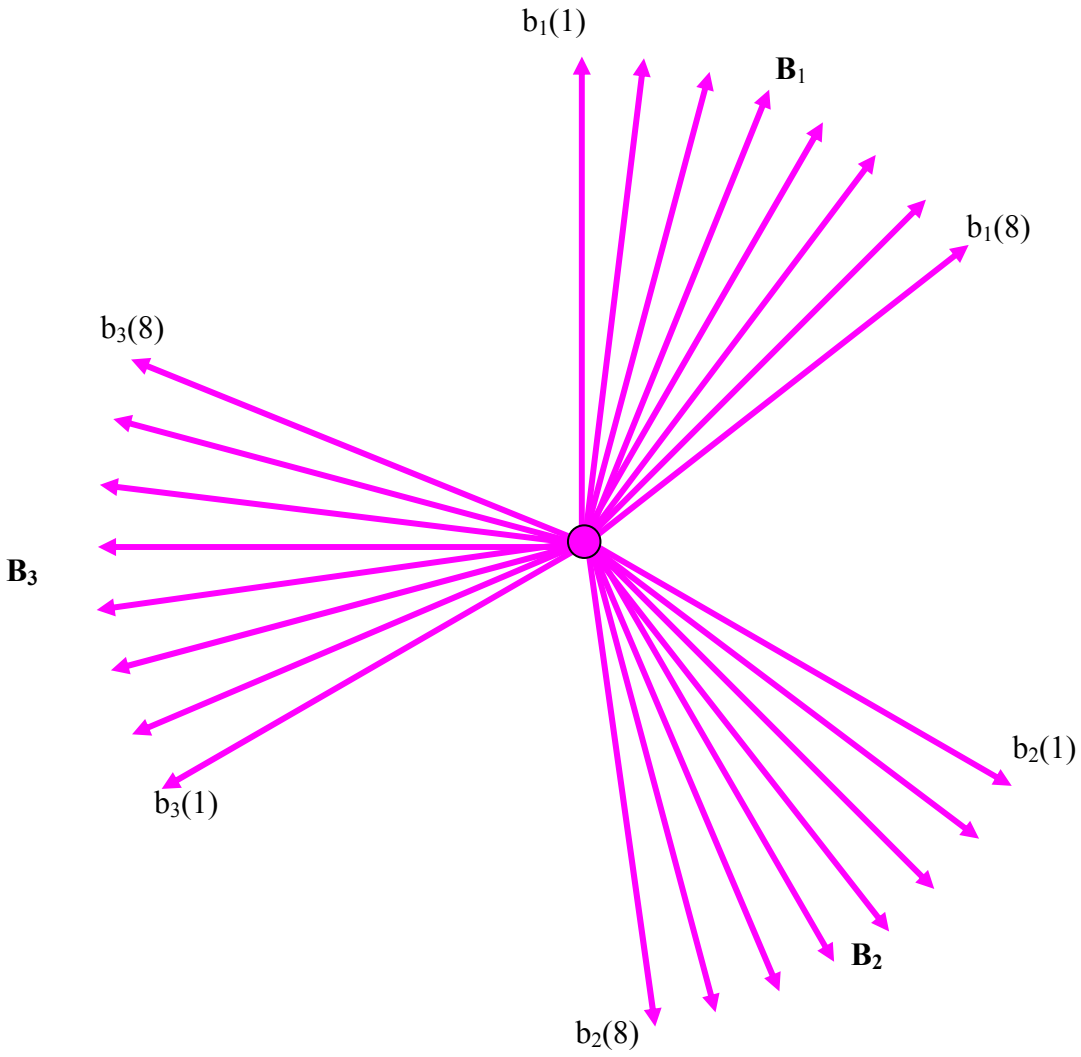


Рис. 9.11

Из этих представлений очевидно, что $b_1(1)= a_1$, $b_2(1)= a_3$, $b_3(1)= \underline{a}_2$, а остальные сигналы фаз определяются в матричной форме записи следующими простыми логическими зависимостями:

$$\mathbf{B}_1(i)_{I=2,\ldots,n} = \begin{vmatrix} b_1(2) \\ b_1(3) \\ \\ \\ b_1(8) \end{vmatrix} = \begin{vmatrix} 1 & L_1 & \underline{L}_1 \\ 1 & L_2 & \underline{L}_2 \\ . & . & . \\ . & . & . \\ 1 & L_{(n-1)} & \underline{L}_{(n-1)} \end{vmatrix} \begin{vmatrix} a_1 \; a_2 \\ a_1 \; \underline{a}_2 \\ \underline{a}_1 \; a_2 \end{vmatrix},$$

$$\mathbf{B}_2(i)_{I=2,\ldots,n} = \begin{vmatrix} b_2(2) \\ b_2(3) \\ \\ \\ b_2(8) \end{vmatrix} = \begin{vmatrix} 1 & L_1 & \underline{L}_1 \\ 1 & L_2 & \underline{L}_2 \\ . & . & . \\ . & . & . \\ 1 & L_{(n-1)} & \underline{L}_{(n-1)} \end{vmatrix} \begin{vmatrix} \underline{a}_1\ a_3 \\ a_1\ a_3 \\ \underline{a}_1\ \underline{a}_3 \end{vmatrix},$$

$$\mathbf{B}_3(i)_{I=2,\ldots,n} = \begin{vmatrix} b_3(2) \\ b_3(3) \\ \\ \\ b_3(8) \end{vmatrix} = \begin{vmatrix} 1 & L_1 & \underline{L}_1 \\ 1 & L_2 & \underline{L}_2 \\ . & . & . \\ . & . & . \\ 1 & L_{(n-1)} & \underline{L}_{(n-1)} \end{vmatrix} \begin{vmatrix} \underline{a}_2\ \underline{a}_3 \\ \underline{a}_2\ a_3 \\ a_1\ \underline{a}_2 \end{vmatrix}.$$

Разность трехфазного кода $\mathbf{D}(d_1,d_2,d_3)$ с каждым трехфазным кодом $\mathbf{B}_i$ ($i = 1, \ldots, 8$) формирует на выходных шинах восьми вычитающих блоков восемь сигналов $\mathbf{C}_1, \ldots, \mathbf{C}_8$. Эти сигналы имеют квазисинусоидальную форму ШИМ и аналогично сигналам $\mathbf{B}_1, \ldots, \mathbf{B}_8$ в них выделены три группы сигналов: $C_1(1), \ldots, C_1(8)$; $C_2(1), \ldots, C_2(8)$; $C_3(1), \ldots, C_3(8)$ для управления соответственно тремя ЦП стоек мостового инвертора напряжения.

* * *

Электропривод с вентильным или синхронным электродвигателем принципиально имеет такое же поле приложения цифровых устройств, как асинхронный электропривод. Однако для этих типов электроприводов характерно наличие дополнительных специальных задач, которые необходимо решать с помощью цифровой техники. Это относится прежде всего к использованию в них инверторов напряжения, состоящих из конверторов, в которых на выходных шинах инверторов формируются гладкие аналоговые сигналы напряжений, выделяемые из высокочастотных сигналов многофазных ШИМ путем установки, например, LC фильтров. Без применения цифровых устройств, изменяющих в зависимости от частоты вращения электродвигателя положение цифровых выходных сигналов датчиков положения ротора, невозможно использовать такие инверторы напряжения. Для применения же синхронных электродвигателей в системах регулирования соотношения скоростей многодвигательных электроприводов (агрегаты для производства синтетических материалов, волоконно-оптических проводников, бумагоделательных машин) необходимо использовать в каналах задания управляемые делители частоты, где отсутствует фазовая неравномерность выходных сигналов, при синтезе которых использовалась теория многомерных цифровых множеств.

Полагать, что существует истина в последней инстанции, хотя такая точка зрения распространена необычайно широко, не очень полезно для науки…

Г. Льюис

ЗАКЛЮЧЕНИЕ

Начало создания основ теории многомерных цифровых множеств относится к 70-м годам прошлого века, когда автор принимал непосредственное участие в разработке асинхронных электроприводов стабилизаторов космических аппаратов. В дальнейшем разработка теории также проводилась не на кончике пера, а сопровождалась созданием цифровых электроприводов и систем управления многокоординатными электроприводами для станков с ЧПУ и промышленных роботов.

Результаты этих исследований излагались на научных семинарах и конференциях [1] – [7] и достаточно полно были представлены в научно-технических отчетах по НИР, на которые имеются ссылки в соответствующих главах.

В 90-х годах автор участвовал в разработке электропривода микронагнетателя для проектируемой орбитальной космической станции "Мир-2". В этой работе были предложены и внедрены системы исправления ошибок многофазного кода и ряд цифровых блоков вентильного электропривода, синтезированные с использованием теории многомерных цифровых множеств. В дальнейшем этот модернизированный тип электропривода был изготовлен и поставлен в США для использования на международной космической станции "Альфа".

Проводимые автором на протяжении многих лет работы по созданию систем электропривода и энергоснабжения позволяют заявить, что он не только убежден, а именно убедился, что теория многомерных цифровых множеств уже позволила решить следующие задачи:

1. Разработать сверхбыстродействующую машинную арифметику цифровых электроприводов, способную выполнять все операции в любых кодах позиционных систем счисления, в том числе в естественных кодах приводов – многофазных кодах и кодах многомерных цифровых угловых множеств.

2. Разработать методику анализа и синтеза контролеспособных кодов с обнаружением и исправлением ошибок в блоках обмена и хранения информации, выполнения логических и арифметических операций, а также в цифро-аналоговых устройствах амплитудной и широтно-импульсной модуляции, в том числе и многофазной.

3. Разработать методику автоматизированного синтеза цифровых и логических устройств с заданными параметрами контролеспособности и минимизации аппаратурных затрат.

4. Решить проблему устойчивости делителей-счетчиков избыточных систем счисления, в том числе счетчиков многофазного кода.

5. Разработать универсальные схемы логических блоков, охватывающие все практически не перечисляемые схемы устройств большого числа аргументов не только двоичной логики, но и логики любой значности.

6. Разработать основные положения теории логических матриц, где вместо арифметических операций сложения и умножения используются одноименные логические операции, но законы преобразования этих матриц отличаются от общеизвестной теории матриц и подчиняются только законам симметрии многомерного цифрового пространства, а также симметрии геометрического образа логической функции, которую эти матрицы представляют.

7. Определить основные правила векторного преобразования геометрических фигур многомерного цифрового пространства с учетом всех видов симметрии (поворотов и переносов), отражающих симметрию программ покрытия этих фигур.

8. Предложить цифровые системы управления электроприводами постоянного и переменного токов с сохранением оптимальных параметров на любых частотах вращения, изменениях нагрузки и условиях внешней среды, что достигается обучением цифровых электроприводов на стендах и записью оптимальных соотношений зависимых параметров в память систем управления.

При этом полностью подтвердилось утверждение, что «геометрический метод и состоит в том, что само логическое доказательство направляется наглядным представлением», которое может постигнуть любой инженер

Однако в работе представлено далеко не все, что сделано, а что хотелось бы сделать, реализовано еще меньше. Поэтому остановимся на том, что хотелось бы выполнить в дальнейшем.

Общеизвестно, что вершиной творческого процесса развития математики XIX века было создание Г. Кантором в 1871 – 1884 годах теории множеств. На основе точечных множеств «были обобщены основные понятия математического анализа (функция, производная, интеграл и т.д.), вошедшие в дальнейшем в теории, непосредственно связанные с многочисленными приложениями (например, теории дифференциальных и интегральных уравнений)». Теория множеств Кантора привела к теоретико-множественной точке зрения, где любой объект математики трактуется как множество каких-либо элементов, в которых имеются те или иные отношения (между элементами, между элементами и подмножествами, между подмножествами). Пространство при этом определяется как множество точек, область изменения переменной – как множество ее допустимых значений, где функция может быть определена как множество упорядоченных пар, и т.д.

В дальнейшем определение пространства как множество точек нашло аналогию не только в теоретических работах Е.С.Федорова по кристаллографии, но и в опытных исследованиях, когда в 1912 году произошло событие, привлекшее к его учению сенсационный интерес. Исходя из представления о решетчатом строении кристалла, Макс Лауэ поставил в Мюнхене следующий опыт: пропустил сквозь кристалл пучок рентгеновских лучей и сфотографировал их, отклонившихся от первоначального направления, на фотопластинку, поставленную за кристаллом. Успех опыта превзошел все ожидания. Было доказано, что рентгеновские лучи имеют волновую природу, а решетчатая природа кристаллических структур существует на самом деле (до этих исследований это было только гипотезой). Кроме того, длины волн рентгеновских лучей соизмеримы с расстояниями между узлами решетки в кристалле.

Это ошеломило кристаллографов и самого Е.С.Федорова: « Перед строгими кабинетными выводами, как бы преклонилась природа, и кристаллы расположились в тех системах, которые явились необходимым выводом из понятия о правильных системах точек …»

Этот успех науки стимулировал дальнейшее развитие математической теории решеток, которая успешно развивается до настоящего времени [8], [9].

Нами представлен несколько иной вариант именно цифрового пространства, которое никоим образом не противоречит существующей теории решеток. При этом, однако, необходимо вспомнить высказывание Д.Гильберта, который, ссылаясь на одного старого французского математика, сказал: «Математическую теорию можно считать совершенной только тогда, когда ты сделал ее настолько ясной, что можно изложить ее первому встречному». К сожалению, теорию решеток изложить не только первому встречному, но даже математику другого направления исследований, тем более инженеру, весьма проблематично. Изучение теории решеток не оставляет инженеру времени жизни для ее применения в конкретном деле по синтезу реальных приборов. Здесь не помогут утешения, что «серьезные приложения требуют глубокой математики», и инженер невольно вспомнит высказывание А.Эйнштейна: «Математика – самый верный способ водить себя за нос». Нельзя согласиться с этим выводом, но помнить его необходимо и стремиться к четкости и ясности выводов для большинства разумных членов общества. Будем ожидать, что теория решеток со временем станет удовлетворять высказыванию Д.Гильберта.

Теория многомерных цифровых множеств представляется нами как нумерованное множество не точек, а правильных систем разбиения пространства, которые образуются выпуклыми многогранниками, заполняющими все пространство, но не перекрывающимися, т.е. не имеющие попарно общих внутренних точек.

Такие многогранники Е.С.Федоров назвал стереоэдрами, а примером таких стереоэдров является кирпичная кладка. При этом, если в системе многогранников любой можно совместить с любыми переносами, то многогранники называются параллелоэдрами. Как отмечал Б.Н.Делоне: «Традиции приписывают

Платону открытие пяти правильных выпуклых многогранников, Архимеду – 13 выпуклых полуправильных многогранников, Кеплеру и Пуансо – четырех правильных невыпуклых многогранников, а Федоров нашел пять параллелоэдров».

Именно идеи Е.С.Федорова послужили нам основой для создания теории многомерных цифровых множеств.

Если для получения геометрического образа логических функций можно использовать любой параллелоэдр, то только кубическое цифровое пространство позволяет, поместив в нем любую фигуру, определить ее геометрические параметры. При этом каждый элементарный кубик представляется как бесконечное множество (пространство) для более мелких кубиков, что позволяет обеспечить любую точность измерения. Поэтому здесь можно утверждать, что в этом пространстве область изменения переменной также есть множество ее допустимых значений и функция может быть определена как множество упорядоченных пар и т.д.

Следовательно, не только логические функции могут найти свой геометрический образ в этом многомерном пространстве, но и функциональный анализ может рассматриваться в этом реальном многомерном цифровом пространстве, что может представить в дальнейшем предмет последующих исследований.

Другой вопрос, на который пока нет у автора ответа, заключается в отношении к изобретательству. В процессе создания систем электропривода и электрооборудования автором было получено определенное количество авторских свидетельств и патентов в представленных областях техники. Еще больше было получено отрицательных решений. Причем чем сложнее и существеннее техническое предложение, тем больше было этих отрицательных решений. В этой связи как не привести высказывание по этому поводу Н.Винера: «Любое изобретение, независимо от того, делается ли оно для продажи или нет, все равно вносит определенный вклад в философию творчества». Тем не менее автор больше благодарен этим отрицательным решениям, поскольку именно они стимулировали научный поиск и способствовали разработке теории многомерных цифровых множеств.

Даже краткое изложение этой теории и практическое применение ее для синтеза логических и вычислительных блоков, например электроприводов, решения задач обнаружения и исправления ошибок в цифровых узлах этих систем отодвинули здесь на второй план изобретательскую сторону вопроса. Это стало возможным потому, что теория говорит любому: «Выполняй по известным функциональным зависимостям вычисления и помещай их результаты в соответствующие ячейки многомерного цифрового пространства. Таким путем будет получен геометрический образ этого множества, т.е. необходимого логического или арифметического функционала. Затем наступает процесс “покрытия“, причем этот процесс может быть полностью автоматизирован с привлечением вычислительной техники и нахождением оптимальных конструкций». Где при этом грань между наукой и изобретательством в этих областях техники? Ответа на этот вопрос пока нет.

Причем эти геометрические образы в многомерном цифровом пространстве могут рассматриваться как многомерная память соответствующей системы и следующим шагом исследований может стать применение теории вероятностей для построения геометрического образа высоконадежных систем, например исправляющих ошибки, вызванные внешними помехами. Для реализации этого необходимо исследовать природу и структуру случайных возмущений, воздействующих на систему, изучить реакцию системы на эти возмущения, установить влияние конкретных конструктивных параметров системы на определенный вид этих возмущений.

ЛИТЕРАТУРА

К главе 1

1.1. *Ершов Ю.А.* Теория нумераций. Сер. Математическая логика и основания математики. М.: Наука, 1977.

1.2. *Федоров Е.С.* Начала учения о фигурах. М., 1953 (перепечатка издания 1905 г.).

1.3. А.с.1080134 СССР. Устройство для сравнения кодов / В.И. Кочергин, С.В. Кульбицкий, А.М. Кривенцов // Открытия. Изобретения.1981. № 10.

1.4. *Яблонский С.В*. О суперпозициях функций алгебры логики // Матем. сб. 1952. № 2.

1.5. *Яблонский С.В*. Функциональные построения в к-значной логике // Труды МИАН СССР. М.: Изд-во АН СССР, 1958. Т. 51.

1.6. *Янов Ю.И., Мучник А.А*. О существовании к-значных замкнутых классов, не имеющих конечного базиса // ДАН СССР. 1959. Т. 127. № 1.

1.7. *Яблонский С.В*. Введение в дискретную математику. М.: Наука, 1986.

1.8. *Савельев А.Я*. Арифметические и логические основы цифровых автоматов: Учебник. М.: Высш. школа, 1980.

1.9. *Байцер Б.* Архитектура вычислительных комплексов. М.: Мир, 1974.

1.10. *Quine W.V*. The problem if simplifying of truth function // Amer.Math. Monthly. 1952.

1.11. *Mc Cluskey E.J*. Minimization of boolen function // Bell System Techn.J. 1956.

1.12. *Закревский А.Д.* Логический синтез каскадных схем. М.: Наука, 1981.

1.13. Проектирование цифровых вычислительных машин / С.А. Майоров, Г.И. Новиков, О.Ф. Немолочнов и др.; Под ред. С.А. Майорова. М.: Высш. школа, 1972.

1.14. *Ачасова С.М., Бадман О.А*. Матричный метод синтеза комбинационных схем и логических преобразователей конечных автоматов // Изв. АН СССР. Техн. кибернетика. 1975. № 6.

1.15. *Ачасова С.М*. Алгоритмы синтеза автоматов на программируемых матрицах. М.: Радио и связь, 1987.

1.16. А.с. 868750 СССР. Устройство для суммирования / А.Ф. Лекарев, В.И. Кочергин // Открытия. Изобретения.1981. № 36.

1.17. А.с. 922730 СССР. Устройство для сложения и вычитания / В.И. Кочергин, С.В. Кульбицкий, Л.В. Селиванова // Открытия. Изобретения. 1982. № 15.

1.18. А.с. 734681 СССР. Одноразрядный сумматор / В.И. Кочергин // Открытия. Изобретения.1980. № 18.

1.19. А.с. 739530 СССР. Одноразрядный сумматор / В.И. Кочергин // Открытия. Изобретения.1980. № 21.

1.20. А.с. 822183 СССР. Устройство для суммирования / В.И. Кочергин // Открытия. Изобретения.1981. № 14.

1.21. А.с. 826341 СССР. Устройство для умножения / В.И. Кочергин, А.Ф. Лекарев // Открытия. Изобретения.1981. № 16.

1.22. А.с. 922728 СССР. Устройство для формирования сигнала переноса при суммировании многофазных кодов / В.И. Кочергин, А.Ф. Лекарев // Открытия. Изобретения.1982. № 15.

1.23. А.с. 993264 СССР. Многоразрядное устройство для сложения и вычитания / В.И. Кочергин, С.В. Кульбицкий // Открытия. Изобретения.1983. № 4.

1.24. Математическая энциклопедия / Гл. ред. И.М. Виноградов. М.: Сов. энциклопедия. 1985. Т. 5.

1.25. *Самофалов К.Г., Корнейчук В.И. , Тарасенко В.П.* Электронные цифровые вычислительные машины. Киев: Вища школа, 1976.

1.26. Энциклопедия кибернетики. Киев, 1975.

1.27. *Питерсон У., Уэлсон Э.* Коды, исправляющие ошибки. М.: Мир, 1976.

1.28. *Глушков В.М., Цейтлин Г.М., Ющенко Е.Л.* Алгебра. Языки. Программирование. Киев: Наук. думка, 1978.

1.29. *Клейн Ф.* Элементарная математика с точки зрения высшей: В 2 т. Т. 1: Арифметика. Алгебра. Анализ / Пер. с нем.; Под ред. В.Г. Болтянского. 4-е изд. М.: Наука, 1987.

К главе 2

2.1. *Прангишвили И.В. и др.* Микроэлектроника и однородные структуры для построения логических и вычислительных устройств. М.: Наука, 1967.

2.2. *Карцев М.А., Брик И.А.* Вычислительные системы и синхронная арифметика. М.: Радио и связь, 1981.

2.3. А.с.868750 СССР. Устройство для суммирования / А.Ф. Лекарев, В.И. Кочергин // Открытия. Изобретения.1981. № 36.

2.4. *Чирков М.К., Шауман А.М.* Основы функциональной структуры вычислительных машин. Л.: Изд-во ЛГУ, 1974.

2.5. *Рабинер Л., Гоулд Б.* Теория и применение цифровой обработки сигналов. М.: Мир, 1978.

2.6. А.с. 826 341 СССР. Устройство для умножения / В.И. Кочергин, А.Ф. Лекарев // Открытия. Изобретения.1981. № 16.

2.7. А.с. 911 514 СССР. Устройство умножения / В.И. Кочергин // Открытия. Изобретения.1982. № 9.

2.8. А.с. 1 170 451 СССР. Устройство для умножения числа на ряд констант / В.И. Кочергин, С.В. Кульбицкий, А.М. Кривенцов // Открытия. Изобретения.1985. № 28.

2.9. *Ричардс Р.К.* Арифметические операции на ЦВМ. М.: ИИЛ, 1957.

2.10. *Храпченко В.М.* Методы ускорения арифметических операций, основанные на преобразовании многоразрядного кода // Вопросы радиоэлектроники. Сер. УП ЭВТ. 1965. Вып. 8.

2.11. *Беркс А., Гольдстейн Г., Нейман Дж*. Предварительное рассмотрение логической конструкции электронного вычислительного устройства // Кибернетический сб. 1964. № 9.

2.12. *Cappa M., Hamacher V.C*. An augment interactive array for high-speed binary division // IEEE Trans. Comput, 1973. Vol. 22, № 2.

2.13. А.с. 1 252 772 СССР. Устройство для деления / В.И. Кочергин // Открытия. Изобретения.1986. № 31.

2.14. А.с. 1 291 974 СССР. Устройство для деления / В.И. Кочергин // Открытия. Изобретения.1987. № 7.

2.15.А.с. 1 080 134 СССР. Устройство для сравнения кодов / В.И. Кочергин, С.В. Кульбицкий, А.М. Кривенцов // Открытия. Изобретения.1984. № 10.

2.16. *Libaw W.H., Craig L.J*. A photoelectric decimal-coded shaft digitizer // IRE Transaction on Electronic Computers. 1953. Vol. EC-2, № 3.

2.17. *Brcic I*. Ideally fast decimal counters with bestables // IEEE Transaction jn Electronic Computers. 1965. № 5.

2.18. Jonson counters even-and-cycle length // Electronic Engineer. 1971. № 9.

2.19. Проектирование микроэлектронных цифровых устройств / Под ред. С.А. Майорова. М.: Сов. радио, 1977.

2.20. *Букреев И.Н., Мансуров Б.М., Горячев В.И*. Микроэлектронные схемы цифровых устройств. М.: Сов. радио, 1975.

2.21. А.с. 13975 СССР. Устройство для генерирования импульсов управления ионными преобразователями тока / В.Г.Константинов // Открытия. Изобретения.1961. № 14.

2.22. А.с. 351326 СССР. Управляемый делитель частоты / В.И. Кочергин, И.А. Подоплелов // Открытия. Изобретения.1972. № 27.

2.23. А.с. 402157 СССР. Реверсивный декадный счетчик импульсов / В.И. Кочергин, Н.С. Баранов // Открытия. Изобретения.1973. № 41.

2.24. А.с. 421135 СССР. Реверсивный десятичный счетчик / В.И. Кочергин, С.Д. Морозов, А.С. Кулешов // Открытия. Изобретения.1974. № 11.

2.25. А.с. 441135 СССР. Устройство управления реверсивным многофазным инвертором / В.И. Кочергин, С.Д. Морозов, А.И. Новоселов // Открытия. Изобретения.1974. № 11.

2.26. А.с. 514443 СССР. Реверсивный делитель частоты / В.И. Кочергин // Открытия. Изобретения.1976. № 18.

2.27. А.с. 758525 СССР. Кольцевой счетчик / В.И. Кочергин, Н.С. Баранов, С.В. Кульбицкий // Открытия. Изобретения.1980. № 31.

2.28. А.с. 834935 СССР. Пересчетное устройство / В.И. Кочергин, Н.С. Баранов // Открытия. Изобретения.1981. № 20.

2.29. А.с. 987681 СССР. Регистр / В.И. Кочергин // Открытия. Изобретения.1983. № 1.

2.30. Цифроаналоговый электропривод на электродвигателях мощностью от 0,25 до 1,0 кВт, управляемый от микропроцессора. Теоретические и экспериментальные

исследования. Научный руководитель НИР В.И. Кочергин: Отчет о НИР (промежуточный). № ГР 01.83.0. 038666. Томск, 1983.

2.31. Цифроаналоговый электропривод на электродвигателях мощностью от 0,25 до 1,0 кВт, управляемый от микропроцессора. Теоретические и экспериментальные исследования. Научный руководитель НИР В.И. Кочергин: Отчет о НИР (заключительный). № ГР 01.83.0. 038666 . Томск, 1985.

2.32. А.с. 1398091 СССР. Реверсивное счетное устройство / В.И. Кочергин // Открытия. Изобретения.1988. № 19.

2.33. А.с. 1064276 СССР. Преобразователь позиционного кода в двоичный код / В.И. Кочергин, С.В. Кульбицкий // Открытия. Изобретения.1983. № 48.

К главе 3

3.1. *Сагомонян Е.С., Слабаков Е.В.* Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989.

3.2. *Garter W.C., Schneider P.R*. Design of Dynamically checked Computers // JEID Congress. Edinburgh: Scjtland, 1968.

3.3. *Брюхович Е.И.* О проблемах автоматического контроля в ЭВМ и контролеспособности позиционных счислений // Управляющие системы и машины. 1977. № 4.

3.4. А.с. 987681 СССР. Регистр / В.И. Кочергин // Открытия. Изобретения.1981. № 1.

3.5. А.с. 1228269 СССР. Делитель-счетчик многофазного кода (его варианты) / В.И. Кочергин, С.В. Кульбицкий // Открытия. Изобретения.1986. № 16.

3.6. *Селлерс Ф.* Методы обнаружения ошибок в работе ЭЦВМ. М.: Мир, 1972.

3.7. *Самофалов К.Г., Корнейчук В.И., Тарасенко В.П*. Электронные цифровые вычислительные машины. Киев: Вища щкола, 1976.

3.8. *Прангишвили И.В. и др*. Микроэлектроника и однородные структуры для построения логических и вычислительных устройств. М.: Наука, 1967.

3.9. *Нейман Дж., фон*. Теория самовоспроизводящихся автоматов. М.: Мир, 1971.

3.10. А.с. 514443 СССР. Реверсивный делитель частоты / В.И. Кочергин // Открытия. Изобретения.1976. № 18.

3.11. *Кларк Дж., мл., Кейн Дж*. Кодирование с исправлением ошибок в системах цифровой связи. М.: Радио и связь, 1987.

К главе 4

4.1. *Хасаев О.И.* Работа асинхронного двигателя от преобразователя частоты на полупроводниковых триодах // Электричество. 1961. № 9.

4.2. *Шейна Г.П.* Рациональный режим работы трехфазного мостового инвертора напряжения // Изв. вузов. Сер. Энергетика. 1967. № 7.

4.3. *Овчинников И.Е.* Теория вентильных двигателей. Л.: Наука, 1985.

4.4. *Иванчура В.И., Пантелеев В.И., Соустин Б.П.* Об увеличении числа фаз в асинхронном приводе с частотным управлением // Электрические машины малой мощности устройств автоматики и электроснабжения. М.: Энергия, 1978.

4.5. *Ситник Н.Х и др.* Автономные инверторы с отделенными от нагрузки конденсаторами. М.: Энергия, 1968.

4.6. *Грузов В.Л., Новикова Г.Н.* Анализ работы полупроводникового инвертора при новом способе коммутации силовых триодов // Автоматизированный электропривод. М.: Наука, 1965.

4.7. А.с. 173298 СССР. Устройство управления трехфазным мостовым инвертором / М.Б. Коновалов, В.С. Ерошенко, В.И. Кочергин // Открытия. Изобретения.1965. № 15.

4.8. А.с. 340042 СССР. Устройство управления трехфазным мостовым инвертором / В.И. Кочергин, Б.М. Ямановский, В.М. Савченко, С.Д. Морозов // Открытия. Изобретения.1972. № 17.

4.9. А.с. 987681 СССР. Регистр / В.И. Кочергин // Открытия. Изобретения.1981. № 1.

4.10. *Хасаев О.И.* Транзисторные преобразователи напряжения и частоты. М.: Наука, 1966.

4.11. *Flairty C.W*. A 50 Kwa adjustable – frequency 24-phase controlled rectifier inverter // Direct Current. 1961. № 9.

4.12. *Кочергин В.И., Баранов Н.С*. Сравнение двух методов широтно-импульсного управления выходным напряжением статического преобразователя // Системы электропитания потребителей импульсной мощности. М.: Энергия, 1976.

4.13. А.с. 575750 СССР. Трехфазный инвертор / В.И. Кочергин, В.Г. Мунгалов, С.Д. Морозов, А.С. Кулешов // Открытия. Изобретения.1977. № 37.

4.14. А.с. 583523 СССР. Трехфазный инвертор / В.И. Кочергин, С.Д. Морозов // Открытия. Изобретения.1977. № 46.

4.15. *Тонкаль В.Е., Гречко Э.Н., Бухинский С.И*. Многофазные автономные инверторы напряжения с улучшенными характеристиками. Киев: Наук.думка, 1980.

4.16. А.с. 517124 СССР. Трехфазный инвертор / В.И. Кочергин // Открытия. Изобретения.1974. № 21.

4.17. А.с. 532163 СССР. Статический многофазный инвертор / В.И. Кочергин, Н.С. Баранов, С.К. Кирсанов // Открытия. Изобретения.1974. № 38.

4.18. *Кочергин В.И., Баранов Н.С*. Цифровое задание формы выходного напряжения инвертора // Электрические машины малой мощности устройств автоматики и энергоснабжения. М.: Энергия, 1978.

4.19. А.с. 621090 СССР. Устройство цифрового задания трехфазного напряжения / В.И. Кочергин, Н.С. Баранов // Открытия. Изобретения.1978. № 31.

4.20. А.с. 653723 СССР. Устройство для управления инвертором / В.И. Кочергин // Открытия. Изобретения.1979. № 11.

4.21. А.с. 666627 СССР. Устройство для управления трехфазным мостовым инвертором / В.И. Кочергин // Открытия. Изобретения.1979. № 21.

4.22. А.с. 752750 СССР. Устройство для управления трехфазным мостовым инвертором / В.И. Кочергин, С.К. Кирсанов, Н.С. Баранов // Открытия. Изобретения.1980. № 28.

4.23. А.с. 1 039014 СССР. Устройство для управления трехфазным инвертором / В.И. Кочергин // Открытия. Изобретения.1983. № 32.

4.24. А.с. 955837 СССР. Устройство для управления многофазным мостовым инвертором / В.И. Кочергин, 1978.

4.25. А.с. 1 252883 СССР. Устройство для управления m-фазным инвертором / В.И. Кочергин, С.В. Кульбицкий // Открытия. Изобретения.1986. № 31.

4.26. А.с. 660189 СССР. Устройство для управления трехфазным мостовым инвертором / Г.С. Мыцик, А.В. Чесноков // Открытия. Изобретения.1979. № 16.

4.27. *Мыцик Г.С., Щеголев А.И.* Трехфазный инвертор с улучшенным качеством выходного напряжения методом широтно-импульсной модуляции // Современные задачи преобразовательной техники. Киев, 1975.

4.28. А.с.957736 СССР. Многофазный реверсивный инвертор / В.И. Кочергин. 1979.

4.29. *Кочергин В.И.* Экономичное управление транзисторами преобразователей, питающих асинхронные двигатели // Электротехническая аппаратура. Т. 1: Устройства управления и контроля. М.: Энергия, 1971.

4.30. А.с. 944472 СССР. Вентильный электродвигатель / В.И. Кочергин, Г.Б. Данков. 1980.

4.31. А.с. 1 711306 СССР. Устройство для управления инвертором с широтно-импульсной модуляцией / В.И. Кочергин // Открытия. Изобретения.1992. № 5.

4.32. А.с. 1 791939 СССР. Устройство для управления трехфазным инвертором / В.И. Кочергин // Открытия. Изобретения.1993. № 4.

4.33. *Такеути Т.* Теория и применение вентильных цепей для регулирования двигателей. Л.: Энергия, 1973.

4.34. *Кларк Дж., мл., Кейн Дж.* Кодирование с исправлением ошибок в системах цифровой связи. М.: Радио и связь, 1987.

4.35. Harmonic mitigation techniques for the improvement of power quanty of adjustable speed drives (ASDs) / Domijan Alex (Jr), Embriz-Santander E. // APEC'90; 5th Annu. IEEE Appl. Power Electron.Conf. and Expo.,Los Angeles, Calif., March 11–16, 1990: Conf.Proc., New York, 1990.

4.36. Phase numbers and their related effects on the characteristeristics of inverter fed induction motor drives. Ferraris Paolo, Lazzari Mario. "IEEE'IAS (Ind. Appl. Soc) 18 th Annu. Meet., 3–7 Oct., 1983. Conf.Rec." New York, 1983.

4.37. Integrated current regulation for a brushless ECM drive / Jahus Thomas M., Becerra Roder C., Eshsani M. // IEEE Trans. Power Electron. 1991. Vol. 6, № 1.

4.38. Цифроаналоговый электропривод на электродвигателях мощностью от 0,25 до 1,0 кВт, управляемый от микропроцессора. Теоретические и экспериментальные исследования. Научный руководитель НИР В.И. Кочергин: Отчет о НИР (промежуточный). № ГР 01.83.0. 038666. Томск, 1983.

4.39. *Мандельштам Л.И.* Открытие и доказательство сохранения разности фаз при преобразовании частоты // Ежегодник беспроволочного телеграфа и телефона. Берлин, 1900. Т. 1.

4.40. *Коновалов М.Б.* Статические преобразователи на плоскостных транзисторах: Дис … канд. техн. наук. Томск, 1965.

4.41. *Ли Ф*. Будущее – за резонансными источниками питания // Электроника.1990. № 2.

4.42. А.с. 762165 СССР. Устройство цифрового задания трехфазного напряжения / В.И. Кочергин, Н.С. Баранов // Открытия. Изобретения.1980. № 33.

4.43. А.с. 653723 СССР. Устройство для управления инвертором / В.И. Кочергин // Открытия. Изобретения.1979. № 11.

4.44. А.с. 586564 СССР. Задатчик реверсивного многофазного напряжения / В.И. Кочергин, Н.С. Баранов, А.М. Кривенцов, С.А. Завестовский // Открытия. Изобретения. 1977. № 48.

К главе 5

5.1. Using phase-current sensing circuit as the position sensor for brushless DC motors without shaft position sensor / Lin Ray-Lee, Hu Ming-Tzwu, Lee Ching-Yuan. // IECON 89: 15 th Annu. Conf. IEEE Ind. Electron. Soc., Philadelphia, Pa, Nov. 6–10, 1989. Vol. 1. New York, 1989.

5.2. А.с. 945879 СССР. Преобразователь угла поворота вала в код / В.И. Кочергин, С.В. Кульбицкий // Открытия. Изобретения.1982. № 27.

5.3. *Кочергин В.И., Кульбицкий С.В.* К вопросу повышения надежности систем управления промышленными роботами // Робототехника и автоматизация производственных процессов: Тез. докл. Всесоюз. конф. РАПП - 83.4.1. Барнаул, 1983.

5.4. *Вулвет Дж*. Датчики в цифровых системах / Пер. с англ. М.: Энергоиздат, 1981.

5.5. Фотоэлектрические преобразователи информации / Под ред. Л.Н. Преснухина. М.: Машиностроение, 1974.

5.6. *Зверев А.Е., Максимов В.П., Мясников В.А*. Преобразователи угловых перемещений в цифровой код. Л.: Энергия, 1974.

5.7. А.с. 674163 СССР. Вентильный электропривод / В.И. Кочергин, Э.Р. Гейнц // Открытия. Изобретения.1979. № 29.

5.8. *Кочергин В.И., Кирсанов С.К., Баранов Н.С.* Электронная схема обработки сигналов фотоэлектрического датчика импульсов // Электрические машины малой мощности устройств автоматики и электроснабжения. М.: Энергия, 1978.

5.9. А.с. 744994 СССР. Реверсивное счетное устройство / В.И. Кочергин, С.В. Кульбицкий, С.Ф. Лекарев // Открытия. Изобретения.1980. № 24.

5.10. Intelligente Steuerung fur Induktions-Motoren sorgt fur wahre Servo-Prazision / Erickson Willian // RIQ.Eur.Ed. 1989. № 4.

5.11. А.с. 746177 СССР. Преобразователь угол-код / В.И. Кочергин // Открытия. Изобретения.1980. № 25.

5.12. А.с. 840996 СССР. Преобразователь угла поворота вала в код / В.И. Кочергин, С.В. Кульбицкий, С.М. Кривенцов // Открытия. Изобретения.1981. № 23.

5.13.А.с. 1129636 СССР. Преобразователь угла поворота вала в код / В.И. Кочергин, С.В. Кульбицкий, С.М. Кривенцов, Е.А. Новоселов // Открытия. Изобретения.1984. № 46.

5.14.А.с. 1385294 СССР. Аналого-цифровой преобразователь / В.И. Кочергин, С.В. Кульбицкий // Открытия. Изобретения.1988. № 12.

5.15.А.с. 945879 СССР. Преобразователь угла поворота вала в код / В.И. Кочергин, С.В. Кульбицкий // Открытия. Изобретения.1982. № 27.

5.16. Burstenlose Gleichstromtashos sind auf dem Vormarsch / Homburg D., Reiff E.S. // Elektrotechnic (Schweiz). 1988. Vol. 39, № 9.

5.17. А.с. 671007 СССР. Бесконтактный следяще-регулируемый электропривод / В.И. Кочергин // Открытия. Изобретения.1979. № 24.

5.18. А.с. 334582 СССР. Способ получения скоростного сигнала с фазовращателя / Н.М. Грачев // Открытия. Изобретения.1972. № 12.

5.19. А.с. 913432 СССР. Преобразователь скорости выходного вала в код / В.И. Кочергин, С.В. Кульбицкий, А.М. Кривенцов, А.Ф. Лекарев // Открытия. Изобретения.1982. № 10.

5.20. *Домрачев В.Г., Матвиевский В.Р., Смирнов Ю.С.* Схемотехника цифровых преобразователей перемещений: Справочное пособие. М.: Энергоатомиздат, 1987.

5.21. Завалокин А.К. Последовательные преобразователи непрерывных величин в числовые эквиваленты. М.; Л.: Госэнергоиздат, 1962.

К главе 6

6.1. *Захаров Ю.К.* Однотактные преобразователи постоянного напряжения на полупроводниковых триодах // Полупроводниковые приборы и их применение / Под ред. Я.А. Федотова. М.: Сов. радио, 1960. Вып. 5.

6.2. *Morgan R.E.* Basic magnetic function in converter and inverter including new soft commutation // IEEE Trans. Ind. Gen. Applic. 1966. Vol. 2. № 1. P. 58–65.

6.3. А.с. 1056447 СССР. Цифро-аналоговый преобразователь с многофазным выходом / В.И. Кочергин // Открытия. Изобретения. 1983. № 43.

6.4. А.с. 1356225 СССР. Цифро-аналоговый преобразователь с многофазным выходом / В.И. Кочергин // Открытия. Изобретения.1987. № 43.

6.5. А.с. 868750 СССР. Устройство для суммирования / А.Ф. Лекарев, В.И. Кочергин // Открытия. Изобретения.1981. № 36.

6.6. А.с. 1476611 СССР. Цифро-аналоговый преобразователь с многофазным выходом / В.И. Кочергин // Открытия. Изобретения.1989. № 16.

6.7. А.с. 1241383 СССР. Преобразователь постоянного напряжения / В.И. Кочергин, В.М. Гусев // Открытия. Изобретения.1986. № 24.

6.8. Recent progress in the development of solid-state A.C. motor drives. Lipo Thomas A. // IEEE Trans. Power Electron. 1988. Vol. 3, № 2.

6.9. *Шошунов Н.Л.* Разработка методик расчета, проектирования и отработки электромеханических устройств для терминально-управляемого развертывания тросовых систем: Автореф. дис. … канд. техн. наук. М., 1999.

6.10. Пат. 2112714 РФ. Способ развертывания орбитальной тросовой системы / В.Г. Осипов, Н.Л. Шошунов, В.И. Кочергин // Открытия. Изобретения. 1998. № 16.

6.11. *Зиенко С.И.* Импульсные регуляторы и стабилизаторы напряжения. М.: МЭИ, 1980.

6.12. *Кочергин В.И., Плетнев Ю.Н.* Автогенераторы с асимметрией выходного напряжения // Устройства электропитания и электропривода малой мощности. Т. 1: Электронные устройства и системы. М.: Энергия, 1969.

К главе 7

7.1. *Macdonough J.O.* Pouched tape guides milling machine cutters // Electronics. 1953. № 4.

7.2. *Leaver E.W., Mounce G.R.* Recorder controlled automatic machine-tools // Electronics. 1954. № 11.

7.3. *Farmer P.J.* The numerical date-control system for machine-tools // Aircraft Production. 1958. Vol. 20, № 1.

7.4. *Богорад Г.З., Киблицкий В.А.* Цифровые регуляторы и измерители. М.: Энергия, 1966.

7.5. *Герасимов В.И., Фурман Б.А.* Система цифрового программного управления вертикально-фрезерным станком // Вестник Харьковского политехн. ин-та. Автоматика и вычислительная техника. 1965. Вып. 1.

7.6. *Трахтенберг Р.М.* Астатический дискретный регулятор скорости электропривода // Автоматика и телемеханика. 1966. № 3.

7.7. *Шустов А.Д., Шрайбман Б.М., Рок Л.М., Зигберман Д.И.* Разработка ПИД-регулятора скорости электропривода секций бумагоделательных машин // Автоматизированный электропривод в народном хозяйстве. М.: Энергия, 1971.

7.8. *Blake H.D., Stearman G.H.* A novel digital position servomechanism // Control. 1964. Vol. 8, № 72.

7.9. *Fritzsche W.* Vorteile und Grenzen digitaller Drehzahlregelungen // Regelungstechnik. 1964. Bd.12.

7.10. *Kessler G.* Digital Regulung der Relation zweier drehzahlen // Elektrotehnik Z.1961. A82, № 18.

7.11. *Leonard W., Muller H.* Stetig mirkender digitaler Drehzahlregler // Elektrotehnik Z. 1962. A83, № 12.

7.12. *Derrick R.P.* Modern regulated drive techniques for paper industry // Paper Trade Journal. 1962. Vol. 146, № 30.

7.13. *Taeger W.* Drehzahlregelte elektrishe Antriebe // Elektrowelt. 1962. Bd.7, № 4.

7.14. *Thompson F.T., Warwe A.* Solid-state speed, acceleration, and load control system // IEEE international convention Record. 1966. № 8.

7.15. Эффективность применения высокомоментных двигателей в станкостроении / Э.Г. Королев, И.А. Волкомирский, А.М. Лебедев, В.И. Кочергин и др. М.: Машиностроение, 1981.

7.16. *Михайлов О.П.* Автоматизированный электропривод для станков и промышленных роботов: Учебник для вузов. М.: Машиностроение, 1990.

7.17. Импульсные и релейные следящие приводы постоянного тока с полупроводниковыми усилителями / Л.Д. Панкратьев, И.Г. Паппе, Б.И. Петров, В.А. Полковников. М.: Энергия, 1969.

7.18. *Глазенко Т.А*. Полупроводниковые преобразователи в электроприводах постоянного тока. Л.: Энергия, 1973.

7.19. *Morgan R.E.* Basic magnetic function in converter and inverter including new soft commutation // IEEE Trans. Ind. Gen. Applic. 1966. Vol. 2, № 1.

7.20. А.с. 584415 СССР. Двухтактный инвертор / В.И. Кочергин, Ф.П. Зверев, А.С. Кулешов // Открытия. Изобретения. 1977. № 46.

7.21. А.с. 1138910 СССР. Двухтактный инвертор / В.И. Кочергин, А.М. Кривенцов // Открытия. Изобретения. 1985. № 5.

7.22. А.с. 1343531 СССР. Цифровой электропривод постоянного тока / В.И. Кочергин // Открытия. Изобретения. 1987. № 37.

К главе 8

8.1. *Passente Jaseph E*. An energy-saving motor controller // Int.Enamelist, 1979. Vol. 29, № 3.

8.2. *Костенко М.П*. Работа многофазного асинхронного двигателя при переменной частоте периодов // Электричество. 1925. № 2.

8.3. *Бертинов А.И.* Исследование работы индукционной машины при изменяющейся частоте // Электромеханика. 1958. № 3.

8.4. *Бертинов А.И.* Электрические машины авиационной автоматики. М.: Оборонгиз, 1961.

8.5. *Кочергин В.И*. К частотному управлению асинхронной машиной // Проектирование устройств электропитания и электропривода. Т. 2: Электромеханические устройства и элементы технологии. М.: Энергия, 1973.

8.6. Transient performance of induction machines with field-oriented control // Bansch H., Honthein H. [2 Int.Conf. Elec. Mach.-Des. and Appl., 17–19 Sent.] 1985. London, 1985.

8.7. *Янко-Триницкий А.А.* Уравнения переходных электромагнитных процессов асинхронного двигателя и их решения // Электричество. 1951. № 3.

8.8. *Ковач К.П., Рац И.* Переходные процессы в машинах переменного тока. М.: Госэнергоиздат, 1963.

8.9. *Грузов Л.П.* Методы математического исследования электрических машин. М.; Л.: ГИЭ, 1963.

8.10. *Артемюк Б.Т*. Асинхронные двигатели при переменной нагрузке. Киев: Техника, 1972.

8.11. *Heumann K., Jordan-Gunter.* Das Verhalten des Kafiglan fer motors bei veranderlicher Speisefrequenz und Stromregelung // AEG-Mitt. 1964. Bd.54, № 2.

8.12. *Naunin D*. Der Enfluss der Lauferfrequens auf das Drehmo-mentverhalten von frequenzgestenerten Asynchronmaschinen // Bull. Schweiz. elektrotechn. Vereins. 1970. Vol. 61, № 3.

8.13. *Hasse Karl*. Zum dynamischen Verhalten der Asynchromaschine bei Betries mit variabler Standerfrequenz und Stunderspanung // Elektrotechn. Z. 1968. A 89, № 4.

8.14. Scalar control: An alternative AC drive philosophy // Boys J.T., Walton S.J. IEE Proc. 1988. Bd. 135, № 3.

8.15. *Сандлер А.С., Сарбатов Р.С.* Частотное управление асинхронными двигателями. М.: Энергия, 1966.

8.16. *Kassam S.F., Pool H.V.* Robust Techniques for Signal Processing: A Survey // Proceeding of the IEEE. 1985. Vol. 73, № 3.

8.17. *Дартау В.А.* Подчиненное векторное управление асинхронным двигателем по параметру скольжения ротора // Записки Ленингр. горн. ин-та. 1979. № 84.

8.18. *Дартау В.А., Павлов Ю.П.* Теоретические основы построения частотных электроприводов с векторным управлением // Автоматизированный электропривод. М.: Энергия, 1980.

8.19. *Рудаков В.В., Столяров И.М., Дартау В.А.* Асинхронные электроприводы с векторным управлением. Л.: Энергоатомиздат, 1987.

8.20. The universal field oriented controller / De Doncker R.W., Novothy D.W. // Conf. Rec. IEEEInd. Appl. Soc. 23 rd Annu. Meet., Pittsburgh, Pa, Oct. 2–7, 1988. Pt1. New York, 1988.

8.21. Microprocessor-controlled induction motor servo drive for nigh dinamic performance / Lessmeier R., Leonhard W. // Int.Conf. Evol. and Mod. Aspects Induct. Mach., Turin, July 8–11, 1986 Proc." Bordo San Dalmazzo; Cuneo, 1986.

8.22. A teaching proposal concerning vector control ininverter-fed induction machines Nabal Akira // Int. Conf. Evol. and Mod. Aspects Induct. Mach., Turin, July 8–11, 1986 Proc." Bordo San Dalmazzo; Cuneo, 1986.

8.23. Vector controlled induction motor drive system with simple parameter adaption / Kazmierkowski Marian P., Sulkowski Waldemar // Arch. elektrotechn. 1987 (1990). № 1–4.

8.24. High performance vector controlled AC motor drives - applications and new Technologies / Kume Tsuneo, Iwakane Takanobu // IEEE-IAS (Ind. Appl. Soc.) 20 th Annu. Meet. Toronto, Oct. 6–11, 1985, Conf.rec. New York, 1985.

8.25. Field-oriented asynchronous pulsewidth modulation for high performance AC machine drives operating at low switching frequency. Holtz Joachim, Bube Eckhard // Conf. Rec. IEEEInd. Appl. Soc. 23-rd Annu. Meet. , Pittsburgh, Pa, Oct. 2–7, 1988. Pt1. New York, 1988.

8.26. *Кочергин В.И.* Разработка и исследование асинхронного электропривода стабилизаторов космических аппаратов: Дис… канд. техн. наук. Томск, 1972.

8.27. А.с. 961087 СССР. Электропривод переменного тока / В.И. Кочергин // Открытия. Изобретения. 1982. № 35.

К главе 9

9.1. *Wilson T.G. and Trickey P.H.* D-C machine with solid-state commutation // Electrical Engineering. 1962. Vol. 82.

9.2. *Alexanderson E.F.W. and Mittag A.H.* The Thyratron Motor // Electrical Engineering. 1934. Vol. 54.

9.3. Sensorless vector control of permanent magnet synchronous motor using adaptive indentification / Parc Min-Ho, Lee Hon-Hee // IERON 89: Annu. Conf. IEEE Ind. Electron. Soc., Philadelphia, Pa, Nov. 6–10, 1989. Vol. 1. New York, 1989.

9.4. Effective current and speed controllers for permanent magnet machines: A survey / Jouve D., Rognon J.P., Roye D. // APEC'90:5th Annu. IEEE Appl. Power Electron. Conf. and Expo. New York, 1990.

9.5. AC vector drive using current requlated PWM / Rlein Frank N. // IEEE Annu. Text., Fiber and Film Ind. Techn. Conf., Atlanta, Ga, May 2–3, 1990. New York, 1990.

9.6. *Brushless D.C.* A modern approach to variable speed drives / Lee Edward C. // IEEE Annu Text., Fiber and Film Ind. Techn. Conf., Atlanta, Ga, May 2–3, 1990. New York, 1990.

9.7. *Бродовский В.Н., Иванов Е.С.* Приводы с частотно-токовым управлением / Под ред. В.Н. Бродовского. М.: Энергия, 1974.

9.8. А.с. 186018 СССР. Способ управления бесколлекторным транзисторным электроприводом постоянного тока / В.Н.Бродовский, Ю.А. Кузнецов // Открытия. Изобретения. 1966. № 18.

9.9. *Бродовский В.Н., Иванов Е.С.* Бесконтактный электропривод с частотно-токовым управлением для замкнутых систем регулирования // Электричество. 1967. № 10.

9.10. Torque characteristics of brushless DC motors with imposed current waveform. Pirion Francis, Razek Adel, Perret Robert, Le-Huy Hoang // IEEE Ind. Appl. Soc. 21 st Annu. Meet., Denver, Colo, Sept. 28-Oct.3, 1986 / Conf. Rec. Pt. 1. New York, (N.Y.), 1986.

9.11. *Hurley N.V., Bolton H.R*. A novel current-sourse inverter for the supply of a brushless DC machine // 2nd Ind. Conf. Power Electron. – Power Semicond. and Appl., London, 1977. London, 1977.

9.12. An adaptive current control scheme for PWM synchronous motor drives: Analysis and simulation / Le-Huy Hoand, Dessaint Lousis A. // IEEE Trans. Power Electron. 1989. Vol. 4. № 4.

9.13. Efficiency of permanent magnet synchronous motors for various current vector controls / Tong Vi, Morimoto Shigeo, Takeda Yoji, Hirase Takao // Bull. Univ. Usaka Prefect. A. 1990. 39. № 1.

9.14. Analysis of current-regulated voltage-source inverters for permanent magnet synchronous motor drives in normal and extended speed ranges / Dhaouade Rached, Mohan Ned // IEEE Trans. Energy Convers. 1990. Vol. 5. № 1.

9.15. А.с. 586564 СССР. Задатчик реверсивного многофазного напряжения / В.И. Кочергин, А.М. Кривенцов, С.А. Завестовский. Открыиия. Изобретения. 1977. № 48.

9.16. Anapproach to position sensorless drive for brushlessDC motors / Ogasawara Satoshi, Akagi Hirofumi // Conf. Rec. IEEE Ind. Appl. Soc. Annu. Meet., Seattle, Wash., Oct. 7–12, 1990: Pap. Ind. Appl / Conf. 25 th IAS Annu. Meet. Pt.1. New York, 1990.

9.17. A permanent magnet motor drive without a shaft sensor / Wu Rusong, Slemon Gordon R. // Conf. Rec. IEEE Ind. Appl. Soc. Annu. Meet., Seattle, Wash., Oct. 7–12, 1990: Pap. Ind. Appl/ Conf. 25 th IAS Annu. Meet. Pt.1. New York, 1990.

9.18. Brushless de motor control without position and speed sensors / Matsui Nobuynki, Shigyo Masakake // IEEE Trans. Ind. Appl. 1992. 28. № 1, Pt 1.

9.19. А.с. 671007 СССР. Бесконтактный следящий регулируемый электропривод / В.И. Кочергин // Открытия. Изобретения. 1979. № 24.

9.20. А.с. 807973 СССР. Способ управления вентильным двигателем и устройство для его реализации / В.И. Кочергин, А.Ф. Лекарев, Н.С. Баранов, С.А. Завестовский // Открытия. Изобретения. 1981. № 7.

9.21. А.с. 674163 СССР. Вентильный электропривод / В.И. Кочергин, Э.Р. Гейнц . // Открытия. Изобретения. 1979. № 26.

9.22. А.с. 807457 СССР. Электропривод с вентильным двигателем / В.И. Кочергин, А.Ф. Лекарев, С.В. Кульбицкий // Открытия. Изобретения. 1981. № 7.

9.23. А.с. 1065980 СССР. Вентильный электропривод /В.И. Кочергин, С.А. Завестовский // Открытия. Изобретения. 1984. № 1.

9.24. А.с. 828930 СССР. Вентильный электродвигатель / В.И. Кочергин, 1979.

9.25. А.с. 944472 СССР. Вентильный двигатель / В.И. Кочергин., Г.Б. Данков, 1980.

9.26. *Осин И.Л., Колесников В.П., Юферов Ф.М*. Синхронные микродвигатели с постоянными магнитами. М.: Энергия, 1976.

9.27. *Столов Л.И., Афанасьев А.Ю*. Моментные двигатели постоянного тока. М.: Энергоатомиздат, 1989.

9.28. Applicftion characteristics of permanent magnet synchronous and brushless dc motors for serve drives / Pillay P., Krish nan R. // Conf. Rec. IEEE Ind. Appl. Soc. 22nd Annu. Meet., Atlanta, Ga, Oct.18–23, 1987. Pt. 1. New York, 1987.

9.29. *Кононенко Е.В*. Синхронные реактивные машины. М.: Энергия, 1970.

9.30. Системы частотного управления синхронно-реактивными двигателями / Берлин Е.М. и др. Л.: Энергия, 1968.

9.31. The optimal control of a constrained drive system with brushless de motor / Petuzewski Piotr M., Kunz Ulrich H. // IEEE Trans. Ind. Electron. 1990. Vol. 37, № 5.

9.32. DC- brushless servo system without rotor position and speed sensor. Watanable Hiroshi, Isii Nakashi, Fujii Tomoo // IECON'87: Int. Conf. Ind. Electron. and Instrub., Cambridge, Mass., Nov. 3–6, 1987: Proc. Vol. 1. New York, 1987.

9.33. Sensorless vector control of permanent magnet synchronous motor using adaptive identification / Park Min-Ho, Lee Hong-Hee // IECON 86: 15 th Annu. Conf. IEEE Ind. Electron. Soc., Philadelphia, Pa, Nov. 6–10, 1989. Vol. 1. New York, 1989.

9.34. Using phase-current sensing circuit as the position sensor for brushless DC motor without shaft position sensor / Lin Ray-Lee, Hu Ming-Tzwu, Lee Chng-Vuan. // IECON 89: 15 th Annu. Conf. IEEE Ind. Electron. Soc., Philadelphia, Pa, Nov. 6–10, 1989. Vol. 1. New York, 1989.

9.35. Implicit rotor-position sensing using motor windings for a self-commutating permanent-magnet drive system / Binns K. J., Shimmin D.W., Aubidy K.M. // IEE Proc. B. 1991.

9.36. Electronic control circuits, electronically commutated motor systems, switching regulator power supplies, and methods: № 4859921 USA/ Archer Willian R. // General Electric Co. № 167574 .

9.37. Implicit rotor position sensing using search coils for a self – commutating permanent magnet drive system / Binns K.J., Al-Aubidy K.M., Shimmin D.W. // IEEE Proc. B. 1990. Vol. 137, № 4.

9.38. A simple motion estimator for variable-reluctance motors / Harris WALTER d., Lan. Jeffrey H. // Conf. Rec. IEEE Ind. Appl. Soc. 23 rd Annu. Meet., Pittsburgh, Pa, Oct. 2–7, 1988. Pt 1. New York, 1988.

9.39. Detection of a variable reluctance machine's rotor position using a predictor corrector estimator / Chow Mo-yuen, Thomas Robert J. // IEEE Sontheasrcon, Knoxville. Tenn., Apr. 11–13, 1988. Conf. Proc. New York, 1988.

9.40. Switched reluctance motor drive without direct rotor position sensing / Panda S.K., Amaratunga G.A.J. // Conf. rec. IEEE Ind. APPL. Soc. Annu. meet., Seattle, Wash., Oct. 7–12, 1990: Pap. Ind. Appl. Conf. 25 th IAS Annu. Meet. Pt 1. New York, 1990.

9.41. Elimination of discrete position sensor and current sensor in switched reluctance motor drives / Ehsani Mehrdad, Husain Iqbal, Kulkarm Ashok B. // IEEE Trans. Ind. Appl. 1992. Vol. 28, № 1.

9.42. Синхронные приводы / А.М. Корытин, И.И. Бербенец, И.Х. Давиденко и др. М.: Энергия, 1967.

9.43. *Бертинов А.И.* Электрические машины авиационной автоматики. М.: Оборонгиз, 1961.

К заключению

1. *Кочергин В.И., Кульбицкий С.В.* К вопросу повышения надежности систем управления промышленными роботами // Тезисы докладов Всесоюз. научно-техн. конф. РАПП-83. Барнаул (июнь), 1983.

2. *Кочергин В.И., Кульбицкий С.В., Кривенцов А.М.* Обработка информации и выбор датчиков перемещения промышленных роботов // Тезисы докладов Всесоюз. научно-техн. конф. РАПП-83. Барнаул (июнь), 1983.

3. *Кочергин В.И., Кульбицкий С.В*. Многофазные инверторы с цифровым формированием выходного напряжения // [Тезисы докладов краевой научно-технической конференции. Устройства и системы автоматики автономных объектов, Красноярск (3–5 июня), 1987; Материалы научно-технического семинара. Системы управления, следящие приводы и их элементы, Москва (25–27 февраля), Центральный научно-исследовательский институт информатики и технико-экономических исследований, 1987; Материалы научно-технического семинара. Полупроводниковые электроприводы с цифровым и цифроаналоговым управлением. Л., 1989].

4. *Кочергин В.И., Кульбицкий С.В., Гоголин В.А*. Синтез цифровых устройств на основе метода многомерных цифровых множеств // [Тезисы докладов краевой научно-технической конференции. Устройства и системы автоматики автономных объектов, Красноярск (3–5 июня), 1987; Материалы научно-технического семинара. Системы управления, следящие приводы и их элементы, Москва (25–27 февраля), Центральный научно-исследовательский институт информатики и технико-экономических исследований, 1987; Материалы научно-технического семинара. Полупроводниковые электроприводы с цифровым и цифроаналоговым управлением. Л., 1989].

5. *Кочергин В.И.* Основные положения теории многомерных цифровых множеств // Тезисы докладов XIV научно-технической конференции НПО «Полюс». Томск, 1990.

6. *Кочергин В.И.* Практика применения теории многомерных цифровых множеств в разработке электроприводов // Тезисы докладов XVI научно-технической конференции НПЦ «Полюс». Томск, 2000.

7. *Кочергин В.И., Гоголин В.А.* Теория многомерных цифровых множеств в приложениях к системам энергоснабжения и электропривода // Материалы Международной научно-технической конференции «Электромеханические преобразователи энергии». ТПУ. Томск (6–7 сентября), 2001.

8. *Гретцер Г.* Общая теория решеток. М.: Мир, 1981.

9. *Конвей Дж., Слоэн Н.* Упаковка шаров, решетки и группы: В 2 т. М.: Мир, 1990.

Научное издание

Валерий Иванович КОЧЕРГИН

ТЕОРИЯ МНОГОМЕРНЫХ ЦИФРОВЫХ МНОЖЕСТВ В ПРИЛОЖЕНИЯХ К ЭЛЕКТРОПРИВОДАМ И СИСТЕМАМ ЭЛЕКТРОПИТАНИЯ

Редактор **Е.В. Лукина**
Технический редактор **Р.М. Подгорбунская**
Компьютерная верстка **Л.Н. Проскуриной**

Лицензия ИД 04617 от 24.04.2001 г. Подписано в печать 3.12.2002 г.
Формат 60x84 $^{1}/_{16}$. Бумага офсетная №1. Печать офсетная.
Печ. л. 27,75+1 вкл.; усл. печ. л. 25,81; уч.-изд. л. 24,63. Тираж 500. Заказ

Издательство ТГУ, 634029, г. Томск, ул. Никитина, 4
Типография «Иван Федоров», 634003, г. Томск, Октябрьский взвоз, 1